

향상된 전기적 특성을 갖는 저면적 ESD 보호회로에 관한 연구

A Study on Low Area ESD Protection Circuit with Improved Electrical Characteristics

도 경 일*, 박 준 겐*, 권 민 주*, 박 경 현*, 구 용 서*

Kyoung-Il Do*, Jun-Geol Park*
Min-Ju Kwon*, Kyeong-Hyeon Park*, Yong-Seo Koo*

Abstract

This paper presents the ESD protection circuit with improved electrical characteristic and area efficiency. The proposed ESD protection circuit has higher holding voltage and lower trigger voltage characteristics than the 3-Stacking LVTSCR. In addition, it has only two stages and has improved Ron characteristics due to short discharge path of ESD current. We analyzed the electrical characteristics of the proposed ESD protection circuit by TCAD simulator. The proposed ESD protection circuit has a small area of about 35% compared with 3-Stacking LVTSCR, The proposed circuit is designed to have improved latch-up immunity by setting the effective base length of two NPN parasitic bipolar transistors as a variable.

요 약

본 논문에서는 향상된 전기적 특성과 면적효율을 갖는 새로운 구조의 ESD 보호회로를 제안한다. 제안된 회로는 기존의 3-STACK LVTSCR과 비교하여 높은 홀딩전압과 낮은 트리거전압 특성, 향상된 Ron 저항 특성을 갖는다. 제안된 ESD 보호회로는 기존 보호회로 대비 35% 정도의 작은 면적, 35V의 트리거 전압과 8.5V의 홀딩전압을 갖는다. 또한 제안된 ESD 보호회로의 래치-업 면적특성을 향상시키기 위해 기생 바이폴라 트랜지스터들의 유효 베이스 길이를 설계변수로 설정하여 설계하였고 시뮬레이션의 TCAD 시뮬레이션을 통하여 제안된 ESD 보호회로를 검증하고 전기적 분석을 실행하였다.

Key words : ESD, SCR, Holding Voltage, LVTSCR, N-STACK

* Dept. of Electronics Engineering, DanKook University

★ Corresponding author
e-mail: nowil@naver.com ,tel: 031-8005-3625

※Acknowledgment

This work was supported by the Industrial Core Technology Development Program(10049095, "Development of Fusion Power Management Platforms and Solutions for Smart Connected Devices") funded By the Ministry of Trade, industry & Energy) and the Ministry of Trade, Industry & Energy(10049597, Bypass Components for the Protection of Multi-Giga Bit Communication Circuits)

Manuscript received Dec. 27, 2016; revised Dec. 28, 2016 ; accepted Dec. 29, 2016

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

1. 서론

최근 반도체 산업의 발전에 따른 반도체 공정 기술의 발달로 인하여 집적회로는 고집적화를 이루었으나 얇아진 게이트 산화막의 두께와 접합깊이의 감소로 인하여 ESD(Electro Static Discharge) 현상에 의한 집적회로의 손상은 점점 증가하고 있는 추세이다. 통계에 따르면 ESD/EOS 현상으로 인한 집적회로의 파괴는 전체파괴 원인 중 30% 이상을 차지하고 있으며, 이로 인한 손실은 매년 수백만 달러에 달한다[1][2].

따라서 ESD 현상으로부터 내부IC를 보호하기 위한 ESD 보호회로에 관한 연구가 다양한 분야에서 진행되고 있다. 대표적인 ESD 보호회로로

는 GGNMOS(Gate-Grounded NMOSFET), SCR (Silicon-Controlled-Rectifier) 등이 있다. 이중 SCR은 PNP/NPN의 두 기생 바이폴라 트랜지스터의 정제환(Positive Feedback)에 의해 동작하므로 GGNMOS과 비교하여 높은 전류구동 능력을 갖는다. 그러나 일반적인 SCR은 Well간 접합영역에서 Avalanche Breakdown이 발생하는 구조적인 특징으로 인하여 약 21V 정도의 높은 트리거 전압을 지니며, 약 1.5V 정도의 낮은 홀딩 전압을 지니므로 실제 IC에 적용하기 힘들다[3][4]. 따라서 SCR의 트리거 전압을 낮추기 위한 많은 연구들이 시도 중에 있다. 그 중 보편적으로 사용하고 있는 LVTSCR은 GGNMOS와 SCR의 장점을 모두 보유하고 있는 구조이다. 이와 같은 LVTSCR의 전압별 적용을 위해서는 N-STACK 기술을 도입하여 N배의 증배된 홀딩전압을 얻는 것이 일반적이다[5]. 그러나 N-STACK 기술은 N의 배수가 증가함에 따라 ESD 전류의 방전 Path가 증가하여 Ron 저항이 커지는 치명적인 단점을 가지고 있다.

따라서 본 논문에서는 N-STACK LVTSCR의 구조적인 변경을 통하여 보다 적은 면적에서 높은 홀딩 전압을 지니며, Ron 특성의 손실을 최소화시킨 구조를 제안하였고, Synopsys사의 TCAD 시뮬레이션을 통하여 그 전기적 특성을 분석하였다.

II. 본론

1. 제안된 ESD 보호회로

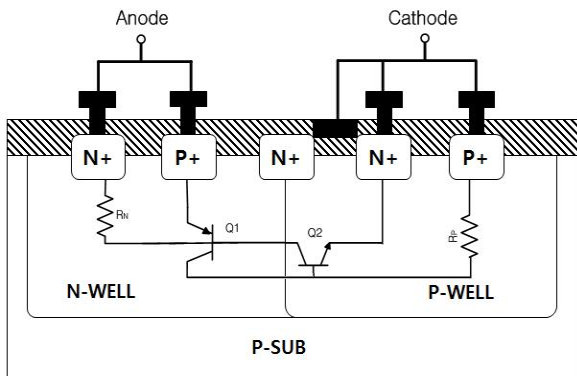


그림 1. LVTSCR의 단면도

Fig. 1. Cross section view of the LVTSCR

LVTSCR은 GGNMOS를 SCR 내부에 형성한 구조를 지니고 있다. LVTSCR의 단면도를 그림

1. 에 나타내었다. LVTSCR의 동작원리는 다음과 같다 정상동작 영역에서는 N+ 브릿지 확산영역과 P-well간의 역방향 접합으로 인하여 동작하지 않는다. 반면 ESD Event가 발생하여 Anode에 큰 전압이 인가되면, N+ 브릿지 확산영역의 전위가 상승한다. 전압이 임계치에 달하면 N+ 브릿지 영역과 P-Well영역의 역방향 접합에서 Avalanche Breakdown이 발생한다. 이로 인하여 생성된 정공전류는 P-well을 통하여 흐르며 P-well의 전위를 높게 된다. P-well의 전위가 충분히 높아지면 PNP 기생 바이폴라 트랜지스터가 턴-온 된다. PNP 기생 바이폴라 트랜지스터를 통하여 흐르는 전류는 기생 NPN 바이폴라 트랜지스터의 베이스 전류를 공급하게 된다. 두 기생 바이폴라 트랜지스터의 Latch 동작에 의하여 효율적으로 ESD 전류의 방전경로를 형성한다 [6].

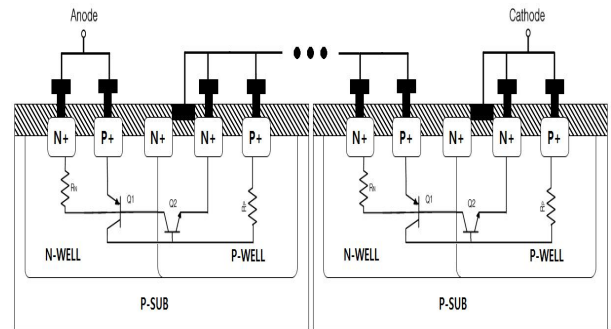


그림 2. N-STACK LVTSCR의 단면도

Fig. 2. Cross section view of the Staking LVTSCR

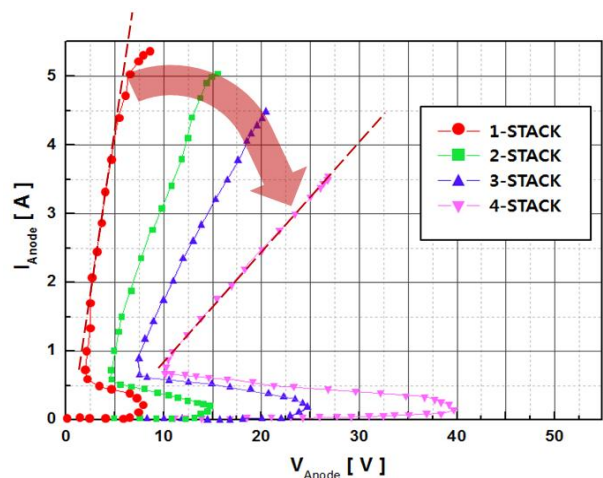


그림 3. N-STACK LVTSCR의 I-V 특성

Fig. 3. I-V Characteristics of the N-STACK LVTSCR

그림 2는 LVTSCR을 전압별 적용을 위하여 N-STACK 기술을 적용한 구조의 단면도이다. 앞단의 Cathode가 다음 단의 Anode와 연결되어 N개의 LVTSCR이 순차적으로 동작하게 된다. 이로 인하여 N배수의 증가에 따라 전체 구조는 단일 LVTSCR의 N중배된 홀딩전압을 얻을 수 있다. 그러나 N-STACK 기술은 그림 3의 N의 증가에 따른 N-STACK LVTSCR의 IV 특성곡선에서 알 수 있듯이 N의 증배에 따라 구조 전체의 길이가 증가하여 Ron 저항 또한 크게 증가하는 단점을 지니고 있다. 따라서 본 논문에서는 이런 전기적 특성의 손실을 최소화 시킨 구조를 제안하였고, 그림 4에 단면도를 나타내었다.

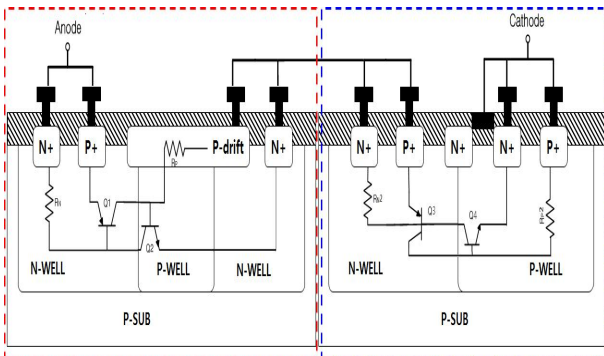


Fig. 4. Cross section view of The proposed ESD protection circuit

그림 4. 제안된 ESD 보호회로의 단면도

제안된 소자는 2-STACK LVTSCR의 구조적 변경을 통하여 첫 번째 단계에 HHVSCR을 형성한 구조이다. 제안된 소자의 동작원리는 다음과 같다. Anode에 ESD Surge가 인가되면 N-well과 P-Drift 확산영역 간에 Avalanche Breakdown이 발생하고 생성된 정공전류는 P-Drift 확산영역의 전위를 상승시키며 N-well 간의 두 기생바이폴라 트랜지스터(Q1, Q2)가 Turn-on 된다. 첫 단의 내부 기생바이폴라 트랜지스터들이 모두 동작하면 다음 단의 LVTSCR이 동작하게 된다. 이 과정에서 방전되는 ESD 전류는 P-Drift 확산영역을 지나므로 제안된 소자는 두개의 단일 소자 연결만으로도 3-STACK LVTSCR 보다 더 높은 홀딩전압을 갖는다. 또한 3-STACK LVTSCR과 비교하여 ESD전류의 방전경로가 매우 감소함에 따라 작은 Ron 저항특성과 높은 면적효율을 갖게 된다.

2. 시뮬레이션 결과

본 논문의 시뮬레이션은 제안된 소자의 전기적 특성을 분석하기 위하여 Synopsys사의 T-CAD Tool을 이용하였으며, I-V 특성의 경우 기존의 2-STACK, 3-STACK LVTSCR과의 성능 비교를 위하여 혼합모드(Mixed Mode)로 시뮬레이션을 진행하였다. 그림 5. 및 표 1에 그 결과를 나타내었다.

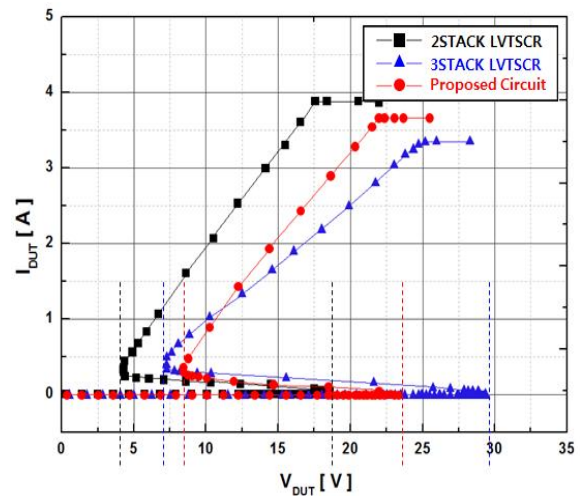


그림 5. I-V 특성 시뮬레이션 결과

Fig. 5. I-V Characteristics simulation result

표 1. 제안된 보호회로의 I-V 특성

Table 1. I-V Characteristics of the proposed ESD protection circuit

TYPE	V _{t1}	V _H	R _{on}
2-STACK LVTSCR	18V	3.8V	3.8
3-STACK LVTSCR	29V	7.4V	5.3
Proposed circuit	23V	8.5V	3.8

시뮬레이션 결과 제안된 ESD 보호회로의 홀딩 전압은 8.5V로 2-STACK, 3-STACK LVTSCR의 3.8V, 7.4V 보다 높은 홀딩 특성을 가지며, 트리거 전압은 23V로 3-STACK LVTSCR과 비교하여 6V 가량 낮은 특성을 갖는다. 제안된 ESD 보호회로는 높은 홀딩 전압을 가지면서도 상대적으로 짧은 방전 경로로 인하여 3.6옴으로 3-STACK LVTSCR과 비교하여 대략 1.7옴 가량 작은, 2-STACK LVTSCR과 비슷한 Ron 저항 특성을 갖는다.

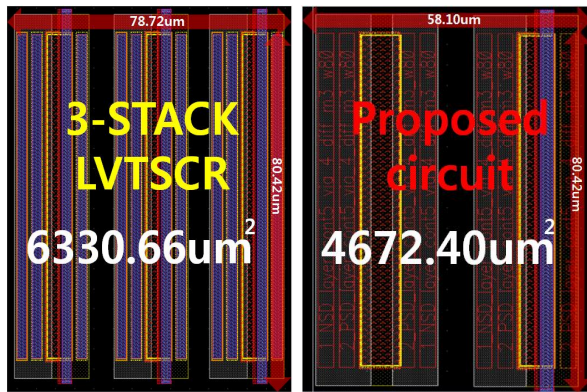


그림 6. 제안된 ESD 보호 회로의 Layout
Fig. 6. Layout of the proposed ESD protection circuit

제안된 면적 비교를 위한 Layout은 Cadence Custom IC Design Tools을 이용하였고, Hynix BCDMOS 180nm 1.8V/6V/40V Process Design rule을 적용하여 설계 하였다. 그림 6.의 Layout에서 알 수 있듯 제안된 소자는 4672.40um²의 면적으로 기존 3-STACK LVT SCR의 6330.66um²와 비교하여 대략 35% 정도의 작은 면적을 갖는다.

또한 제안된 ESD 보호회로의 래치업 면역특성 및 홀딩전압 특성의 경향을 알아보기 위하여 NPN 기생 바이폴라 트랜지스터(Q2, Q4)의 유효 베이스 길이를 그림 7. 및 그림 9.와 같이 설계변수(D1, D2)를 설정하여 일정한 변화를 주며 시뮬레이션을 실시하였다. D1은 P-Drift 영역으로 NPN 기생 바이폴라 트랜지스터 Q2의 방진경로 상 유효 베이스 길이에 해당한다. D1의 길이가 증가할수록 NPN BJT의 전류이득이 감소하며, 전체소자의 홀딩 전압은 증가하게 된다. 그림 8. 과 표 2에 그 결과를 나타내었다.

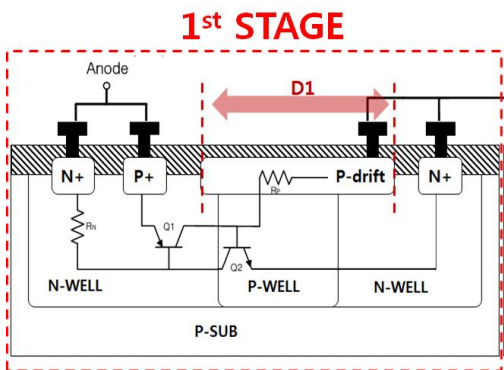


그림 7. 설계변수 D1
Fig. 7. Design parameter D1

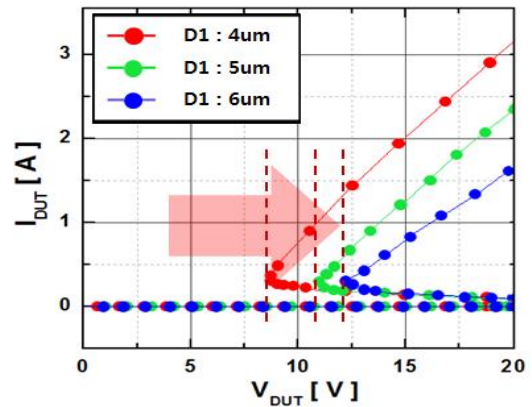


그림 8. 설계변수 D1 시뮬레이션 결과
Fig. 8. D1 variation simulation result

표 2. 설계변수 D1의 변화에 따른 홀딩전압
Table 2. The Holding voltage with D1 variation

D1	Holding Voltage
4um	8.5V
5um	11.0V
6um	12.4V

제안된 ESD 보호회로의 첫 번째 단의 P-drift 영역에 해당하는 설계 변수 D1은 4um, 5um, 6um으로 1um 씩 변화를 주어 설계 하였다. D1의 길이가 증가함에 따라 기생 바이폴라 트랜지스터 Q2의 베이스 폭의 증가로 인하여 홀딩전압이 8.5V, 11.0V, 12.4V로 증가하는 것을 확인하였다. 또한 Q4 NPN 기생 바이폴라 트랜지스터의 유효 베이스 길이에 해당하는 두 번째 단의 Gate Length(설계 변수 D2)를 0.5um, 1.5um, 2.5um으로 1um 씩 변화를 주어 설계 하였고 그 결과를 그림 10.과 표 3에 나타내었다.

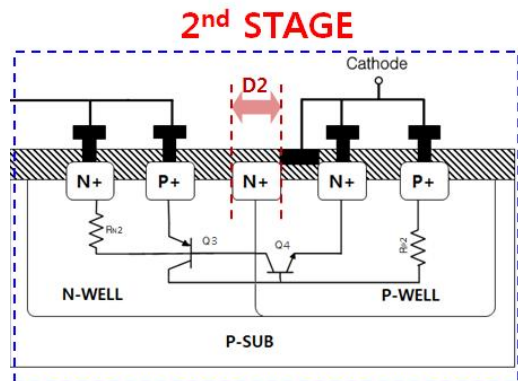


그림 9. 설계변수 D2
Fig. 9. Design parameter D2

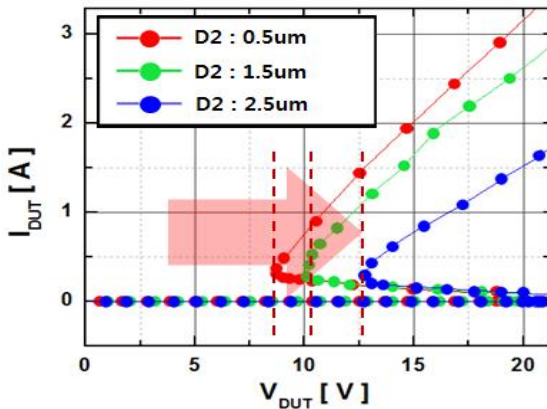


그림 10. 설계변수 D2 시뮬레이션 결과
Fig. 10. D2 variation simulation result

표 3. 설계변수 D2의 변화에 따른 홀딩전압
Table 3. The Holding voltage with D2 variation

D2	Holding Voltage
0.5um	8.5V
1.5um	10.0V
2.5um	12.5V

시뮬레이션 결과에 따르면, Q4 기생 바이폴라 트랜지스터의 유효 베이스 길이의 증가에 따라 이전 D1의 경우와 마찬가지로 8.5V, 10.0V, 12.5V로 Q4 NPN 기생 바이폴라 트랜지스터의 전류이득 감소에 따라 홀딩 전압이 증가하게 된다.

III. 결론

본 논문에서는 ESD 현상으로부터 내부 IC를 보호하기 위한 새로운 구조의 ESD 보호회로를 제안하였다. 제안된 회로는 기존 보호회로인 N-STACK LVTSCR과 비교하여 더욱 높은 홀딩전압 특성을 가지며, 낮은 트리거특성, 향상된 Ron 특성을 갖는다. 그리고 Layout 비교결과 기존 3STACK LVTSCR과 비교하여 35%정도의 작은 면적을 갖는 것을 확인하였다. 또한 제안된 ESD 보호회로의 래치-업 면역 능력을 향상시키기 위하여 두 기생 바이폴라 트랜지스터(Q2, Q4)의 유효 베이스 길이를 설계 변수로 설정하여 높은 홀딩전압 특성을 갖도록 개선하였다. 제안된 ESD 보호회로는 기존 N-STACK LVTSCR과 비교하여 향상된 전기적 특성을 지니며, 두 개의 단일 소자만으로 구성되어 있어 우수한 면적효율

을 갖는다.

References

[1] Albert Z. H. Wang, "On-Chip ESD Protection for Integrated Circuits 2nd ed," Springer, US, 2002.

[2] M.D. Ker and C.C. Yen, "Investigation and Design of On-Chip Power-Rail ESD Clamp Circuits Without Suffering Latch up-Like Failure During System-Level ESD Test," *IEEE J. Solid-State Circuits*, vol. 43, no. 11, pp. 2533-2545. 2008.

[3] O. Quittard, Z. Mrcarica, F. Blanc, G. Notermans, T. Smedes, and H.van Zwol, "ESD protection for high-voltage CMOS technologies," *EOS/ESD Symp*, pp. 77-86, 2006.

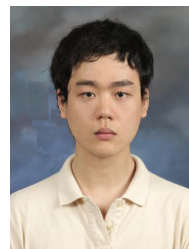
[4] K.D Kim "A Study on the Novel SCR Nano ESD Protection Device Design and Fabrication," *j.inst.Korean.electr.electron.eng*, vol. 9, no. 2, pp. 83-91, 2005.

[5] V. A. Vashchenko, A. Concannon, M. ter Beek, and P. Hopper "High Holding Voltage Cascoded LVTSCR Structures for 5.5-V Tolerant ESD Protection Clamps," *IEEE Transactions on Device and Materials Reliability*, vol. 4, no. 2, pp. 273-280, 2004.

[6] J.Y. Lee "Analysis of SCR, MVSCR, LVTSCR With I-V Characteristic and Turn-On-Time," *j.inst.Korean.electr.electron.eng*, vol. 20, no. 3, pp. 295-398, 2016.

BIOGRAPHY

KyoungIl Do (Student Member)



2016 : BS degree in Electrical Engineering, SeoKyeong University.
2016 ~ : MS degree in Electronics and Engineering, DanKook University.

JunGeol Park (Student Member)

2016 : BS degree in Electronics and Engineering, DanKook University.

2016 ~ : MS degree in Electronics and Engineering, DanKook University.

MinJu Kwon (Student Member)

2016 : BS degree in Electrical Engineering, SeoKyeong University.

2016 ~ : MS degree in Electronics and Engineering, DanKook University.

KyeongHyeon Park (Student Member)

2015 : BS degree in Electrical Engineering, SeoKyeong University.

2015 ~ : MS degree in Electronics and Engineering, DanKook University.

YongSeo Koo (Life Member)

1981 : BS degree in Electronics Engineering, Sogang University.

1983 : MS degree in Electronics Engineering, Sogang University.

1992 : Ph.D degree in Electronics Engineering, Sogang University.

Current research interest : integrated circuit, micro processor