

확장성을 고려한 QCA BCD-3초과 코드 변환기 설계

Design of Extendable BCD-EXCESS 3 Code Converter Using Quantum-Dot Cellular Automata

유영원 · 전준철*

금오공과대학교 컴퓨터공학과

Young-won You · Jun-cheol Jeon*

Department of Computer Engineering, Kumoh National Institute of Technology, Gyeongsangbuk-do 39177, Korea

[요 약]

양자점 셀룰라 오토마타(QCA; quantum-dot cellular automata)는 나노 규모의 크기와 낮은 전력 소비로 각광받고 있으며, CMOS 기술의 규모의 한계를 극복할 수 있는 대체 기술로 떠오르고 있다. 현재까지 QCA 상에서 설계된 BCD-3초과 코드는 확장성을 고려하지 않았으며 대규모 회로 설계에는 적합하지 않았다. 이를 해결하기 위해 본 논문에서는 확장성을 고려한 BCD-3초과 코드 회로를 설계한다. 확장이 가능한 구조를 설계하기 위해 확장된 교차부 구조를 이용하여 입력과 출력의 흐름을 제어하고, 출력되는 값들의 동기화를 위해 5입력 다수결 게이트를 이용한다. 설계한 구조에 대해 QCA Designer를 이용하여 시뮬레이션을 수행한 후 그 결과에 대해 유효성을 검증한다. 제안된 구조는 기존의 URG BCD-3초과 코드 변환기와 비교하여 32개의 게이트를 줄이며 빈 공간의 비율 또한 7% 감소시켰다. 또한 확장성이 고려되지 않은 기존의 QCA BCD-3초과 코드 변환기가 회로 확장 시 필요한 7개의 클럭을 1개의 클럭으로 줄였다.

[Abstract]

Quantum-dot cellular automata (QCA) consists of nano-scale cells and demands very low power consumption so that it is one of the alternative technologies that can overcome the limits of scaling CMOS technologies. Typical BCD-EXCESS 3 code converters using QCA have not considered the scalability so that the architectures are not suitable for a large scale circuit design. Thus, we design a BCD-EXCESS 3 code converter with scalability using QCA Designer and verify the effectiveness by simulation. Our structure have reduced 32 gates and 7% of garbage space rate compare with typical URG BCD-EXCESS 3 code converter. Also, 1 clock is only needed for circuit expansion of our structure though typical QCA BCD-EXCESS 3 code converter demands 7 clocks.

Key word : Quantum-dot cellular automata, BCD-EXCESS 3 code converter, Scalability, QCA Designer.

<http://dx.doi.org/10.12673/jant.2016.20.1.65>



This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

Received 14 January 2015; **Revised** 5 February 2016
Accepted (Publication) 11 February 2016 (28 February 2016)

*Corresponding Author; Jun-Cheol Jeon

Tel: +82-54-478-7534

E-mail: jcheon@kumoh.ac.kr

I. 서 론

CMOS 소자의 스케일링은 트랜지스터 크기를 축소하고, 전력 소비를 감소시키는 등의 공격적인 개발을 추구했지만 전류 누설 및 전력 밀도 증가와 같은 문제를 유발시켰다. 이러한 문제를 대체할 수 있는 새로운 기술인 양자점 셀룰라 오토마타(QCA; quantum-dot cellular automata)는 분자 혹은 원자 수준의 나노 크기의 소자이며 극도의 낮은 전력을 소비하여 차세대 전자 회로 설계 분야에서 각광받고 있다 [1]. 1980년대 후반 QCA 셀의 기본 동작들이 하드웨어로 구현된 이후 가산기와 같이 간단한 논리회로로부터 마이크로프로세서와 같은 대규모 집적 회로에 이르는 다양한 회로가 제안되었다. Tougaw와 Lent가 최초로 QCA 형태의 단일 비트 전가산기를 설계하였다 [2]. 이것은 두 수 A, B 및 캐리 Cin을 입력으로 취하고, 결과 값 Sum은 $M[M(A',B,Cin),M(A,B',Cin),M(A,B,Cin')]$ 으로 출력된다. 단, A', B', Cin'는 각각 A, B, Cin의 보수이고, 이것은 인버터(inverter)로 구현되며, $M(\cdot)$ 은 다수결 게이트(majority voting gate)를 각각 의미한다. 마찬가지로 캐리 값 Cout은 $M(A, B, Cin)$ 으로 출력하고, 5개의 다수결 게이트와 3개의 인버터를 포함하며, 총 192개의 셀이 필요하였다. Wang 등은 Sum을 $M(Cout', Cin, M(A, B, Cin'))$ 으로 발생시켜 145개의 셀로 QCA 전가산기를 설계하였다 [3]. Fijany 등은 이 전가산기를 수정하여 Cout과 Cin 사이에 피드백 연결을 포함시킨 비트 직렬 가산기를 제안하였다 [4]. 캐리 출력을 미리 다음 단 가산기의 캐리 입력에 연결하는 캐리-룩-어헤드 가산기와 마이크로프로세서(microprocessor)도 제안되었다 [5],[6]. 감산기는 2의 보수나 1의 보수를 이용하여 음수를 표현할 수 있어 가산기와 감산기를 같이 사용한다. 가산기와 감산기에서는 이진수 연산 이후에 십진법으로 바꾸어 주는 절차가 필요하다. 이때 사용되는 코드 변환기에는 여러 종류가 있고, 그 중 가장 많이 이용되는 것이 BCD 코드이다. BCD 코드는 십진수를 이진수로 변환하기 편리하지만 뺄셈 연산에 사용하는 보수 변환이 되지 않고, 데이터의 효율적 관리가 필요하다.

이를 개선한 BCD-3초과 코드는 BCD 코드의 한 종류로 해당 숫자에 3을 더한 것을 4비트의 이진수로 표현하는 방법이다. 각 코드 값 1은 0으로, 0은 1로 바꾸어 보수를 취하면 10진수 상에서 9의 보수가 되고, 이를 자기 보수 코드라 지칭한다. BCD-3초과 코드는 보수 변환을 이용하여 BCD의 단점을 보완할 수 있고, 데이터의 변환이 빠르다. 기존의 QCA 상에서 설계된 BCD-3초과 코드는 확장성을 고려하지 않았기 때문에, 대규모 회로 설계에는 적합하지 않았다. 이를 해결하기 위해 본 논문에서는 확장성을 고려한 BCD-3초과 코드 회로를 설계하고, 이를 QCADesigner를 통해 시뮬레이션을 수행 한 후 그 결과에 대해 우수성을 검증한다 [7]. 본 논문의 구성은 다음과 같다. QCA 상에서 회로 설계에 필요한 요소들을 2장에서 설명한다. 3장에서는 제안한 논리도를 바탕으로 설계된 BCD-3초과 코드 변환기를 제시하고, 4장에서는 기존의 회로와 비교 및 분석하며, 마지

막 5장에서는 결론을 제시한다.

II. 관련연구

2-1 QCA 기본 개념

양자 셀은 네 개의 양자 점으로 구성되어 있다. 그림 1(a)와 같이 양자 점들 간에 터널링(tunneling) 할 수 있는 두 개의 과도(transient) 전자를 가지고 있다. 쿨롱 반발력 때문에 이 과도 전자들은 항상 대각선 방향의 반대쪽 양자점 내에 위치한다. 에너지가 증가인 두 가지의 편극(polarization) 형태가 존재하며 +1(1), -1(0)으로 나타낸다 [8]. 그림 1(b)은 45° 회전된 셀이고, 1.(c)는 신호의 전파를 나타내고 있다. 90° 셀은 신호가 입력되면 인접된 셀 간에 전자들의 쿨롱 반발력에 의해 같은 편극의 상태로 전파된다. 그러나 45° 회전된 셀의 경우 인접한 셀과 반대의 편극을 가진다.

그림 2는 90° 셀과 45° 회전된 셀의 교차부를 보여주고 있다. 90° 셀과 45° 회전된 셀을 이용한 두 개의 배선은 서로 영향을 주지 않고 신호가 올바르게 전파된다.

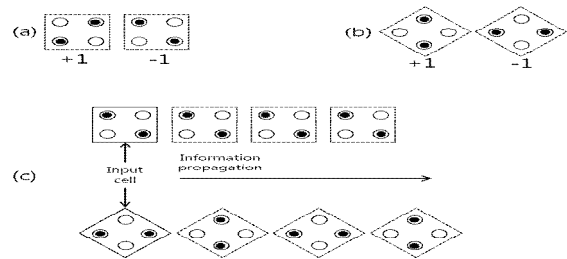


그림 1. QCA 기본 개념: (a) QCA 셀, (b) 45°회전된 셀, (c) 90°셀 배선, 45° 회전된 셀 배선

Fig. 1. QCA basic concept: (a) QCA cell, (b) 45° rotated cell, and (c) 90° cell based wire and 45° rotated cell based wire

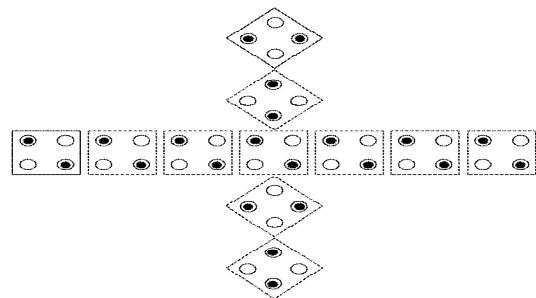


그림 2. 동일 평면상에서의 배선 교차 방식
Fig. 2. Coplanar based wire crossing.

그림 3(a)와 3(b)는 각각 다수결 게이트와 인버터를 보여주고 있다. 다수결 게이트는 3개의 입력 셀 A, B, C를 가지고, 1개의 출력 셀 F를 가진다. 다수결 게이트는 입력 셀들의 편극에 따라서 중앙에 있는 셀의 편극이 결정되고 그 편극이 출력 F에 영향을 주게 되어 신호가 전파된다. 인버터는 입력 신호와 출력 신호의 편극이 반대되어 신호가 전파된다 [9]-[11].

2-2 확장 교차부 및 5 입력 다수결 게이트

QCA 상에서 BCD-3초과 코드를 효율적으로 설계하기 위해서 확장된 교차부 방식과 5 입력 다수결 게이트를 사용한다. 그림 4(a)의 확장된 교차부 구조는 두 개의 서로 다른 양자 점 방향, 즉 45° 회전된 셀을 사용하여 다른 유형의 90° 셀 배선을 통해 수직으로 통과하도록 하여 신호의 흐름을 전파하는 설계구조이다. 입력 신호를 다양한 방향으로 보내어 각 출력마다 한 개 이상의 입력 신호를 받는 회로 설계에 적합하다 [12]. 가로 셀 배선과 세로 셀 배선을 같은 클럭을 지정하게 되면 신호의 흐름에 방해가 생기므로 서로 다른 클럭 단계로 설계했다. 그림 4(b)의 시뮬레이션 결과는 입력 AB가 A'B'로 출력되는 것을 볼 수 있다. A는 가로 배선을 통해 A'로 값이 동일하게 출력되고 B'도 동일하게 출력된다.

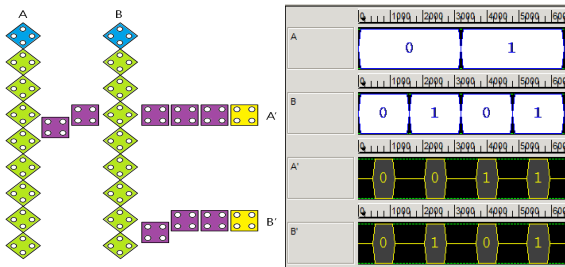


그림 3. 확장된 교차부: (a) QCA 상에서의 구조 (b) 시뮬레이션 결과 [12]
 Fig. 3. Extended wire crossing: (a) layout on QCA, and (b) simulation result [12].

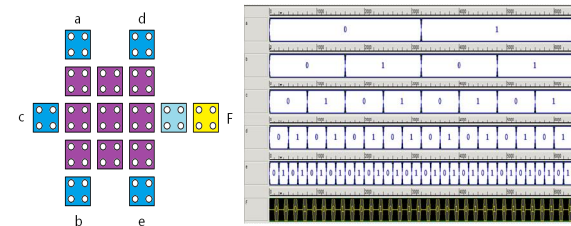


그림 4. 5입력 다수결 게이트: (a) QCA 상에서의 구조, (b) 시뮬레이션 결과 [13]
 Fig. 4. Majority gate with 5 inputs: (a) layout on QCA, and (b) simulation result [13].

그림 5(a)의 5입력 다수결 게이트는 다양한 변수를 입력 값으로 받는 회로 설계에 대해 효율적이다. 입력 a부터 e까지 동일 클럭이고 출력 F에서 다음 클럭 단계로 변경되어 진행된다. a, b와 c가 다수결 함수 $ab + ac + bc$ 에 의해 도출된 값이 다시, e와 다수결 함수를 통해 F로 출력 된다 [13]. 5개의 변수가 다수결 함수를 통해 나오는 값이 출력되기 까지 총 2개의 클럭 단계가 소요되고, 이는 3 입력 다수결 게이트의 소모되는 클럭 단계와 동일하다. 그림 5(b)의 시뮬레이션 결과는 입력 abcde의 다수결 함수에 의해 F로 출력되는 값을 보여준다.

2-3 BCD-3 초과 코드

BCD-3초과 코드는 BCD-코드에 3을 더한 결과를 4비트의 이진수로 표현하는 방식이다. BCD 코드에서 사용하는 4비트의 코드 조합에서 3을 더한 결과가 BCD의 사용 범위를 넘지 않는 10개만을 사용하고(0011 ~ 1100), 나머지는 무효로 처리한다.

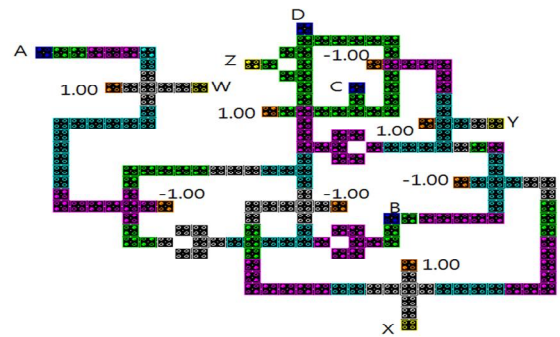


그림 5. 기존의 BCD-3초과 코드 변환기 [14]
 Fig. 5. Previous BCD-3 excess code converter [14].

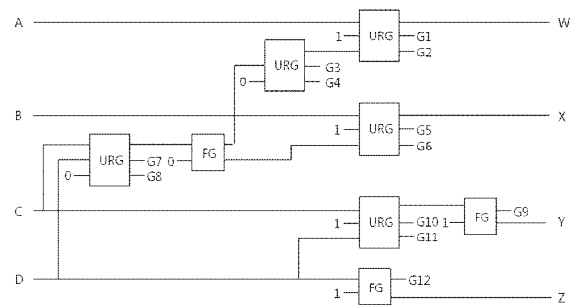


그림 6. URG와 FG 게이트를 이용한 BCD-3초과 회로 [15]
 Fig. 6. BCD-3 excess logic using URG and FG gates [15].

QCA상에서 설계된 구조인 그림 6과 논리도로 표현한 그림 7의 두 회로는 타 논문에서 제안한 것이다 [14]. 그림 6은 입력과 출력 값들이 각각 다른 방향에 있고 입력 값이 내부에서 시작하므로 확장성을 고려하지 않았다. 또한 각 출력 값의 클럭 단계가 서로 다르기 때문에 출력된 4개의 값이 동일한 클럭 단계 내에 출력되지 않는다.

그림 7은 URG와 FG 게이트들로 구성된 논리도이다. 이것은 가역회로로 설계되었지만 현재의 QCADesigner로는 구현된 것이 없기 때문에 가역성을 가진다고 보기 어렵다. URG 게이트 1개에 디지털 논리회로 4개가 사용되며 FG 게이트 1개에 소요되는 디지털 논리회로는 1개이다 [15]. 이 논리도를 QCA로 구현하면 URG 게이트 1개당 최소 8개의 다수결 게이트가 사용된다. 또한 출력 값에 12개의 쓰레기 출력이 있으므로 효율적이지 못하다.

III. BCD 3초과 코드 설계

그림 8은 기존의 전자회로에서 사용되는 BCD-3 초과코드의 논리도이다. 4개의 AND 게이트와 4개의 OR 게이트, 그리고 3개의 NOT 게이트를 사용하여 설계하였다. 입력 신호가 출력 되기까지 최대 3개의 게이트를 통과해야하기 때문에 비교적 복잡한 구조로 구성되어 있다. 그림 9는 제안하는 회로에 대한 기존의 디지털 논리회로 상에서의 논리도로서, 기존의 BCD-3 초과 회로의 논리도와 달리 XOR 논리 게이트와 5입력 다수결 게이트를 사용하여 기존 변환기 보다 소요된 논리 게이트들의 수가 적게 설계된 것이다. 그림 8의 논리도와 비교해보면 OR 게이트 2개, XOR 게이트 2개, 인버터 2개, 그리고 5 입력 다수결 게이트 1개로 총 7개의 게이트를 사용하여 그림 8의 논리도보다 논리 게이트 수가 4개 적다. 5 입력 다수결 게이트를 사용하면 기존의 3-레벨 회로를 2-레벨 회로로 단순화 시킬 수 있고, 각 입력 값이 5 입력 다수결 게이트를 통하여 곧바로 출력 값으로 연결되므로 논리 게이트와 배선의 수를 줄일 수 있다. 그림 10은 그림 9의 논리도에 기반을 두어 QCA상에서 설계한 것이다. 이전에 제안된 회로의 경우 입/출력되는 값들의 위치가 회로의 내부에 존재하는 경우가 있었고, 입력과 출력의 흐름이 일정하지 못했다. 그러나 제안하는 구조에서는 확장성을 고려하여 입력과 출력의 방향을 확장 교차부 구조를 이용하여 일정하게 설계하고, 출력되는 값들이 동일한 클럭에 나타나게 변경한다. 모든 출력은 8클럭 내에 수행되고, 출력되는 배선의 길이를 맞추어 설계한다. 출력 W는 1개의 5입력 다수결 게이트와 1개의 3입력 다수결 게이트를 사용하여 설계하고, 입력 변수의 개수가 많으며, 한 입력에 대한 변수가 연산 식에 한 번씩 사용되므로 5입력 다수결 게이트를 사용하여 논리 게이트와 클럭 단계의 수를 줄일 수 있다.

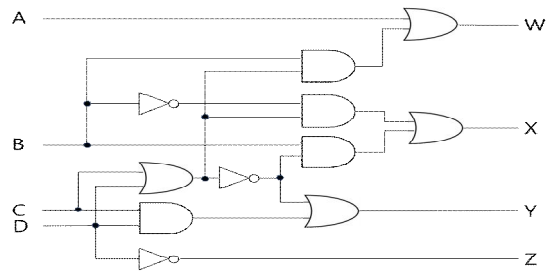


그림 7. 기존의 BCD-3초과 코드 변환기 논리도
 Fig. 7. Block diagram of the previous BCD-3 excess code converter.

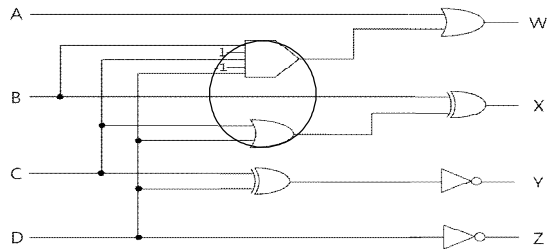


그림 8. 제안한 BCD-3초과 코드 변환기 논리도
 Fig. 8. Block diagram of the proposed BCD-3 excess code converter.

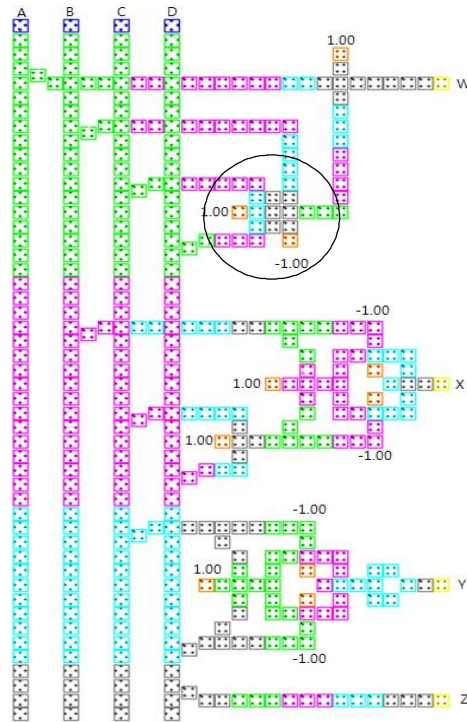


그림 9. QCA상에서 제안하는 BCD-3초과 코드 변환기 구조
 Fig. 9. Structure of the proposed BCD-excess 3 code converter on QCA.

그림 4에서 나타낸 5입력 다수결 게이트의 입력에 고정 값 -1, 1은 각각 AND와 OR의 연산을 나타낸 것이다. 그림 4.(a)에서 입력 a, b, c가 먼저 다수결 함수를 통해 나오는 것을 이용하여 해당하는 3 입력 중에 한 가지를 고정된 편극화 값의 셀로 변경하여 AND와 OR 연산을 수행할 수 있다. 동일한 방법으로 d, e 중에서도 하나의 입력을 고정된 편극화 값의 셀로 변경하여 5입력 다수결 게이트 하나로 2가지의 논리 연산을 할 수 있다. 그림 8의 출력 W는 불대수식으로 표현하면 $A+B(C+D)$ 이고 5입력 다수결 게이트로 먼저 C와 D의 OR 연산을 한 후 그 결과 값을 B와 AND 연산하는 방식으로 설계할 수 있다. 이 5입력 다수결 게이트의 경우 연산순서를 구분하기 위해서 내부의 9개의 셀의 클럭 단계의 구분을 주었다. C와 D의 연산의 한 클럭 단계를 주고, 다음 B의 연산을 할 때 C와 D의 클럭 단계의 다음 클럭 단계를 주어 두 연산의 순서를 순차적으로 진행하도록 설계한다. 다른 출력에서는 XOR 논리 게이트를 사용하여 구현한다. XOR과 같은 연산 식에는 입력 변수가 2번 사용되므로 5입력 다수결 게이트로 나타내는 것은 비효율적이다. 출력 X와 Y는 효율적인 XOR 게이트를 사용하여 2사이클 안에 값이 출력되도록 할 수 있다. 먼저 X는 불대수식으로 $B\oplus(C+D)$ 이고 C와 D의 OR 연산의 결과와 B를 XOR시켜 결과 값을 출력할 수 있다. Y는 불대수식으로 $(C\oplus D)$ 로 나타내며 NXOR의 연산이다. C와 D의 XOR 연산을 한 후 그 값을 인버터를 수행하여 값을 출력한다. 출력 Z는 부울식 D' 로 나타내고 입력 D의 값을 인버터를 수행하여 결과 값을 출력한다. 45° 회전된 셀 배선을 사용한 확장된 교차부는 신호의 세기가 배선 길이의 영향을 받기 때문에 흐름에 방해가 되지 않도록 각 출력마다 다음 클럭 단계를 주어 설계한다. 배선 셀의 최대한도 개수가 90° 배선 셀은 28개, 45° 회전된 셀 배선은 27개까지 신호가 정상적으로 전파되므로 해당 한도를 초과하지 않게 설계한다. 그림 10은 그림 9의 시뮬레이션 결과를 나타낸다. 상단 ABCD의 값이 입력되면 하단 WXYZ로 값이 출력되며 첫 입력에 대한 출력 값은 2사이클 후 출력되므로 그림 10의 출력부분 내 밑줄 표시된 값부터 출력이 오른쪽으로 진행된다.



그림 10. 시뮬레이션 결과
Fig. 10. Simulation result.

IV. 성능평가

본 논문에서 제안된 회로와 URG 게이트에 기반을 둔 BCD-3 초과 코드 변환기, 그리고 타 논문에서 제안된 QCA BCD-3 초과 코드 변환기를 두 가지 관점에서 비교하여 표 1과 2에 정리했다 [10]. 표 1은 그림 7의 URG 게이트로 설계한 회로와 비교를 한 것이다. URG 게이트 내부의 게이트의 개수를 최소로 표현해도 새롭게 제안한 BCD-3초과 코드 회로와 많은 차이가 있다. URG 게이트로 설계한 회로는 URG 게이트 자체의 입력과 출력의 수가 많아 회로의 크기가 상당히 크지만 출력 값의 절반 이상이 쓰레기 출력이므로 효율성이 매우 떨어진다. 표 2는 기존의 QCA로 설계된 회로와의 비교를 나타낸다. 제안한 회로가 셀 수와 다수결 게이트가 기존의 회로보다 더 많지만 4개의 출력 값의 클럭이 모두 동일하며 공간 효율성이 기존의 제안된 회로보다 높다. 공간 효율성은 회로의 전체 크기에서 사용한 셀의 비율을 나타내는 것으로 회로의 설계에 있어서 중요하다. 출력 클럭 개수는 각 출력 값 사이의 클럭을 비교한 것으로, 출력 값의 클럭이 동일하지 않으면 입력에서 3초과 된 값이 같은 시점에서 출력되지 않는다. 제안한 회로는 4개의 출력이 모두 8클럭으로 동일하지만 기존의 QCA로 제안된 회로는 최대 출력 값이 8클럭을 소모하지만 4개의 출력이 모두 동일하지 않고 입력 값과 출력 값의 위치가 불규칙적이므로 확장성을 고려하기 위해서는 추가 클럭 및 배선이 요구된다.

기존의 QCA상에서 제안된 회로는 최대 출력 값과 최소 출력 값 사이의 클럭 차가 7 이고, 출력 값의 클럭을 동기화하기 위해 추가로 7 클럭이 필요하다. 본 논문에서 제안한 구조는 회로의 확장성을 고려하여 입력과 출력의 방향을 서로 일치하였으며 출력 값의 클럭이 동일하게 동기화 되었다.

표 1. 회로 설계의 효율성 비교 결과

Table 1. The comparative results for the efficiency for logic design.

	propose circuit	circuit in [15]
# of gate	11	43
# of garbage value	0	12
wasted area	67%	74%

표 2. QCA의 시간 효율성 비교 결과

Table 2. The comparative results for the time efficiency on QCA.

	proposed circuit	circuit in [14]
clock	8	8
clock for connection	1	7

V. 결 론

기존 연구에서 QCA상에서 제안된 BCD-3초과 회로와 논리도로 제안된 구조는 호환성과 효율성이 낮았다. 본 논문에서는 회로의 확장성을 고려하여 확장부 교차 구조와 5입력 다수결 게이트를 사용하여 새로운 구조를 제안했다.

기존의 회로에 비해 소요된 셀의 수와 셀 공간은 증가하였지만 시간의 효율성 측면에서는 출력되는 결과 값이 모두 동일한 클럭 내에 나타났고, 기존의 회로와 동일한 클럭 시간을 나타냈다. 제안한 구조의 유효성을 검증하기 위해 시뮬레이션을 수행하였고, 그 결과 입력에 대해 올바른 출력 값이 나타남을 알 수 있었다.

감사의 글

이 논문은 2015년도 정부(교육과학기술부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임(No. NRF-2015R1A2A1A15055749).

참고 문헌

[1] C. S. Lent, P. D. Tougaw, W. Porod, and G. H. Bernstein, "Quantum cellular automata," *Nanotechnology*, Vol. 4, No. 1, pp. 49-57, 1993.

[2] P. D. Tougaw and C. S. Lent. "Logical devices implemented using quantum cellular automata," *Journal of Applied physics*, Vol. 75, No. 3, pp.1818-1825, 1994.

[3] W. Wang, K. Walus and G. A. Jullien, "Quantum-dot cellular automata adders," in *Proceedings of Third IEEE Nano Conference (IEEE-NANO 2003)*, San Francisco: CA, pp. 461-464, 2003.

[4] A. Fijany, N. Toomarian, K. Modarress and M. Spotnitz, Bit-serial adder based on quantum dots, NASA Tech, California, NASA Technical Report NPO-20869, pp. 10-12, 2003.

[5] A. Vetteth, K. Walus, V. S. Dimitrov, G. A. Jullien, "Quantum-dot cellular automata carry-look-ahead adder and barrel shifter," in *Proceedings of IEEE Emerging*

Telecommunications Technologies Conference, Dallas: TX, pp. 2-4, 2002.

[6] M. T. Niemier, M. J. Kontz, and P. M. Kogge, "A design of and design tools for a novel quantum dot based microprocessor," in *Proceedings of the 37th Annual Design Automation Conference*, Los Angeles: CA, pp. 227-232, 2000.

[7] K. Walus, T. J. Dysart, G. A. Jullien, and R. A. Budiman, "QCADesigner: a rapid design and simulation tool for quantum-dot cellular automata," *IEEE Transactions on Nanotechnology*, Vol. 3, No. 1, pp. 26-31, 2004.

[8] C. S. Lent and P. D. Tougaw. "A device architecture for computing with quantum dots," *Proceedings of the IEEE*, Vol. 85, No. 4, pp. 541-557, 1997.

[9] K. Kim, K. Wu, and R. Karri. "Towards designing robust qca architectures in the presence of sneak noise paths," in *Proceedings of the Conference on Design, Automation and Test in Europe*, Los Alamitos: CA, pp. 1214-1219, 2005.

[10] H. Hwang and J. C. Jeon, "Analysis of inverter on quantum dot cellular automata," in *Korea Computer Congress 2013*, Yeosu: Korea, pp. 759-761, 2013

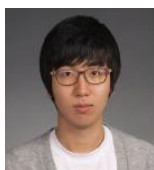
[11] J. H. Park, Y. W. You and J. C. Jeon, "Design of BCD-excess 3 code converter using quantum-dot cellular automata," in *Korea Computer Congress 2013*, Yeosu: Korea, pp. 762-764, 2013.

[12] W. Porod, "Quantum-dot devices and quantum-dot cellular automata," *International Journal of Bifurcation and Chaos*, Vol. 7, No. 10, pp. 2199-2218, 1997.

[13] R. Akeela and M. D. Wagh. "A five-input majority gate in quantum-dot cellular automata," *NSIT Nanotech*, Vol. 2. pp. 978-981, 2011.

[14] Y. W. You and J. C. Jeon, "Efficient design of BCD-excess 3 code converter using quantum-dot cellular automata," *The Journal of Korea Navigation Institute*, Vol. 17, No. 6, pp.700-704, 2013.

[15] M. Saravanan, and K. S. Manic. "Energy efficient code converters using reversible logic gates," in *Proceedings of IEEE International Conference on Green High Performance Computing (ICGHPC)*, Nagercoil: India, pp. 1-6, 2013.



유영원 (Young-Won You)

2009년 2월 ~ 현재: 금오공과대학교 컴퓨터공학과
※ 관심분야 : 정보보안, 양자 회로설계, 양자 프로토콜 설계



전 준 철 (Jun-Cheol Jeon)

2007년 2월: 경북대학교 컴퓨터공학과 (공학박사)

2007년 9월 ~ 2008년 8월 : Humboldt Univ., Complexity and Cryptography Group, Post Doc.

2009년 3월 ~ 2012년 8월 : 우석대학교 정보보안학과 교수

2012년 9월 ~ 현재 : 금오공과대학교 컴퓨터공학과 교수

※ 관심분야: 정보보안, 암호학, RFID, 양자 회로설계, 양자 프로토콜 설계