

이온젤 전해질 절연체 기반 고분자 비휘발성 메모리 트랜지스터

조보은, 강문성^a

승실대학교 화학공학과

Ion Gel Gate Dielectrics for Polymer Non-volatile Transistor Memories

Boeun Cho and Moon Sung Kang^a

Department of Chemical Engineering, Soongsil University, Seoul 06978, Korea

(Received October 4, 2016; Accepted October 17)

Abstract: We demonstrate the utilization of ion gel gate dielectrics for operating non-volatile transistor memory devices based on polymer semiconductor thin films. The gating process in typical electrolyte-gated polymer transistors occurs upon the penetration and escape of ionic components into the active channel layer, which dopes and dedopes the polymer film, respectively. Therefore, by controlling doping and dedoping processes, electrical current signals through the polymer film can be memorized and erased over a period of time, which constitutes the transistor-type memory devices. It was found that increasing the thickness of polymer films can enhance the memory performance of device including (i) the current signal ratio between its memorized state and erased state and (ii) the retention time of the signal.

Keywords: Transistor-type non-volatile memory, Ion gel electrolyte, polymer semiconductor, Low voltage operation, Film thickness

1. 서론

기계적 유연성이 뛰어나며 동시에 용액공정이 가능한 고분자 반도체는 트랜지스터 및 다이오드 등의 기초 전자소자응용에 초점이 맞춰졌던 초기 개발단계를 지나, 최근에는 태양전지, 발광다이오드, 센서, 메모리 소자 등의 응용소자에 활발히 적용되고 있다 [1]. 다양한 전자소자 중 트랜지스터형 비휘발성 메모리 소자 NTM (non-volatile transistor memory)는 전기신호에 기초한 전자정보를 저장/삭제하는데 사용하는 기본적인 단위 소자로, 기존 CMOS 회로와의 상용성이 우수할

뿐만 아니라, 정보를 기억 과정에서 별도의 에너지 소모가 없는 등의 장점을 가지고 있다 [2-4]. NTM을 고분자 반도체를 이용하여 구현할 수 있다면, 최근 대두되고 있는 웨어러블 전자소자를 비롯한 각종 휴대용 스마트전자소자의 상용화에 박차를 가할 수 있을 것으로 기대된다. 특히나, 값싼 용액공정이 가능하면서 유연한 기판에 적용가능한 고분자 반도체의 장점을 극대화 하기 위해서는 고분자 반도체에 기초한 NTM을 보다 적은 전력과 전압으로 구동가능 방법 개발이 필요하다. 이는 그래야만 경량의 저전압 박막형 배터리로 전자소자의 구동이 가능하기 때문이다. 그러나 현재까지 발표된 고분자 기반 NTM 소자들은 대부분 신호를 저장하고 삭제하기 위해 수십 V의 높은 전압이 요구된다.

전해질을 게이트 유전체로 이용하면, 낮은 전압으로도 트랜지스터를 안정적으로 구동할 수 있음이 이미 보고되었다 [5]. 전해질을 활용한 트랜지스터는 기존의

a. Corresponding author; mksang@ssu.ac.kr

Copyright ©2016 KIEEME. All rights reserved.
 This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

산화물 절연체 기반의 소자와 달리 전해질 내 존재하는 이온의 직접적인 움직임에 따라 구동한다. 이들 중 특히나 이온의 출입이 용이한 다공성의 반도체 박막(고분자 반도체 박막을 포함)을 활용하는 트랜지스터를 전기화학적 트랜지스터라고 하는데, 이는 이온의 출입에 따른 반도체 층의 산화 및 환원에 의해 소자의 전하밀도 및 전류밀도가 제어되는 원리를 따른다 [6]. 반도체의 산화 및 환원 반응을 위해서는 고작 수 V 정도의 낮은 전압이 필요하므로, 전기화학적 트랜지스터는 10 V 미만의 낮은 전압으로 구동이 가능하다 [5]. 그러나 트랜지스터 구동전압을 낮추는데 있어, 이와 같은 전해질 게이트 유전체의 장점에도 불구하고 아직까지 전해질을 활용한 고분자 반도체 기반 NTM 개발은 아직 소수에 그친다 [7].

본 연구에서는 가장 범용적으로 사용되는 고분자 반도체인 P3HT (poly(3-hexylthiophene))와 또한 대표적인 이온성 액체 전해질인 ethylmethylimidazolium bis(trifluoromethylsulfonyl) imide ([EMIM][TFSI])에 기반한 전기화학적 트랜지스터를 제작하고, 이렇게 제작된 소자의 메모리 특성을 분석하였다. 위에서 언급한 바와 같이 전기화학적 트랜지스터는 다공성 반도체 층으로 이온이 출입하며 구동하는데, 반도체 층 내 이온의 체류시간을 제어함으로써 전압 인가에 따른 소자의 전기신호를 변화시키고 이로부터 전기신호의 저장 및 삭제를 구현하고자 한다. 이에, 고분자 반도체 박막의 두께를 50 nm에서부터 130 nm까지 변화시키면서 고분자 기반 NTM의 특성을 비교 평가하였다. 고분자 박막의 두께 증가에 따라 소자에 저장된 신호의 순도와 저장 시간 등 메모리 소자의 주요 지표가 점차적으로 향상됨을 확인할 수 있었다. 이러한 지표들을 고작 5 V 미만의 저전압 구동조건을 통해 얻은 사실을 고려한다면, 본 연구 내용은 저전압 박막형 배터리로 구동 가능한 휴대용 전자소자의 분야에서 요구되는 소자의 사양을 만족시키는 하나의 방법론을 제시할 것으로 기대한다.

2. 실험 방법

소자의 제작 과정은 다음과 같다. 소자의 기판으로는 300 nm 두께의 SiO₂ 산화막이 입혀진 실리콘 웨이퍼를 사용하였다. 불순물을 제거하기 위해 웨이퍼를 acetone, isopropanol 및 deionized water를 이용하여 10분씩 초음파 세척을 진행하였다. 그 후 5 nm의 Cr과 40 nm의 Au를 열적으로 증착하여 소스, 드레인 및 (동평면) 게

이트 전극을 증착하였다. 소스 전극과 드레인 전극 사이에 형성되는 채널의 폭(W)과 길이(L)는 각각 1 mm와 0.1 mm였다. 이후 모든 과정은 질소 환경의 글러브 박스 내에서 진행되었다. P3HT를 dichlorobenzene에 각기 다른 농도(5, 10, 20 mg/ml) 녹이고, 그 용액을 전극이 형성된 기판 위에 스프인코팅(1,000 rpm, 60 sec)하여 두께가 각기 다른 P3HT 박막(각각 50, 80, 130 nm)을 형성하였다. 박막에 잔존하는 dichlorobenzene을 제거함과 동시에 고분자 사슬간의 배향을 강화하기 위해 박막이 형성된 웨이퍼를 190°C의 온도에서 1시간 동안 어닐링하였다. 이렇게 형성된 반도체 박막 위에 [EMIM][TFSI] 이온성 액체와 poly(styrene-*b*-methyl methacrylate-*b*-styrene) (PS-PMMA-PS, 5,000:75,000:5,000, PDI = 1.3) 블록 공중합체와 용매인 ethyl acetate가 각각 9:1:22의 질량비로 섞인 혼합물을 스프인코팅(2,000 rpm, 60 sec)을 이용하여 도포한 뒤 80°C에서 어닐링하였다. 어닐링을 통해 용매가 증발하는 과정에서 PS-PMMA-PS와 [EMIM][TFSI]의 상호작용에 기반한 자기조립에 의해 이온성 액체가 담지된 젤 네트워크(이온젤)가 P3HT 반도체 층 위에 형성된다 [8]. 최종적으로 소량의 실버페이스트를 이온젤 위에 도포하여 게이트 전극을 형성한다. 게이트 전압은 이온젤 층과 닿아있는 (동평면) 게이트 전극이나 도포된 은전극을 통해 인가되었다. 최종 소자의 모식도는 그림 1(a)와 같으며, 사용된 물질의 화학구조는 그림 1(b)에 있다. 모든 소자의 전기적 특성은 고진공($<10^{-6}$ torr)이 유지되는 프로브스테이션 챔버 내에서 이와 연결된 Keithley 4200을 이용하여 측정하였다. P3HT 박막의 두께는 Veeco사 D3100 AFM (atomic force microscope)을 이용하여 측정하였다.

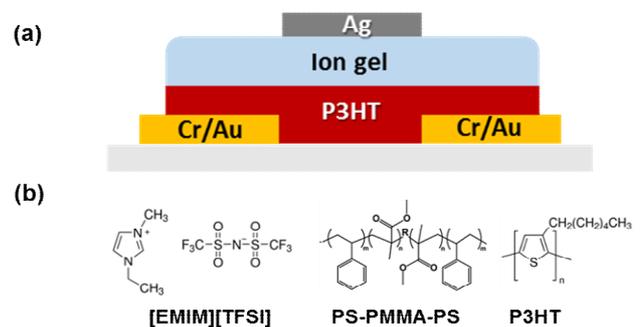


Fig. 1. (a) Cross-sectional view of an ion-gel gated polymer transistor and (b) chemical structures of materials included in this study.

3. 결과 및 고찰

그림 2(a)에서 회색으로 표시된 커브는 두께가 50 nm인 P3HT 박막을 가진 이온젤 구동 박막트랜지스터의 초기 전달특성(transfer characteristics)으로, 고정된 드레인 전압 (drain voltage, $V_D=1.5V$)하에서 게이트 전압(gate voltage, V_G)에 따른 드레인 전류(drain current, I_D)를 표시한 것이다. 기존 결과와 같이 보다 음의 V_G 를 인가할수록 보다 높은 I_D 가 형성되는 것을 확인할 수 있다 (정공 이동도 = $0.07 \text{ cm}^2/Vs$). 보다 높은 I_D 는 음의 V_G 를 가할수록 더 많은 양의 TFSI 음이온이 P3HT 층으로 유입되어 반도체 층이 전기화학적으로 홀도핑됨에 따라 발생한 것으로 해석 할 수 있다. 같은 그림 안에 있는 빨간색으로 표시된 커브는 같은 소자의 게이트 전극에 10 ms의 짧은 시간 동안 -3 V의 전압을 인가한 뒤 회색 커브와 동일한 조건으로 측정된 소자의 전달특성이다 (정공 이동도 = $0.7 \text{ cm}^2/Vs$). 초기의 회색커브에 비해서 전체적으로 커브가 양의 방향으로 이동된 것을 확인할 수 있다. 이는 게이트 전극에 짧은 시간 음의 전압을 가하는 동안 음이온이 반도체 층 내로 강제로 유입되어(그림 3(a)) P3HT가 보다 홀도핑된 상태에서 소자의 전달특성이 측정되었기 때문이다 (그림 3(b)). 이와 같이 짧은 시간 동안 게이트 전극에 음의 전압을 걸어 p 형 트랜지스터의 전달특성을 양으로 이동시키는 과정을 메모리 소자에 정보를 입력하는 프로그래밍 과정이라고 할 수 있다. 같은 그림 내에 있는 파란색으로 표시된 커브는 프로그래밍 된 소자의 게이트 전극에 10 ms의 짧은 시간 동안 +5 V의 전압을 인가한 뒤 회색과 빨간색 커브와 동일한 조건으로 측정된 소자의 전달특성이다 (정공 이동도 = $0.1 \text{ cm}^2/Vs$). 파란색 커브는 이전의 빨간색 커브에 비해 전체적으로 음의 방향으로 이동된 것을 확인할 수 있다. 이는 게이트 전극에 짧은 시간 양의 전압을 가하는 동안 이전의 프로그래밍 과정에서 강제로 유입된 [TFSI] 음이온이 반도체 층으로부터 빠져 나와(그림 3(c)) P3HT의 홀도핑이 제거된 상태에서 소자의 전달특성이 측정되었기 때문이다(그림 3(d)). 이처럼 프로그래밍 과정에서 양으로 이동된 커브를 원위치 시키는 과정을 메모리 소자에 저장된 정보를 삭제하는 과정이라고 할 수 있다. 프로그래밍 과정 후의 전기 신호(I_{prog})와 삭제 과정 후의 전기 신호의 크기(I_{era})는 각각 프로그래밍 및 삭제를 위한 전압을 인가한 후 게이트에는 별도의 전압을 인가하지 않고 $V_D (= -1.5 V)$ 만을 인가하여 측정된 전류의 값이라 할 수 있다. 이는 전달특성에서 $V_G = 0 V$ 의

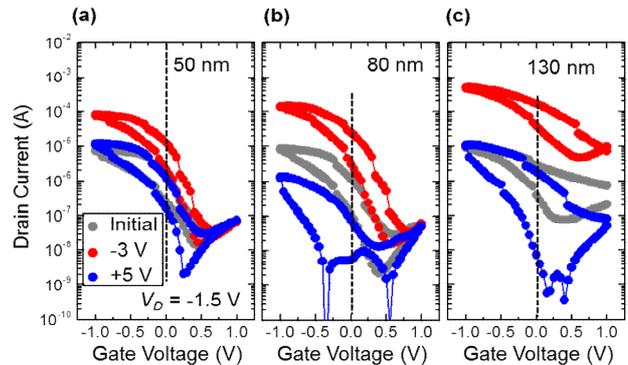


Fig. 2. Transfer characteristics of ion gel-gated P3HT non-volatile transistor memories with different semiconductor thicknesses, obtained before and after applying -3 V and +5 V to the gate. Film thickness = (a) 50 nm, (b) 80 nm, and (c) 130 nm.

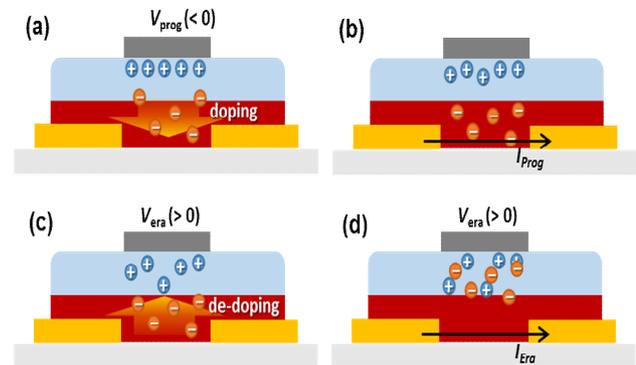


Fig. 3. Schematic description of device operation for an ion-gel gated polymer non-volatile transistor memory. (a) Electrochemical doping of P3HT during the programming process, (b) current measurement after the programming process, (c) electrochemical de-doping of P3HT during the erasing process, and (d) current measurement after the erasing process.

조건에서 읽은 전류 값과 일치한다. 지금까지 살펴본 50 nm P3HT 박막을 가진 소자의 I_{prog}/I_{era} 비는 약 500 이었다. 물론, I_{prog}/I_{era} 의 비율은 프로그래밍 및 삭제의 과정에서 소자의 전달특성이 많이 이동할수록 커진다. 그림 2(b)와 2(c)는 각각 80 nm와 130 nm 두께의 P3HT 박막을 이용한 이온젤 구동 트랜지스터의 초기 전달특성(회색, 각각의 정공 이동도 = $0.08, 0.07 \text{ cm}^2/Vs$), -3 V로 프로그래밍 후 전달특성(빨간색, 각각의 정공 이동도 = $1.1, 3.5 \text{ cm}^2/Vs$), +5 V로 삭제 후 전달특성(파란색, 각각의 정공 이동도 = $0.04, 0.04 \text{ cm}^2/Vs$)을 보여준

다. 그림 2(a)의 커브들과 마찬가지로 프로그래밍을 하면 전체적으로 커브가 양의 방향으로 이동하고, 삭제를 하면 커브가 전체적으로 음의 방향으로 이동하는 것을 확인 할 수 있다. 나아가 커브의 이동폭이 P3HT 박막의 두께가 두꺼워질수록 더 넓어짐을 확인 할 수 있다. 이는 고분자 반도체 박막의 두께가 두꺼울수록 전해질의 이온을 유입시킬 수 있는 박막 자체의 부피가 증가하며, 이에 따라 박막이 보다 많이 도핑되기 때문이라 해석된다. 그 결과, 동일한 -3 V과 +5 V로 소자를 각각 프로그래밍하고 삭제하였음에도 전달특성이 보다 넓게 이동할 수 있다.

이는 곧 $I_{\text{prog}}/I_{\text{era}}$ 비를 증폭시키는데 직접 기여를 하는데, P3HT 박막의 두께에 따른 메모리 소자의 $I_{\text{prog}}/I_{\text{era}}$ 비는 그림 4에 요약하였다. 50 nm 두께의 P3HT 박막의 경우 약 500에 불과하였던 $I_{\text{prog}}/I_{\text{era}}$ 비는 박막의 두께가 130 nm까지 증가함에 따라 약 50,000까지 증가함을 확인할 수 있다. 우리는 본 소자를 통해 10^4 이상의 $I_{\text{prog}}/I_{\text{era}}$ 비를 겨우 5 V 이내의 작은 구동전압으로 얻은 부분을 다시 한 번 강조하고자 하며, 이는 전해질을 이용하여 구동하는 트랜지스터의 고유한 성질에 기인한다.

비휘발성 메모리 소자의 $I_{\text{prog}}/I_{\text{era}}$ 비율 외 또 하나의 주요 지표는 바로 얼마나 긴 시간 동안 저장된 신호를 기억하는지를 나타내는 보유시간(retention time)이다. 기본적으로 본 논문에서 소개하는 메모리소자는 기존의 유기반도체 기반 트랜지스터 메모리소자와 달리 나노 플로팅게이트(nano floating gate)나 [2,9] 고분자 일렉트렛(polymer electret)과 [10-12] 같은 별도의 전하저장층을 포함하고 있지 않아 아주 긴 신호의 보유시간이 기대되는 않을 수 있다.

그러나 그림 5에서 보이듯 그 수치가 두께에 따라서 분명히 증가함을 확인할 수 있다. 50 nm 두께의 P3HT 박막의 경우 일천 초도 안되는 시간 동안 프로그래밍되었던 신호가 소멸되며 곧 $I_{\text{prog}}/I_{\text{era}} < 10$ 의 열악한 메모리 성능을 보였던 소자는, 박막의 두께가 130 nm까지 증가함에 따라 10 이상의 $I_{\text{prog}}/I_{\text{era}}$ 비를 수천초 이상의 시간 동안 유지하도록 개선되는 것을 확인할 수 있었다. 이는 앞에서 설명한 바와 마찬가지로, 고분자 반도체 박막의 두께가 두꺼울수록 이온을 포함할 수 있는 박막 자체의 부피가 증가하여, 반도체 층 내 이온의 체류 시간이 증가되기 때문이라고 해석된다. 비록, 본 소자의 체류시간은 기존의 유기반도체 기반 트랜지스터 메모리소자가 보여준 체류시간에 비해 상대적으로 짧은 편이나, 이러한 수치를 얻기 위해 고작 5 V 미만의 전압만이 소자에 인가되었음을 다시 한 번 강조하고자

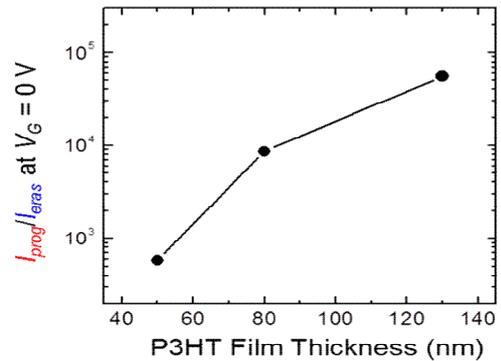


Fig. 4. Summary of $I_{\text{prog}}/I_{\text{era}}$ ratio for ion gel-gated P3HT non-volatile transistor memories with different thicknesses. The programming voltage and erasing voltage are -3 V and 5 V, respectively.

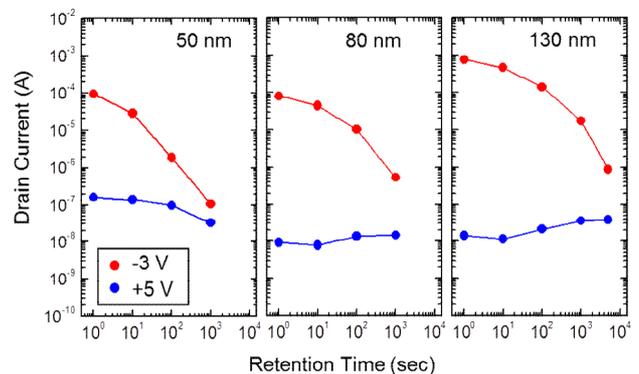


Fig. 5. Evolution of $I_{\text{prog}}/I_{\text{era}}$ ratio for ion gel-gated P3HT non-volatile transistor memories with different thicknesses. The programming voltage and erasing voltage are -3 V and 5 V, respectively.

한다. 기존의 대부분의 유기반도체 기반 트랜지스터 메모리소자의 구동을 위해서는 보통 수십 V 이상의 고전압 인가가 요구되었다 [2-4, 13-15].

4. 결론

본 논문에서는 이온젤 전해질을 이용하여 P3HT 고분자 반도체에 기반한 비휘발성 트랜지스터 메모리 소자의 구동전압을 5 V 미만으로 낮추는 방법을 제시하였다. 이온젤 전해질을 이용한 본 소자는 기존에 발표된 여느 비휘발성 트랜지스터 메모리 소자와 달리 별도의 전하저장층을 포함하지 않음에도 불구하고, 반도체층 내

에 체류하는 이온을 활용하여 낮은 프로그래밍 및 삭제 전압 조건 하에서도 수천 초 이상의 시간 동안 저장된 신호를 저장할 수 있다. 본 논문에서는 메모리 소자 성능의 증대를 위해 일차적으로 고분자 박막의 두께 증대에 따른 이온의 체류시간 증가 효과를 규명하였으나, 이를 확장하여 보다 안정적으로 이온의 체류 및 방출을 제어할 수 있는 방법이 개발된다면, 보다 낮은 전압에서 보다 긴 시간 동안 신호를 저장하는 새로운 개념의 메모리 소자 개발이 이루어질 수 있을 것으로 기대한다.

감사의 글

이 논문은 2014년도 교육부의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업임(NRF-2014R1A1A2058531).

REFERENCES

- [1] H. Klauk, *Organic Electronics: Materials, Manufacturing, and Applications* (1st ed.) (Wiley-VCH Verlag GmbH & Co. KGaA, Weinheim, 2006).
- [2] K. J. Baeg, Y. Y. Noh, H. Siringhaus, and D. Y. Kim, *Adv. Funct. Mater.*, **20**, 224 (2010). [DOI: <https://doi.org/10.1002/adfm.200901677>]
- [3] W. L. Leong, N. Mathews, B. Tan, S. Vaidyanathan, F. Dotz, and S. Mhaisalkar, *J. Mater. Chem.*, **25**, 8971 (2011). [DOI: <https://doi.org/10.1039/c1jm10966a>]
- [4] R.C.G. Naber, B. D. Boer, P.W.M. Blom, and D.M.D. Leeuw, *Appl. Phys. Lett.*, **87**, 203509 (2005). [DOI: <https://doi.org/10.1063/1.2132062>]
- [5] M. S. Kang, J. H. Cho, and S. H. Kim, *Ch. 8 Electrolyte-Gating Organic Thin Film Transistors* (1st ed.) (VCH Verlag GmbH & Co. KGaA, Weinheim, 2015) p. 253.
- [6] J. C. Scott and L. D. Bozano, *Adv. Mater.*, **19**, 1452 (2007). [DOI: <https://doi.org/10.1002/adma.200602564>]
- [7] S. K. Hwang, T. J. Park, K. L. Kim, S. M. Cho, B. J. Jeong, and C. Park, *ACS Appl. Mater. Interface*, **6**, 20179 (2014). [DOI: <https://doi.org/10.1021/am505750v>]
- [8] H. Bong, W. H. Lee, D. Y. Lee, B. J. Kim, J. H. Cho, and K. Cho, *Appl. Phys. Lett.*, **96**, 192115 (2010). [DOI: <https://doi.org/10.1063/1.3428357>]
- [9] J. S. Lee, *Electron. Mater. Letter.*, **7**, 175 (2011). [DOI: <https://doi.org/10.1007/s13391-011-0901-5>]
- [10] K. J. Baeg, Y. Y. Noh, J. Ghim, S. J. Kang, H. Lee, and D. Y. Kim, *Adv. Mater.*, **18**, 3179 (2006). [DOI: <https://doi.org/10.1002/adma.200601434>]
- [11] Y. H. Chou, H. C. Chang, C. L. Liu, and W. C. Chen, *Poly. Chem.*, **6**, 341 (2015). [DOI: <https://doi.org/10.1039/C4PY01213E>]
- [12] Y. Guo, C. A. Di, S. Ye, X. Sun, J. Zheng, Y. Wen, W. Wu, G. Yu, and Y. Liu, *Adv. Mater.*, **21**, 1954 (2009). [DOI: <https://doi.org/10.1002/adma.200802430>]
- [13] J. Lee, S. Lee, M. H. Lee, and M. S. Kang, *Appl. Phys. Lett.*, **106**, 063302 (2015). [DOI: <https://doi.org/10.1063/1.4908187>]
- [14] B. Cho, S. H. Yu, M. H. Lee, J. Lee, J. Y. Lee, J. H. Cho, and M. S. Kang, *Org. Electron.*, **15**, 3439 (2014). [DOI: <https://doi.org/10.1016/j.orgel.2014.09.034>]
- [15] N. M. Murani, Y. J. Hwang, F. S. Kim, and S. A. Jenekhe, *Org. Electron.*, **31**, 104 (2016). [DOI: <https://doi.org/10.1016/j.orgel.2016.01.015>]