JKIICE Journal of the Korea Institute of Information and Communication Engineering

한국정보통신학회논문지(J. Korea Inst. Inf. Commun. Eng.) Vol. 20, No. 12 : 2326~2332 Dec. 2016

고속에서 동작하는 이산 루프필터를 가진 PLL

안성진[1] · 최영식[2*]

A PLL with high-speed operating discrete loop filter

Seong-Jin An[1] · Young-Shig Choi[2*]

[1]Department of Electronic Engineering, Pukyong National University, Busan 48513, Korea
[2*]Department of Electronic Engineering, Pukyong National University, Busan 48513, Korea

요 약

본 논문에서는 기존 위상고정루프의 아날로그 루프 필터 형태와 달리 전압제어발진기의 출력 신호로 동작하는 이산 루프 필터를 사용하여 크기는 작으면서 안정하게 동작하는 위상고정루프를 제안하였다. 기존의 위상고정루프에 2차 루프필터 대신 스위치 제어 루프필터를 사용하였다. 스위치는 전압제어발진기위의 고속의 출력 신호에 의해 제어된다. 총 3개의 스위치는 UP/DN 신호를 통하여 제어되고, UP/DN 신호에 따라 스위치가 'on/off'를 반복한다. 샘플링과 부궤환 역할을 하는 스위치와 결합된 작은 크기의 커패시터로 하나의 칩으로 집적화가 가능하다. 제안된 위상고정루프의 이산 루프 필터에 사용된 커패시터 값은 총 180pF로 아주 작은 크기임에도 불구하고 안정적으로 동작한다. 제안된 위상고정루프는 1.8V의 공급전압에서 0.18um CMOS 공정의 파라미터를 이용하여 Hspice로 시뮬레이션을 수행하고, 동작을 검증하였다.

ABSTRACT

In this paper, the proposed small size PLL works stable with the discrete loop filter which is controlled by voltage controlled oscillator's output signal. A switch controlled loop filter is introduced into the proposed PLL instead of a conventional 2nd-order loop filter. Those three switches are controlled by the very high frequency output signal of voltage controlled oscillator. The switches are also controlled by UP/DN signals and 'on/off' depending the presence of UP/DN signals. A negative feedback functioned capacitor with a switch does make it possible to integrate the PLL into a single chip. The proposed PLL works stably even though a total of small 180pF capacitor used in the discrete loop filter. The proposed PLL has been designed with a 1.8V supply voltage, 0.18um multi - metal and multi - poly layer CMOS process and proved by Hspice simulation.

키워드 : 위상고정루프, 이산 루프필터, 스위치

Key word : PLL, discrete loop filter, switch

Received 21 July 2016, **Revised** 26 July 2016, **Accepted** 10 August 2016

* **Corresponding Author** Young-Shig Choi (E-maile : choiys@pknu.ac.kr, Tel: +82-51-629-6222)
Department of Electronic Engineering, Pukyong National University, Busan 48513, Korea

Open Access http://doi.org/10.6109/jkiice.2016.20.12.2326 print ISSN: 2234-4772 online ISSN: 2288-4165

ⓒThis is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(http://creativecommons.org/li-censes/by-nc/3.0/) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.
Copyright Ⓒ The Korea Institute of Information and Communication Engineering.

Ⅰ. 서 론

무선 통신 시스템의 발달로 높은 수준의 아날로그·복합 신호를 처리하는 집적회로가 요구되고, 차세대 정보통신 기술로 IoT가 주목 받으면서 무선 통신 시스템의 소형화에 대해 많은 관심이 커지고 있다. 위상고정루프는 통신 시스템에서는 주파수 합성기로, 디지털 회로에서는 클록 신호 생성기의 기능을 수행하는 중요한 회로이다[1]. 안정적인 신호 처리와 칩 내부에 집적화하기 위해 위상고정루프는 잡음의 특성을 개선하고, 크기의 소형화에 대한연구가 지속적으로 이루어지고 있다. 위상고정루프의 구조에서 회로의 잡음 특성, 크기와 안정성에 영향을 미치는 중요한 요소 중 하나는 루프필터(LF)이다. 대표적으로 2차 루프필터는 안정적인 동작을 위해 대역폭이 최소 기준 신호 주파수보다 1/10이 되어야 하고 충분한 위상 여유를 가지고 있어야 한다. 그러기 위해서 대역의 영점에 영향을 주는 커패시터의 크기가 극점에 영향을 주는 커패시터의 크기보다 최소 10배 이상의 크기를 가지도록 설계해야 되고, 이러한 조건으로 안정성을 가지는 루프필터를 소형화하는데 많은 어려움을 겪고 있다.

루프 필터의 커패시터를 소형화하기 위한 연구로 커패시터 스케일러와 연산 증폭기가 필요한 이중 경로 능동 루프필터가 사용되었다[2-4]. [2]에서는 커패시터 스케일러가 잡음 특성을 나쁘게 하며, 또한 동작 주파수의 범위도 제한하는 문제를 가지고 있다. [3]의 방법은 2개의 연산증폭기를 필요로 하며, 이는 회로를 복잡 게 하고 잡음 특성에 영향을 줄 수 있다. [4]는 연산증폭기를 포함한 복잡한 커패시턴스 증폭 회로는 전력 소모 증가를 야기 시킨다. 이 외에도 작은 크기의 커패시터를 사용하기 위해 양/음의 두 개의 이득 값을 가진 전압제어 발진기[5], 다중 전하펌프를 이용하여 저항과 커패시터의 크기를 변화하는 구조의 위상고정루프[6]가제안되었다.

잡음 특성을 개선하기 위한 연구로 OPG(offset pulse generator)의 전류와 전하펌프의 방전되는 전류의 부정합으로 생기는 큰 스퍼를 완화하기 위한 목적으로 Sampled Loop Filter(SLF)가 제안되었다[7,8]. 본 논문에서는 [7,8]의 SLF와 부궤환 역할을 하는 높은 동작 주파수에서 스위치로 동작되는 커패시터를 결합한 루프필터를 사용하여 회로의 동작을 안정화 하고, 크기를 소형화 하였다. 제안된 위상고정루프의 이산 루프필터에서는 [7,8]의 SLF 스위치가 기준 주파수 신호로 제어되는 것과 달리 전압제어 발진기의 높은 출력 주파수 신호로 스위치를 제어한다. 결과적으로 위상고정루프의 루프필터 형태를 바꾸어 전하펌프의 UP/DN신호에서 전달되는 갑작스러운 전압 변화에도 정확한 전압 값을 전달하며, 고주파수의 빠른 제어를 통해 하나의 칩에 집적화가 가능하도록 작은 크기의 커패시터를 갖는 위상고정루프를 설계하였다.

Ⅱ. 제안한 위상고정루프 구조

2.1. 루프 필터 구조

위상고정루프에서 루프필터는 위상주파수검출기의 출력에 따라 전압제어발진기로 들어가는 입력전압을 제어하는 역할을 한다. 루프 필터는 구성되는 형태에 따라 위상고정루프의 전체 동작의 안정성을 결정하는 중요한 요소 중 하나이다. 위상고정루프의 성능을 측정하는데 루프필터 전압의 형태는 ΔV_{LPF}, $\Delta\Delta V_{LPF}$, $\Delta\Delta\Delta V_{LPF}$로 세 가지 형태를 가진다. ΔV_{LPF}은 위상고정루프의 위상이 고정된 이후에 루프필터에 나타나는 전압의 크기 변화량이다. ΔV_{LPF}의 크기는 위상 잡음의 특성을 결정하면 작을수록 위상잡음 특성이 좋아진다. $\Delta\Delta V_{LPF}$는 위상검출기에서 신호의 한 주기 동안 발생되는 UP/DN 신호의 펄스폭에 의해서 변하는 루프필터의 전압 변화량이다. $\Delta\Delta V_{LPF}$는 신호의 한 주기 동안에 변화하는 변화량으로 기준 신호의 의사 잡음의 크기를 결정한다. $\Delta\Delta\Delta V_{LPF}$는 기준 신호의 한 주기 동안 최종적으로 변한 전압의 양을 의미하며 $\Delta\Delta\Delta V_{LPF}/\Delta\Delta V_{LPF}$의 크기가 작을수록 안정해진다.

기본적으로 위상고정루프가 동작하기 위해 일반적으로 그림 1 (a)와 같은 2차 RC 루프필터를 사용한다. 2차 루프필터는 위상주파수검출기에서 UP/DN 신호가 발생하면 신호의 펄스폭만큼의 전류가 전하펌프(CP)에서 루프필터로 들어간다. 전하펌프의 전류가 △t시간만큼의 우선적으로 C_p로 들어가게 되고, V_{LPF}는 상승한다. UP신호가 종료되면 C_p에 충전된 전압은 T_{ref} - △t 시간 동안 R_z, C_z로 방전을 하면서 V_{LPF}가 하강하는 동작을 한다. 이 때 발생되는 $\triangle\triangle V_{LPF}$에 의해 기준 신호의 의사 잡음이 발생된다. 그림 1 (b)는 제안한 위상고정루프

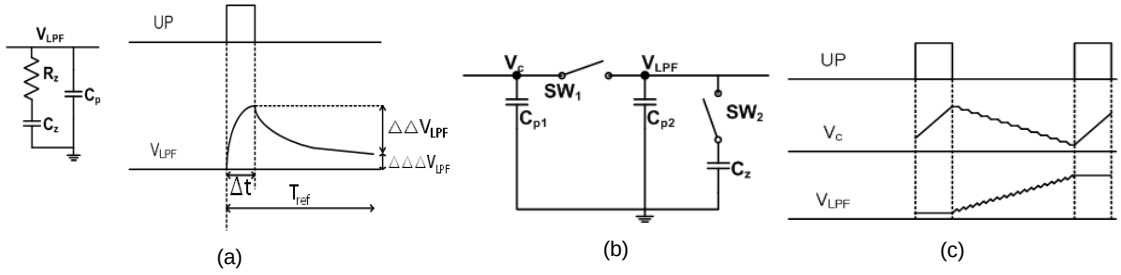


Fig. 1 (a) Waveform of 2nd loop filter (b) Proposed loop filter (c) Waveform of proposed loop filter.

의 새로운 루프 필터 구조이다. CP에서 UP신호가 발생하면 신호의 펄스 폭 만큼의 전류가 V_c를 상승시킨다. UP신호가 종료되면 VCO의 출력 주파수가 SW_1, SW_2를 조절하여, V_c에 충전되어 있던 전압이 순차적으로 C_{p2}와 C_z에 전압을 전달하게 된다. 결과적으로 전압의 변화는 그림 1 (c)와 같이 변하게 되며, 2차 루프필터에 비해 $\Delta\Delta\Delta V_{LPF}/\Delta\Delta V_{LPF}$의 값이 C_{p2}/C_z에 정확하게 변화한다. C_{p2}/C_z를 조절하여 $\Delta\Delta\Delta V_{LPF}/\Delta\Delta V_{LPF}$의 값을 정확하게 제어하여 더 작은 커패시터 값을 사용하여도 전압제어발진기의 입력 전압의 안정성을 높여 위상이 고정될 수 있게 만들어 준다.

2.2. 제안한 위상고정루프의 구조

제안된 스위치 제어 루프필터를 가진 위상고정루프는 그림 2와 같이 위상주파수검출기(PFD), 전하 펌프(CP), 전압제어발진기(VCO), 분주기(DIV), 스위치 제어 루프필터로 구성된다. 본 논문에서는 기존의 위상고정루프에 2차 루프필터 대신 스위치 제어 루프필터를 사용한다. 총 3개의 스위치는 UP/DN신호를 통하여 제어되고, UP/DN 신호가 발생될 때는 모든 스위치가 'off' 되고 UP/DN 신호가 발생되지 않을 때는 항상 'on' 되어 있는 SW_3과 'on/off'를 반복하며 동시에 'on' 되지 않는 SW_1, SW_2로 구성되어있다.

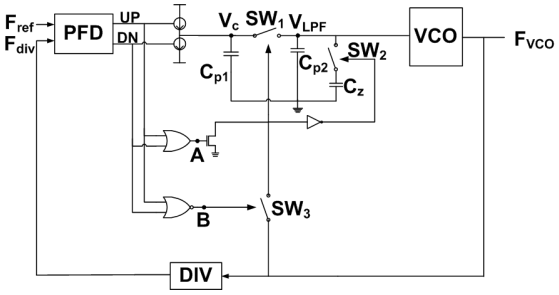


Fig. 2 Architecture of proposed PLL.

그림 3은 스위치들의 신호의 타이밍에 따른 동작 상태를 보여주고 있다. UP/DN 신호가 발생되었을 때 OR 게이트에 의해서 노드 A는 'high' 값의 전압 수준을 가지고 노드 B는 NOR게이트로 인해 'low'값을 가지게 된다. 입력 기준 신호의 한 주기 동안 UP/DN 신호가 발생하지 않는 구간에서는 반대로 A노드는 'low', 노드 B는 'high'값을 가지게 된다. 노드 B가 'high'의 신호를 가질 때, 즉 SW_3이 'on'되었을 때 비로소 루프필터를 제어하게 된다. SW_3이 'on'되면 전압제어발진기의 출력 신호가 SW_1, SW_2를 제어하게 되고, 그림 3과 같이 SW_1, SW_2는 서로 겹치기지 않게 동작하게 된다. 루프필터의 전압의 변화는 우선 UP/DN 신호가 발생할 때 CP에서 들어오는 전류가 Vc전압을 상승/하강 시킨다. 그 후

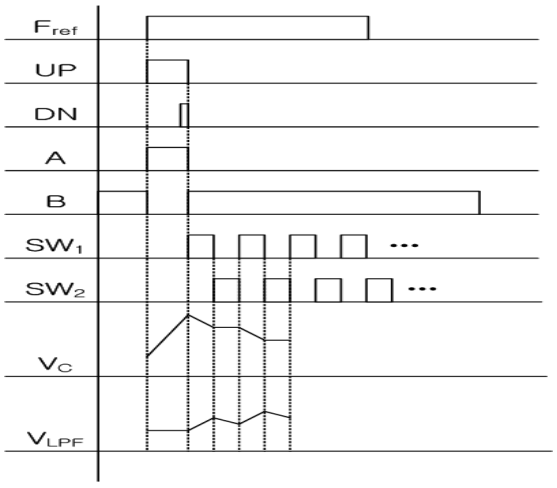
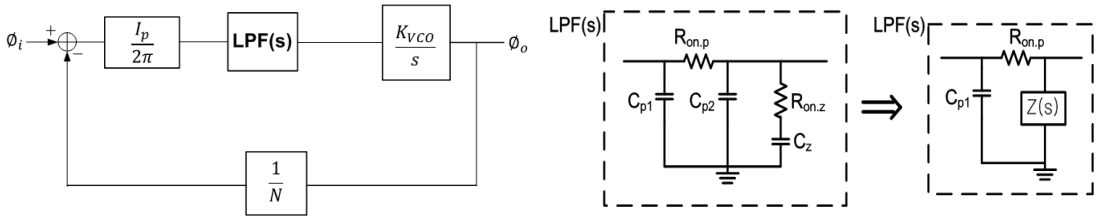


Fig. 3 Timing of switch operation and voltage of loop filter.



(a) (b)

Fig. 4 (a) Linear model of proposed PLL. (b) Model of discrete loop filter.

UP/DN 신호가 종료되면 SW_3이 'on'되면서 SW_1/SW_2를 제어한다. SW_1이 'on'되었을 때, SW_2는 'off'되고 C_{p1}출력(V_c)이 C_{p2}출력(V_{LPF})과 연결되어 V_{LPF}가 상승/하강하게 된다. SW_1이 'off', SW_2가 'on'되면서 V_c의 전압은 변화가 없는 일정한 값을 가지며 C_{p2}에서 C_z로 전하가 나누어져 V_{LPF}가 하강/상승한다.

제안된 위상고정루프의 전달함수 식은 그림 4(a)의 선형 모델을 통하여 구하였다. 그림 4(b)는 이산 루프필터의 스위치를 저항으로 모델링하여 이산 루프필터의 등가 회로를 구하였다.

그림 4(b)를 통하여 제안된 이산 루프필터 모델이 식(3)의 형태로 나오는 것을 알 수 있다. 식(3)의 루프필터 수식의 모델을 통해 전체 전달함수 식을 나타내면 식(4)와 같이 나타낼 수 있다.

Ⅲ. 안정도 해석

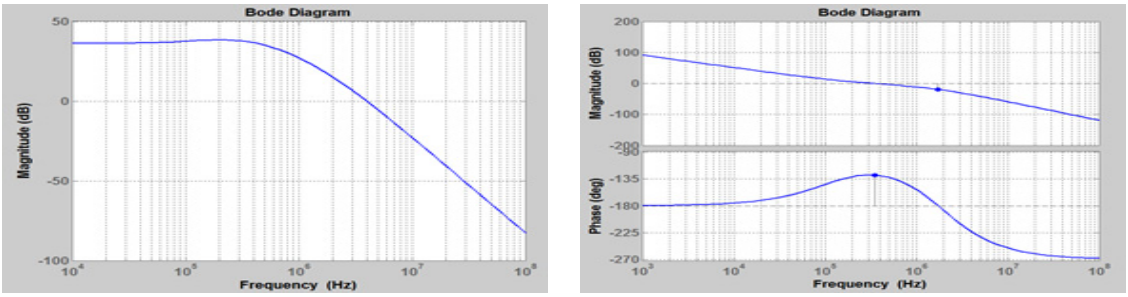
$$Z(s)=\frac{1}{sC_{p2}}\frac{s+z}{s+p}\left(z=\frac{1}{R_{on.z}C_z},p=\frac{1}{R_{on.z}C_{p2}}\right) \quad (1)$$

$$LPF(s)=Z(s)\frac{\frac{1}{sC_{p1}}}{R_{on.p}+Z(s)+\frac{1}{sC_{p1}}} \quad (2)$$

$$\frac{\phi_0}{\phi_i}=\frac{\frac{I_p}{2\pi}LPF(s)\frac{K_{VCO}}{s}}{1+\frac{1}{N}\frac{I_p}{2\pi}LPF(s)\frac{K_{VCO}}{s}} \quad (4)$$

식 (4)를 통하여 전체 전달함수 특성을 구할 수 있다.

$$LPF(s)=\frac{s+z}{s^3(C_{p1}C_{p2}R_{on.p})+s^2(C_{p1}C_{p2}R_{on.p}p+C_{p1}+C_{p2})+s(C_{p1}z+C_{p2}p)}$$
$$=\frac{s+z}{s\{s^2(C_{p1}C_{p2}R_{on.p})+s(C_{p1}C_{p2}R_{on.p}p+C_{p1}+C_{p2})+(C_{p1}z+C_{p2}p)\}} \quad (3)$$



(a) (b)

Fig. 5 (a) Closed loop transfer function of proposed PLL. (b) Open loop transfer function of proposed PLL.

그림 5는 식 (4)의 전달 함수를 Matlab을 통하여 나타낸 것이다. 이는 설계된 다음과 같은 변수를 사용하여 구하였다. I_{cp}=50uA, C_{p1}=10pF, C_{p2}=10pF, C_z=160pF K_{VCO}=330MHz/V, $R_{on,p}$ = $R_{on,z}$ = 8.9kΩ, N=64. 그림 5 (b)를 통하여 제안된 위상고정루프가 대역폭은 340KHz 이며 51.4°로 안정적인 위상 여유를 가지고 있는 것을 알 수 있다. 대역폭은 안정한 조건의 하나인 기준 신호(15.625MHz)의 1/10 보다 작은 값을 가진다. 위상고정루프의 전체 면적을 결정하는 루프필터의 커패시터는 전체 면적을 줄이기 위해서는 작은 커패시터의 값을 가져야 하지만 커패시터의 값이 작아질수록 대역폭이 기준 신호의 1/10 크기로 증가하므로 불안할 수 있다. 제안된 구조는 공정 변화까지 고려한 안정한 크기의 대역폭인 기준 신호(15.625MHz)의 1/20보다 작다. 제안된 위상고정루프의 이산 루프 필터에 사용된 커패시터 값은 총 180pF로 아주 작은 크기임에도 불구하고 스위치를 통한 루프필터의 전압 제어가 전체 회로를 안정적으로 만들어 주는 것을 알 수 있다.

다음의 식들은 $\triangle V_{LPF}$와 $\triangle\triangle V_{LPF}$가 위상 잡음 특성과 기준신호 의사 잡음과의 관계를 보여준다[9].

$$P_{spur} = 20\log\triangle\triangle V_{LPF} \quad (5)$$

$$F_{VCO}(t) = A\cos\left(W_{FR}t + K_{VCO}\int_{-\infty}^{t} V_{LPF}\,dt\right) \quad (6)$$

$$\triangle F_{VCO} \propto K_{VCO}\int_{-\infty}^{t} \triangle V_{LPF}\,dt \quad (7)$$

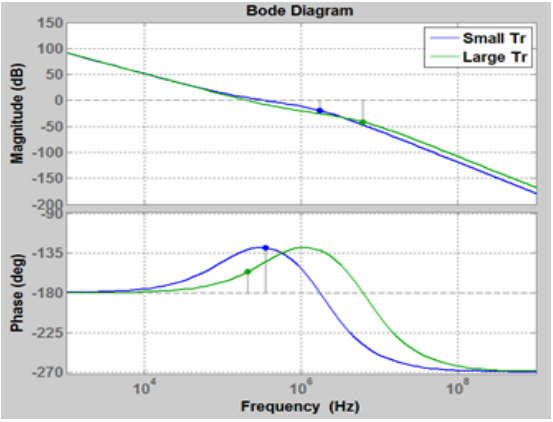


Fig. 6 Phase margin depending on TR size. (PM : Small Tr = 51.4°, Large Tr = 24.1°)

식 (5)를 통해 $\triangle\triangle V_{LPF}$가 의사 잡음의 크기에 비례하는 것을 알 수 있다. 식 (6)을 통해서 식(7)을 유도할 수 있으며, 이는 $\triangle V_{LPF}$가 F_{VCO}의 변화에 영향을 주어 위상잡음 특성과 관계가 있다는 것을 알 수 있다. 스위치를 설계할 때 스위치의 트랜지스터 크기 변화에 따라 $\triangle V_{LPF}$와 $\triangle\triangle V_{LPF}$의 값이 바뀐다. 그림 6을 통해 제안한 이산 루프필터에서 트랜지스터 크기를 작게 만들면 트랜지스터의 R_{on}값이 증가하여 영점의 위치가 낮은 주파수 쪽으로 이동하면서 위상 여유가 확보되는 것을 알 수 있다. 따라서 공정에 따라 그리고 회로의 특성에 따라 스위치의 트랜지스터 크기는 조절된다.

Ⅳ. 시뮬레이션 결과

제안한 구조의 위상고정루프는 0.18um CMOS 공정을 사용하여 시뮬레이션을 진행하였다. 15.625MHz의 입력주파수를 가지고 1GHz의 출력 주파수를 가지며 분주 비는 64이다. 이 회로의 변수 값은 I_{cp}=50uA, C_{p1}=10pF, C_{p2}=10pF, C_z=160pF K_{VCO}=330MHz/V이다. 제안된 이산 루프필터와 같은 대역폭을 가지도록 기존 위상고정루프의 루프필터를 2차 루프 필터로 구성하면 큰 커패시터(C_z)의 용량이 1nF 이상이 되어야 영점이 극점과 멀어지면서 제안된 위상고정루프와 같은 안정된 위상여유를 가질 수 있다. 그러므로 이산 루프필터를 가진 위상고정루프 칩 크기를 크게 감소시킬 수 있다. 능동 필터 구조는 좋은 특성을 유지하기 위해서는 비교적 높은 전력을 소모하는 넓은 대역폭을 가진 연산증폭기가 사용되어 소형화와 저전력에 적합하지 않다.

그림 7은 회로가 25us에서 위상이 고정되며 ΔV_{LPF}=633uV, $\Delta\Delta V_{LPF}$=35uV를 가지는 것을 보여준다. 제안된 구조의 위상고정루프는 기존 구조의 위상고정루프보다 빠른 위상고정 시간과 비슷한 크기의 ΔV_{LPF}를 가진다. 그림 (c)와 (d)가 보여주듯이 작은 크기의 $\Delta\Delta V_{LPF}$는 작은 크기의 기준 신호 스퍼를 생성하며 작은 크기의 $\Delta\Delta V'_{LPF}$는 출력 신호에서 이산 루프 필터 동작 주파수인 전압제어 발진기의 주파수만큼 떨어진 위치에 작은 크기의 스퍼를 발생시킨다. $\Delta\Delta V'_{LPF}$에 의한 스퍼는 출력 신호에서 멀리 떨어져 있어 통신 시스템에서 사용하는 경우는 이웃한 대역에 영향을 주지 않으며,

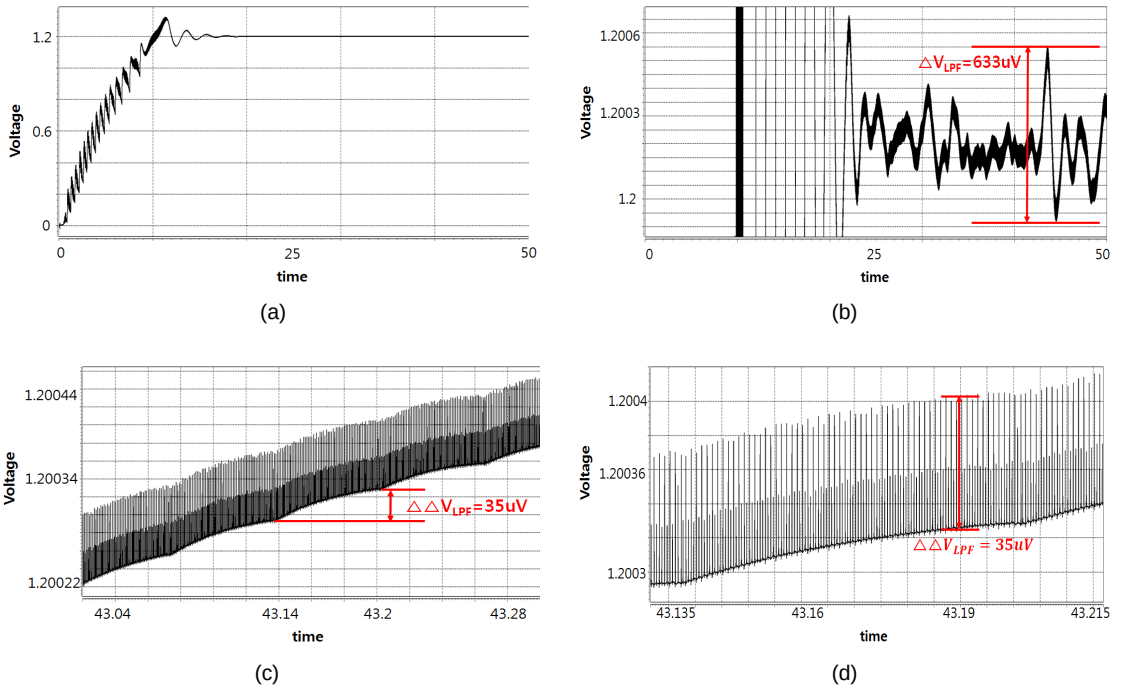


Fig. 7 Simulation results. (a) Voltaeg of loop filter (b) Enlarged $\triangle V_{LPF}$ after lock (c) Enlarged $\triangle\triangle V_{LPF}$ after lock (d) Enlarged $\Delta\Delta V'_{LPF}$ after lock.

칩에서 클록 신호 생성기로 사용하는 경우는 지터 크기에 영향을 주지 않는다.

Ⅴ. 결 론

기존 구조의 위상고정루프는 커패시터의 크기가 작아질수록 위상 여유를 확보하기 어렵다. 본 논문에서는 기존 위상고정루프의 아날로그 루프 필터 형태와 달리 전압제어발진기의 출력 신호로 동작하는 이산 루프 필터를 사용하여 크기는 작으면서 기존의 큰 커패시턴스를 가지는 위상고정루프와 동일하게 안정된 동작을 하는 위상고정루프를 제안하였다.

위상고정루프의 출력 신호로 제어되는 샘플링과 부궤환 역할을 하는 스위치와 결합된 작은 크기의 커패시터로 하나의 칩으로 집적화가 가능한 위상고정루프 설계하였다.

REFERENCES

[1] M. K. Hati and K. B. Tarun, “A PFD and charge pump switching circuit to optimize the output phase noise of the PLL in 0.13-um CMOS,” *IEEE 2015 International Conference on VLSI Systems, Architecture, Technology and Applications (VLSI-SATA), Bangalore*, pp. 1-6, Jan. 2015.

[2] K. Shu, E. Sanchez-Sinencio, J. Silva-Martinez, and S. H. K. Embabi, “A 2.4-GHz monolithic fractional-N frequency synthesizer with robust phase-switching prescaler and loop capacitance multiplier,” *IEEE J. Solid-State Circuits*, vol. 38, no. 6, pp. 866-874, June 2003.

[3] J. Craninckx, and M. Steyaert, “A fully integrated CMOS DCS-1800 frequency synthesizer,” *IEEE International Solid-State Circuits Conference. Digest of Technical Papers, ISSCC*, pp. 372-373, Feb. 1998.

[4] S. R. Han, C.N. Chuang and S. I. Liu, “A time-constant calibrated phase-locked loop with a fast-locked time,” *IEEE Transactions on Circuits and Systems*, vol. 54, no.1, pp. 34-37, Jan. 2007.

[5] H. S. Jang, and Y. S. Choi, “An available capacitance increasing PLL with two voltage controlled oscillator gains,” *IEEK SD*, vol. 51, no. 7, pp. 82-88, July 2014.
[6] Y. G. Song, Y. S. Choi, and J.G. Ryu, “A phase locked loop with resistance and capacitance scaling scheme,” *IEEK SD*, vol. 46, no. 4, pp. 37-44, April 2009.
[7] K. J. Wang, A. Swaminathan, I. Galton, “Spurious-tone suppression techniques applied to a wide-bandwidth 2.4GHz fractional-N PLL” *IEEE J. Solid-State Circuit*, pp. 342-618, Feb. 2008.
[8] K. J. Wang, I. Galton “A discrete-time model for the design of type-Ⅱ PLLs with passive sampled loop filters” *IEEE Transactions on Circuits and Systems*, vol. 58, no. 2, pp. 264 -275, Feb. 2011.
[9] H. C. Luong and G.C.T. Leung, *Low-Voltage CMOS RF frequency synthesizers*. Cambridge. *2004*.

안성진(Seong-Jin An)

2015년 부경대학교 전자공학과 학사 졸업.
2015년 부경대학교 전자공학과 석사 입학.
※관심분야 : PLL, DLL 설계

최영식(Young-Shig Choi)

1982년 경북대학교 전자공학과 학사 졸업.
1986년 Texas A&M University 전자공학과 석사 졸업.
1993년 Arizona State University 박사 졸업.
1987년 ~ 1999년 현대전자 책임연구원
1999년 ~ 2003년 동의대학교 전자공학과 교수
2003년 ~ 현재 부경대학교 전자공학과 교수
※관심분야 : PLL, DLL 설계