

## 고속 직렬 인터페이스 커넥터의 설계 및 분석에 대한 연구

## A Study of Design and Analysis on the High-Speed Serial Interface Connector

이호상 · 신재영 · 최대일\* · 나완수

Hosang Lee · Jaeyoung Shin · Daeil Choi\* · Wansoo Nah

## 요 약

본 논문에서는 12.5 Gbps의 전송 속도를 갖는 고속 직렬 인터페이스 커넥터(high-speed serial interface connector)의 설계 및 분석 방법을 제안한다. 고속 직렬 인터페이스 커넥터는 다양한 매질로 구성되며, 내부 선로도 복잡한 구조를 가지고 있으므로, 선로의 불연속 부분의 각각을 임피던스 정합하기가 매우 어렵다. 따라서 커넥터의 각 부분을 단순화한 커넥터 라인(connector line)의 구조를 제안하였으며, 이 구조에서  $R$ ,  $L$ ,  $C$ ,  $G$  파라미터를 추출하고 차동 모드 임피던스를 분석하며, TDT(Time Domain Transmissometry)와 TDR(Time Domain Reflectometry)을 이용하여 임피던스 불연속(impedance discontinuity)을 최소화 하는 방법을 제시한다. 본 논문은 단순화한 커넥터 라인에서 추출된 분석 방법 및 결과를 고속 직렬 인터페이스 커넥터에 적용하였다. 제안한 커넥터는 총 44개의 핀(pin)으로 구성되며, 본 논문에서는 4개의 핀의 폭과 간격을 변경하여 신호 전달 특성을 분석하였다. 분석결과, 접지 핀의 폭이 증가할수록 임피던스는 소폭으로 감소하고, 접지 핀과 신호 핀 사이의 간격이 증가할수록 임피던스가 증가했다. 또한, 신호 핀의 폭을 증가시키면 임피던스가 감소하며, 신호 핀과 신호 핀 사이의 간격을 늘리면 임피던스가 증가하였다. 최초 커넥터 임피던스 특성은 96~139  $\Omega$  사이에서 변화되는 값을 나타내었으나, 제안된 커넥터 구조를 적용했을 때 임피던스 특성은 92.6~107.5  $\Omega$  사이의 값으로 나타나, 설계 목표 100 $\Omega$   $\pm$  10%를 만족함을 보였다.

## Abstract

This paper presents method of design and analysis of a high-speed serial interface connector with a data rate of 12.5 Gbps. A high-speed serial interface connector is composed of various material and complex structures. It is very difficult to match the impedance of each discontinuous portion of connector. Therefore, this paper proposes the structure of a connector line that be simplified a connector. In the structure of proposed connector line, this research presents a method for extracting  $R$ ,  $L$ ,  $C$  and  $G$  parameters, analyzing the differential mode impedance, and minimizing the impedance discontinuity using time domain transmissometry and time domain reflectometry. This paper applies the proposed methods in the connector line to the high-speed serial interface connector. The proposed high-speed serial interface connector, which consists of forty-four pins, is analyzed signal transmission characteristics by changing the width and spacing of the four pins. According to the analysis result, as the width of the ground pin increases, the impedance decreases slightly. And as the distance between the ground pin and the signal pin increases, the impedance increases. In addition, as the width of the signal pin increases, the impedance decreases. And as the distance between the signal pin and the signal pin increases, the

「이 연구는 성균관대학교와 삼성전자(주) 간의 반도체 산업 협력 프로젝트와 (주)후성테크의 지원으로 수행되었음.」

성균관대학교 전자전기컴퓨터공학과(Department of Electrical and Computer Engineering, Sungkyunkwan University)

\*(주)후성테크(Foosung Tech. Co., Ltd.)

· Manuscript received October 21, 2016 ; Revised December 13, 2016 ; Accepted December 16, 2016. (ID No. 20161021-106)

· Corresponding Author: Wansoo Nah (e-mail: wsnah@skku.edu)

impedance decreases. The impedance characteristic of initial connector presents ranges from 96 to 139  $\Omega$ . Impedance characteristic after applying the structure of proposed connector is shown as a value between 92.6 to 107.5  $\Omega$ . This value satisfies the design objective  $100\Omega \pm 10\%$ .

Key words: High-Speed Serial Interface Connector, Differential Mode Impedance, RLCG-Parameter Extraction, Time Domain Transmissometry, Time Domain Reflectometry, Impedance Matching, Signal Integrity

## I. 서 론

직렬 입출력 인터페이스(Serial I/O interface)는 PCB(Printed Circuit Board)나 무선 통신 분야에 널리 적용되고 있는 기술이다. 최근 직렬 인터페이스의 데이터 속도(data rate)는 계속해서 증가하는 추세이며, 수십 Gbps의 데이터 전송을까지 요구되고 있다. 이에 따라 SSN(Simultaneous Switching Noise), 전원/접지 잡음(power/ground noise)에 의한 공통 모드 잡음(common-mode noise), 인접한 신호선들 간의 누화(crosstalk), EMI(Electromagnetic Interference) 등의 문제가 심각해져, 고속 디지털 시스템의 상호 연결(interconnection) 방법에 대한 연구가 활발히 진행되고 있다<sup>[1][2]</sup>. 특히 커넥터(connector)는 보드와 보드 또는 보드와 케이블을 연결하는 멀티입력/멀티출력 수동소자로 모든 전자회로에서 광범위하게 사용되며, 높은 신호 전달 특성이 요구된다<sup>[3]</sup>. 커넥터의 높은 신호 전달 특성을 확보하기 위해서는 신호 무결성(signal integrity) 확보가 중요하다. 신호 무결성 확보를 위해서는 커넥터 설계 시 임피던스 불연속(impedance discontinuity)을 최소화하여 임피던스 정합(impedance matching)이 되도록 커넥터를 설계해야 한다<sup>[4]~[6]</sup>. 그러나 실제 고속 직렬 인터페이스 커넥터 내부는 다양한 매질 및 복잡한 내부 선로 때문에, 각 선로의 불연속 부분을 모두 구분하여 임피던스 정합을 실현하는 것은 매우 복잡하고 어려운 문제이다.

본 논문에서는 전송 속도 12.5 Gbps에서 설계 목표  $100\Omega \pm 10\%$ 를 만족하는 고속 직렬 인터페이스 커넥터 설계 및 분석 방법을 제안한다. 고속 직렬 인터페이스 커넥터는 다양한 매질로 구성되며, 매우 복잡한 구조를 가지므로 커넥터를 단순화한 커넥터 라인(connector line)의 구조를 제안하고, 이 구조에서  $R, L, C, G$  파라미터 추출과 TDT(Time Domain Transmissometry), TDR(Time Domain Reflectometry) 시뮬레이션을 이용하여 차동 모드 임

피던스(differential mode impedance)를 분석하고, 임피던스 불연속을 최소화하는 기하학적 구조를 확인한다. 또한, 단순화한 커넥터 라인에 사용한 설계 및 분석 방법을 전송 속도 12.5 Gbps에서 동작하는 실제 커넥터에 적용하였으며, 이와 같이 설계된 커넥터의 차동 임피던스가 설계 목표  $100\Omega \pm 10\%$ 를 만족함을 확인하였다.

## II. 커넥터 라인의 신호 전달 특성 분석

본 논문에서는 고속 직렬 인터페이스 커넥터의 특성을 분석하기 전에 커넥터를 단순화한 구조인 커넥터 라인에서 임피던스 특성을 분석한다. 그림 1은 커넥터 라인의 신호 전달 특성을 분석하는 과정이다. 초기 모델이 주어지면, 커넥터 라인에서 구조 변경이 가능한 부분은 설계 변수로 설정하고, 기계적인 특성과 제작 공정을 고려하여 구속조건을 결정한다. 주어진 초기 모델이 임피던스 불연속 특성을 갖지 않는 구조라면  $R, L, C, G$  파라미터를 추출하여 차동 모드 임피던스를 계산하여 분석한다. 차동 모드 임피던스가 설계 목표  $100\Omega \pm 10\%$ 를 만족하지 않으면 설계 목표를 만족할 수 있도록 설계 변수를 변경한다. 초기 모델이 임피던스 불연속 특성을 갖는 경우 3차원 전자장 시뮬레이션을 수행한 후  $S$ -파라미터(scattering parameter)를 추출하여 과도상태(transient) 시뮬레이션을 진행한다. 과도상태 시뮬레이션을 통해 TDT, TDR의 특성을 분석한다. 설계 목표를 만족하지 않는 경우, 설계 변수를 변경하여 이 과정을 반복한다. TDT, TDR 분석 과정에서 분석 모델의 임피던스 불연속 구간마다 차동 모드 임피던스 분석이 필요하거나, 특정 구간의 임피던스 불연속을 최소화해야 하는 경우  $R, L, C, G$  파라미터를 추출하여 차동 모드 임피던스를 계산하여 분석한다. 본 논문은 II-1에서 커넥터 라인의  $R, L, C, G$  파라미터 추출을 통한 차동 모드 임피던스 분석에 대해 서술하였

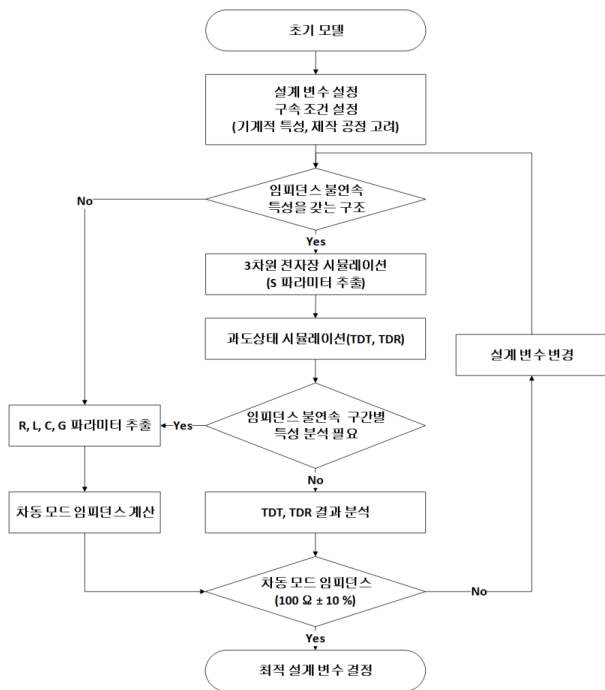


그림 1. 커넥터 라인의 신호 전달 특성 분석 과정  
 Fig. 1. Analysis procedure of signal transmission characteristics of connector line.

고, II-2에서는 TDT와 TDR을 통한 커넥터 라인의 신호 전달 특성 향상 방법을 다루었다.

2-1 커넥터 라인의 파라미터 추출과 차동 모드 임피던스

그림 2는 제안한 커넥터 라인의 구조이며, 4개의 신호선(signal line)과 접지선(ground line)이 G, S, S, G의 순서로 배치된다. 여기서 G는 접지선, S는 신호선을 의미한다.  $W_g$ 는 접지선의 폭,  $W_s$ 는 신호선의 폭,  $d_g$ 는 접지선

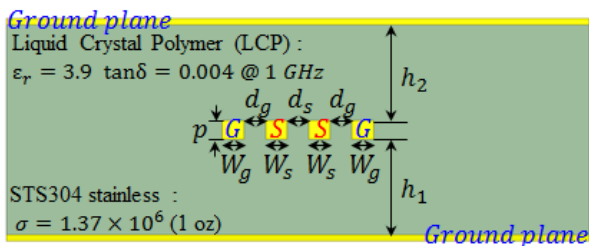


그림 2. 제안한 커넥터 라인의 단면  
 Fig. 2. Cross sectional view of the proposed connector line.

과 신호선 사이의 간격,  $d_s$ 는 신호선과 신호선 사이의 간격이며,  $p$ 는 신호선 및 접지선의 피치(pitch),  $h_1$ 은 커넥터 라인의 아래쪽 접지면(ground plane)으로부터 신호선 및 접지선까지의 높이,  $h_2$ 은 커넥터 라인의 위쪽 접지면으로부터 신호선 및 접지선까지의 높이를 나타낸다. 최초 커넥터 라인의 구조는  $W_g=0.1$  mm,  $W_s=0.1$  mm,  $d_g=0.1$  mm,  $d_s=0.1$  mm,  $p=0.1$  mm,  $h_1=0.5$  mm,  $h_2=0.5$  mm이다. 제안한 커넥터 라인의 매질은 실제 커넥터에서 사용하는 매질을 적용하였다. 유전체(dielectric)는 상대 유전율(relative dielectric constant)  $\epsilon_r$ 이 3.9이고, 손실 탄젠트(loss tangent)가 0.004(@ 1 GHz)인 액정고분자(Liquid Crystal Polymer)이며, 커넥터 라인의 신호선, 접지선은 전도율(conductivity)이  $1.5 \times 10^7$  S/m인 황동(brass)이다. 접지면은 전도율이  $1.37 \times 10^6$  S/m인 스테인리스강(stainless steel)을 사용하였다. 여기서 접지선의 두께는 1 oz이다. 본 논문에서는  $W_g$ 와  $W_s$ 의 폭,  $d_g$ 와  $d_s$ 의 거리,  $p$ ,  $h_1$ ,  $h_2$ 의 높이를 0.1 mm에서부터 0.5 mm까지 변화시켰을 때, 자기 인덕턴스(self inductance), 자기 커패시턴스(self capacitance), 상호 인덕턴스(mutual inductance), 상호 커패시턴스(mutual capacitance)를 추출한 후 차동 모드 임피던스를 분석하였다. 여기서 추출한 데이터는 단위 길이당 파라미터이며, 전송 속도 12.5 Gbps에서 커넥터의 설계 목표를 만족해야 하므로 주파수 6.25 GHz에서 파라미터 추출을 진행하였고, 시뮬레이션은 Ansys Q3D Extractor를 이용하였다.

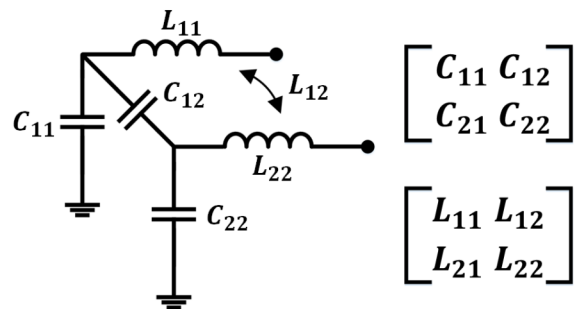


그림 3. 결합된 전송선로 라인의 미소 길이 등가 회로 모델<sup>[7]</sup>  
 Fig. 3. Equivalent circuit model for incremental length of an coupled transmission-line<sup>[7]</sup>.

단일 신호선(single signal line)과 다르게 신호선이 두 개인 경우, 차동 모드(differential mode)와 공통 모드(common mode) 두 개의 모드가 존재하며, 차동 모드 임피던스를 분석하기 위해 추출한 파라미터로 기 모드(odd-mode) 임피던스를 먼저 계산해야 한다. 기 모드는 두 신호선에 각각 위상이 180° 차이가 나고, 크기가 같은 신호를 입력하였을 때 생성되는 모드이다. 그림 3은 결합된 전송선로 라인의 미소 길이 등가 회로 모델이고, 이것을  $C$  행렬(C matrix)과  $L$  행렬(L matrix)로 나타낸 것이다. 여기서  $L_{11}$ 은 자기 인덕턴스,  $L_{12}$ 는 상호 인덕턴스,  $C_{11}$ 는 자기 커패시턴스,  $C_{12}$ 는 상호 커패시턴스를 나타낸다. 기 모드일 때 전기장은 서로 결합하므로 식 (1)과 같이 자기 커패시턴스와 상호 커패시턴스는 합해진다. 여기서  $C_{load}$ 는  $C_{11} + C_{12}$ 이다. 기 모드에서 자기장은 서로 상쇄되어 식 (2)와 같이 자기 인덕턴스에서 상호 인덕턴스가 차감된다. 따라서 기 모드 임피던스  $Z_{odd}$ 는 식 (3)과 같이 계산된다<sup>[7]</sup>.

$$C_{odd} = C_{11} + 2C_{12} = C_{load} + C_{12} \quad (1)$$

$$L_{odd} = L_{11} + L_{12} \quad (2)$$

$$Z_{odd} = \sqrt{\frac{L_{odd}}{C_{odd}}} = \sqrt{\frac{L_{11} - L_{12}}{C_{load} + C_{12}}} \quad (3)$$

그림 4는 기 모드와 차동 모드의 차이를 설명하기 위한 그림이다. 기 모드는 한 신호선과 접지면 사이에 생성되는 모드이므로 기 모드의 특성 임피던스(characteristic im-

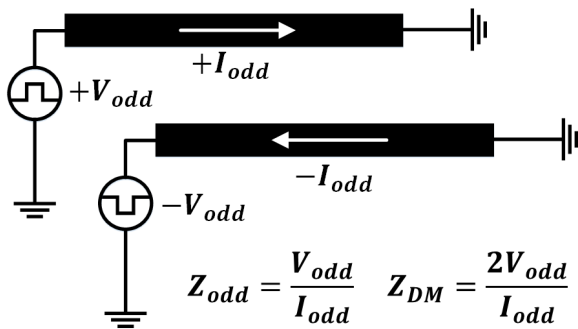


그림 4. 기 모드와 차동 모드의 차이  
Fig. 4. The difference between odd-mode and differential-mode.

pedance)는 식 (4)와 같이 한 신호선의 전압과 전류의 비로 나타낼 수 있다. 하지만 차동 모드는 신호선과 신호선 사이에 형성되는 모드이므로, 식 (5)와 같이 신호선 사이의 전압은 기 모드의 두 배가 되며, 전류는 같다. 따라서 차동 모드 임피던스  $Z_{DM}$ 은 식 (6)와 같이 기 모드 임피던스의 두 배가 된다<sup>[8],[9]</sup>.

$$Z_{odd} = \frac{V_{odd}}{I_{odd}} \quad (4)$$

$$V_{DM} = V_{odd} \times 2, \quad I_{DM} = I_{odd} \quad (5)$$

$$Z_{DM} = \frac{V_{DM}}{I_{DM}} = Z_{odd} \times 2 = \sqrt{\frac{L_{11} - L_{12}}{C_{load} + C_{12}}} \times 2 \quad (6)$$

최초 커넥터 라인의 구조 ( $W_s = W_g = d_s = d_g = p = 0.1$  mm,  $h_1 = h_2 = 0.5$  mm)일 때 자기 커패시턴스는 201 pF/mm, 상호 커패시턴스는 62.74 pF/mm, 자기 인덕턴스는 284.2 nH/mm, 상호 인덕턴스는 67.4 nH/mm이며, 식 (6)에 의해 차동 모드 임피던스는 57.44 Ω의 값을 갖는다. 그림 5는 최초 커넥터 라인 구조에서 신호선의 폭  $W_s$ 와 접지선의 폭  $W_g$ 를 0.1 mm부터 0.5 mm까지 증가시켰을 때 커패시턴스와 인덕턴스의 특성 변화를 보인 그래프이다. 이때  $W_s$ 와  $W_g$ 를 제외한 다른 구조는 일정하다. 신호선의 폭  $W_s$ 가 넓어질수록 자기 커패시턴스와 상호 커패시턴스는 증가하여  $W_s$ 가 0.5 mm일 때 자기 커패시턴스는 316 pF/mm, 상호 커패시턴스는 75.39 pF/mm의 값을 갖는다. 접지선의 폭  $W_g$ 의 변화에 따른 커패시턴스의 변화량은 매우 작는데, 접지선의 폭이 넓어질수록 자기 커패시턴스는 점점 증가하여  $W_g$ 가 0.5 mm일 때 201.8 pF/mm가 된다. 반면에 접지선의 폭이 넓어질수록 상호 커패시턴스는 점점 감소하여 62.65 pF/mm가 된다. 인덕턴스의 경우, 신호선의 폭  $W_s$ 가 넓어질수록 자기 인덕턴스와 상호 인덕턴스가 점차 감소하여  $W_s$ 는 0.5 mm일 때 자기 인덕턴스는 284.2 nH/mm, 상호 인덕턴스는 67.4 nH/mm가 된다. 접지선의 폭  $W_g$ 의 변화에 따른 인덕턴스의 변화량도 매우 작는데, 접지선의 폭이 넓어질수록 인덕턴스는 점점 감소하여 0.5 mm일 때 자기 인덕턴스는 389.9 nH/mm, 상호 인덕턴스는 120.1 nH/mm가 된다. 그림 6은 신호선의 폭

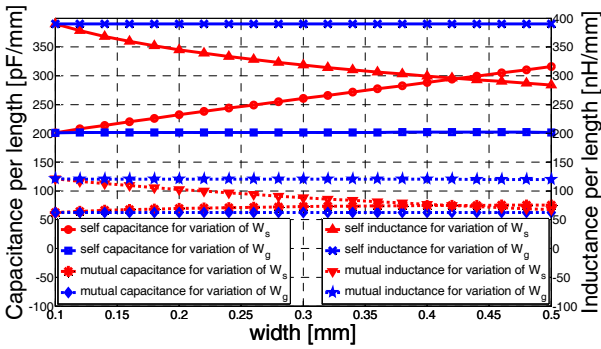


그림 5.  $W_s$ 와  $W_g$  변화에 따른 커패시턴스와 인덕턴스  
Fig. 5. Simulated capacitance and inductance for various values of  $W_s$  and  $W_g$ .

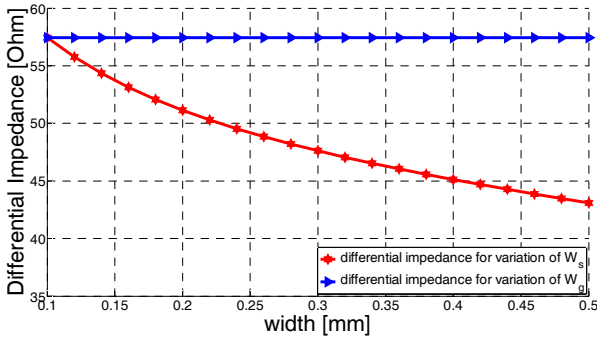


그림 6.  $W_s$ 와  $W_g$  변화에 따른 차동 모드 임피던스  
Fig. 6. Simulated differential mode impedance for various values of  $W_s$  and  $W_g$ .

$W_s$ 와 접지선의 폭  $W_g$  변화에 따른 차동 모드 임피던스이며, 식 (6)에 의해 계산된다.  $W_s$ 와  $W_g$ 이 0.1 mm일 때 차동 모드 임피던스는 57.44 Ω이며,  $W_s$ 가 증가할수록 차동 모드 임피던스는 감소하여 0.5 mm일 때 40.8 Ω의 값을 갖는다.  $W_g$ 를 0.5 mm까지 변화시켰을 때 차동 모드 임피던스는 57.45 Ω으로 거의 일정한 특성을 보였다. 따라서 신호선의 폭  $W_s$ 를 넓힐수록 차동 모드 임피던스는 감소하며, 접지선의 폭  $W_g$ 는 차동 모드 임피던스 변화에 거의 영향을 미치지 않음을 알 수 있다.

그림 7은 최측 커넥터 라인 구조에서 신호선과 신호선 사이의 간격  $d_s$ , 접지선과 신호선 사이의 간격  $d_g$ 를 0.1 mm부터 0.5 mm까지 증가시켰을 때 커패시턴스, 인덕턴스 특성 변화를 확인한 것이다. 이때  $d_s$ 와  $d_g$ 를 제외한

다른 구조는 일정하다. 신호선과 신호선의 간격  $d_s$ 가 넓어질수록 자기 커패시턴스는 점점 증가하여  $d_s$ 가 0.5 mm일 때의 자기 커패시턴스는 234.1 pF/mm가 된다. 반면에 상호 커패시턴스는 신호선과 신호선의 간격이 넓어질수록 점점 감소하여  $d_s$ 가 0.5 mm일 때 11.45 pF/mm가 된다. 접지선과 신호선 사이의 간격  $d_g$ 의 변화에 따른 커패시턴스의 변화량은 접지선과 신호선의 간격이 넓어질수록 자기 커패시턴스는 점점 감소하여  $d_g$ 가 0.5 mm일 때 122.1 pF/mm가 된다. 이와 반대로 상호 커패시턴스는 접지선과 신호선의 간격이 넓어질수록 점점 증가하여  $d_g$ 가 0.5 mm일 때 67.47 pF/mm가 된다. 인덕턴스 특성은 신호선과 신호선의 간격  $d_s$ 가 커질수록 자기 인덕턴스는 점점 증가하여  $d_s$ 가 0.5 mm일 때 626.6 pH/mm가 되고, 상호

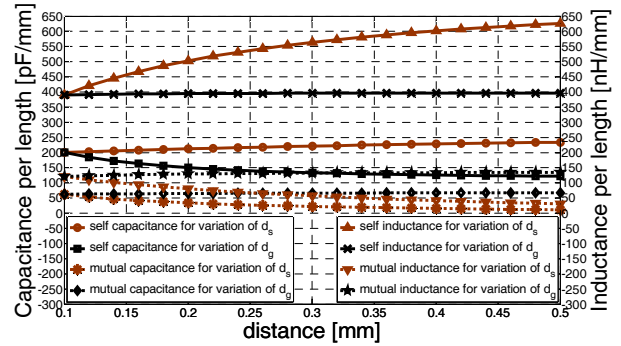


그림 7.  $d_s$ 와  $d_g$  변화에 따른 커패시턴스와 인덕턴스  
Fig. 7. Simulated capacitance and inductance for various values of  $d_s$  and  $d_g$ .

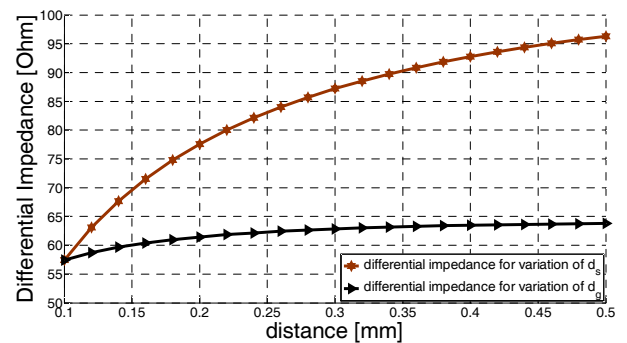


그림 8.  $d_s$ 와  $d_g$  변화에 따른 차동 모드 임피던스  
Fig. 8. Simulated differential mode impedance for various values of  $d_s$  and  $d_g$ .

인덕턴스는  $d_s$ 가 커질수록 상호 인덕턴스가 점차 감소하여  $d_s$ 가 0.5 mm일 때 30.79 nH/mm가 된다. 접지선과 신호선의 간격  $d_g$ 의 변화에 따른 인덕턴스의 변화량은 크지 않은데, 접지선과 신호선의 간격이 넓어질수록 자기 인덕턴스와 상호 인덕턴스는 증가하여  $d_g$ 가 0.5 mm일 때 자기 인덕턴스는 396.5 nH/mm, 상호 인덕턴스는 134.7 nH/mm가 된다. 그림 8은 신호선과 신호선 사이의 간격  $d_s$ 와 접지선과 신호선 사이의 간격  $d_g$  변화에 따른 차동 모드 임피던스이다.  $d_s$ 와  $d_g$ 가 커질수록 차동 모드 임피던스는 증가하여  $d_s$ 가 0.5 mm일 때 96.29 Ω,  $d_g$ 가 0.5 mm일 때 63.81 Ω의 값을 갖는다. 따라서 신호선과 신호선 사이의 간격  $d_s$ 와 접지선과 신호선의 간격  $d_g$ 가 커질수록 차동 모드 임피던스는 증가하며,  $d_g$ 의 변화보다  $d_s$ 의 변화에 따른 차동 모드 임피던스 변화량이 큰 것을 알 수 있다.

그림 9는 최초 커넥터 라인 구조에서 신호선 및 접지선의 피치  $p$ 를 0.1 mm부터 0.5 mm까지 증가시켰을 때 커패시턴스, 인덕턴스 특성 변화를 확인하고, 커넥터 라인의 아래쪽 접지면으로부터 신호선 및 접지선까지의 높이  $h_1$ 과 커넥터 라인의 위쪽 접지면으로부터 신호선 및 접지선까지의 높이  $h_2$ 를 0.1 mm부터 0.5 mm까지 동시에 ( $h_1 = h_2$ ) 증가시켰을 때 커패시턴스, 인덕턴스 특성 변화를 보인 그래프이다. 이때  $p, h_1, h_2(h_1 = h_2)$ 를 제외한 다른 구조는 일정하다. 신호선 및 접지선의 피치  $p$ 가 높아질수록 자기 커패시턴스와 상호 커패시턴스가 점점 증가하여  $p$ 가 0.5 mm일 때의 자기 커패시턴스는 476.4 pF/mm, 상호 커패시턴스는 200.3 pF/mm가 된다. 접지면으로부터 신호선 및 접지선까지의 높이  $h_1$ 과  $h_2$ 의 변화 ( $h_1 = h_2$ )에 따른 커패시턴스의 변화량은  $p, h_1, h_2$ 가 0.1 mm일 때 자기 커패시턴스는 373.3 pF/mm, 상호 커패시턴스는 46.43 pF/mm이며, 자기 커패시턴스는 접지면으로부터 신호선 및 접지선까지의 높이가 커질수록 점점 감소하여  $h_1$ 과  $h_2$ 가 0.5 mm일 때 222.5 pF/mm가 되고, 반대로 상호 커패시턴스는 접지면으로부터 신호선 및 접지선까지의 높이가 커질수록 점점 증가하여  $h_1$ 과  $h_2$ 가 0.5 mm일 때 69.45 pF/mm가 된다. 신호선 및 접지선의 피

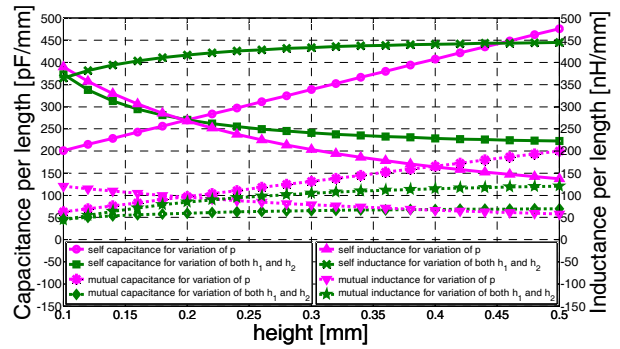


그림 9.  $p, h_1, h_2$  변화에 따른 커패시턴스와 인덕턴스  
Fig. 9. Simulated capacitance and inductance for various values of  $p, h_1,$  and  $h_2$ .

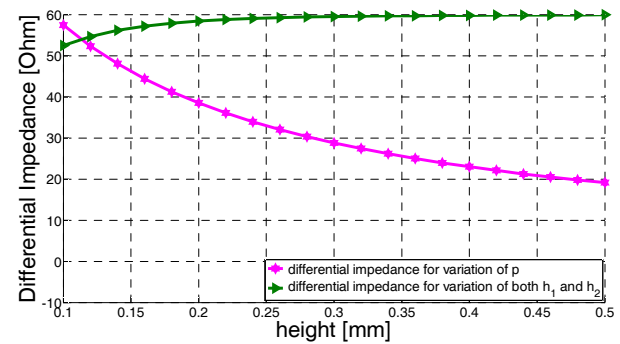


그림 10.  $p, h_1, h_2$  변화에 따른 차동 모드 임피던스  
Fig. 10. Simulated differential mode impedance for various values of  $p, h_1,$  and  $h_2$ .

치  $p$ 가 높아질수록 자기 인덕턴스와 상호 인덕턴스는 점점 감소하여  $p$ 가 0.5 mm일 때 자기 인덕턴스는 137.7 pH/mm, 상호 인덕턴스는 57.74 nH/mm가 된다. 접지면으로부터 신호선 및 접지선까지의 높이  $h_1$ 과  $h_2$ 의 변화 ( $h_1 = h_2$ )에 따른 인덕턴스의 변화량은 접지면으로부터 신호선 및 접지선까지의 높이가 높아질수록 자기 인덕턴스와 상호 인덕턴스는 증가하여  $h_1$ 와  $h_2$ 가 0.5 mm일 때 자기 인덕턴스는 445.3 nH/mm, 상호 인덕턴스는 120.9 nH/mm가 된다. 그림 10은  $p, h_1, h_2$ 의 변화( $h_1 = h_2$ )에 따른 차동 모드 임피던스를 나타내는 그림이다. 최초 커넥터 라인의 구조일 때( $p=0.1$  mm,  $h_1=h_2=0.5$  mm) 차동 모드 임피던스는 57.44 Ω이며, 신호선 및 접지선의 피치  $p$ 가 커질수록 차동 모드 임피던스는 감소하여  $p$ 가 0.5

mm일 때 19.1 Ω이다. 접지면으로부터 신호선 및 접지선까지의 높이  $h_1$ 과  $h_2$ 의 변화( $h_1 = h_2$ )에 따른 차동 모드 임피던스 변화는  $p, h_1, h_2$ 가 0.1 mm일 때 52.45 Ω이며, 접지면으로부터 신호선 및 접지선까지의 높이가 커질수록 임피던스가 증가하여  $h_1$ 과  $h_2$ 가 0.5 mm일 때 59.92 Ω의 값을 갖는다. 따라서 신호선 및 접지선의 피치  $p$ 가 커질수록 차동 모드 임피던스는 감소하며, 접지면으로부터 신호선 및 접지선까지의 높이  $h_1$ 과  $h_2$ 가 높아질수록 차동 모드 임피던스는 증가하는 것을 알 수 있다.

2-2 TDT, TDR을 이용한 커넥터 라인 구조의 신호 전달 특성 향상

지금까지는 균일한 커넥터 라인을 대상으로 기하학적 구조가 변화됨에 따라  $R, L, C, G$  파라미터와 임피던스의 변화를 분석하였다. 파라미터 추출 방법은 임피던스 불연속 구간이 여러 구간 존재하거나, 신호선이나 접지선이 접지판과 평행한 직선 구조가 아닐 경우 적용하기가 어렵다. 따라서 이 장에서는 임피던스 불연속 특성을 갖는 커넥터 라인의 신호 전달 특성 향상을 위해 TDT와 TDR을 이용한 임피던스 분석 방법을 제안한다. 그림 11은 임피던스 불연속 특성을 갖는 단순화된 커넥터 라인의 전체 구조이다. 이 구조는 A, B, C의 세 부분으로 이루어져 있으며, A부분은 커넥터의 리셉터클(receptacle), B부분은 커넥터의 리셉터클과 플러그(plug)가 만나는 컨택(contact) 구간, C부분은 커넥터의 플러그를 단순화한 것이다. A부분의 길이  $L_A$ 는 20 mm, B부분의 길이  $L_B$ 는 5 mm, C부분의 길이  $L_C$ 는 20 mm이며, 커넥터 라인의 전체 길이  $L_T$ 는 45 mm이다. 임피던스 불연속 특성을 가지

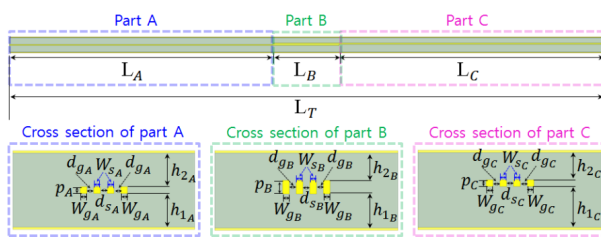


그림 11. 임피던스 불연속 특성을 갖는 커넥터 라인의 구조  
Fig. 11. Geometry of the connector line with impedance discontinuity characteristic.

는 커넥터 라인의 최초 모델 구조는  $W_{gA} = W_{sA} = d_{gA} = d_{sA} = p_A = 0.1$  mm,  $h_{1A} = h_{2A} = 0.5$  mm,  $W_{gB} = W_{sB} = d_{gB} = d_{sB} = 0.1$  mm,  $p_B = 0.2$  mm,  $h_{1B} = 0.5$  mm,  $h_{2B} = 0.4$  mm,  $W_{gC} = W_{sC} = d_{gC} = d_{sC} = p_C = 0.1$  mm,  $h_{1C} = 0.6$  mm,  $h_{2C} = 0.4$  mm의 값을 갖는다. 이 커넥터 라인의 매질은  $R, L, C, G$  파라미터 추출에 의한 차동 모드 임피던스를 계산할 때와 동일하게 실제 커넥터에서 사용하는 매질을 적용했고, 유전체는 상대 유전율  $\epsilon_r$ 이 3.9이고, 손실 탄젠트가 0.004(@ 1 GHz)인 액정고분자, 커넥터 라인의 신호선, 접지선은 전도율이  $1.5 \times 10^7$  S/m인 황동, 접지면은 전도율이  $1.37 \times 10^6$  S/m인 스테인리스강을 사용했다.

본 논문에서는 임피던스 불연속 특성을 갖는 커넥터 라인의 신호 전달 특성을 분석하기 위해 유한 요소법(FEM : Finite Element Method) 기반의 Ansys사의 HFSS를 사용하여 3차원 전자장 시뮬레이션을 진행하였다. TDT, TDR 분석을 위해 3차원 전자장 시뮬레이션을 통해  $S$ -파라미터를 추출하였으며, 이를 이용해 과도상태 시뮬레이션을 진행하였다. 이때 추출한  $S$ -파라미터는 0.1 GHz 간격으로 70 GHz까지 추출하였으며, 추출하는 주파수 간격과 주파수 범위는 역 고속 푸리에 변환(inverse fast Fourier transform)에 의해 시간 영역에서의 상승시간(rising time)과 표본의 수(number of samples), 해상도(resolution) 등을 고려하여 설정해야 한다. 과도상태 시뮬레이션은 Keysight사의 Advanced Design System을 이용하여 신호 전달 특성을 분석하였다. 시간영역(time domain)에서의 신호 전달 특성을 분석하기 위해 커넥터 라인의 입력단에 1 V의 계단형 펄스(step pulse)를 인가하고, 펄스의 상승시간은 35 psec로 설정하였다. 입력으로 인가된 계단형 펄스 신호는 커넥터의 경계면을 만나면서 일부는 반사되어 TDR 값으로 표현되며, 통과된 신호는 커넥터 길이의 시간만큼 지난 후에 TDT 값으로 출력된다. 그림 12는 커넥터 라인의 TDT 특성을 나타낸다. 신호는 0 psec에 커넥터 라인의 A부분 입력단에 인가되어 277.08 psec에 커넥터 라인의 C부분 출력단으로 전달되었다. 신호가 커넥터 라인을 지나는 시간만큼 지연되어서 출력되는 TDT 값과 커넥터 라인의 전체 길이를 알고 있으므로 임피던스 불연속 지점을 예측할 수 있다.

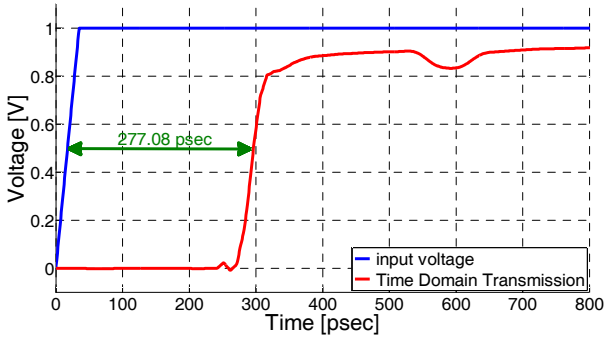


그림 12. 커넥터 라인의 TDT 전달 특성  
Fig. 12. TDT characteristic of connector line.

그림 13~16은 커넥터 라인의 구조를 변경했을 때 TDR 특성을 차동 모드로 분석한 그림이다. TDR 특성과 커넥터 라인 각 부분의 길이를 고려하면 시간영역에서 A 부분의 영역은 0~246.29 psec이며, B부분의 영역은 246.29~307.87 psec이고, C부분의 영역은 307.87~554.16 psec가 된다. 단, TDR은 해석하고자 하는 채널에 계단형 펄스 신호를 인가한 후 돌아오는 신호를 시간 영역에서 순차적으로 보는 것이므로, 그림 13~16에서 B부분의 영역은 그림 11의 B부분뿐만 아니라, A부분의 특성을 포함하고 있다. 또한, 그림 13~16에서 C부분의 영역은 그림 11의 A부분 및 B부분의 특성을 포함하고 있다. 커넥터 라인의 임피던스 불연속을 최소화하기 위해 이점을 고려해야 하며, 이점은 이후에 기술하는 실제 커넥터 설계에도 적용된다. 커넥터는 기계적 가공성 및 강도 확보를 고려해야 하며 커넥터의 높이는 커넥터가 적용된 기기의 두께를 결정하기 때문에 제안한 커넥터 라인의 신호선 및 접지선의 피치와 접지면으로부터 신호선 및 접지선까지의 높이는 변경하지 않았다. 여기서는 신호선의 폭, 접지선의 폭, 신호선과 신호선 사이의 간격, 접지선과 신호선 사이의 간격을 변화시켰을 때 TDR 특성을 분석하였다. 그림 13은 최초 커넥터 라인의 구조에서 신호선의 폭  $W_s$  ( $W_{s_A}$ ,  $W_{s_B}$ ,  $W_{s_C}$ )를 0.1 mm부터 0.5 mm까지 0.1 mm 간격으로 변화시켰을 때 차동 모드 임피던스 변화를 나타낸다. 신호선의 폭이 0.1 mm씩 증가할 때마다 차동 모드 임피던스가 점점 감소함을 알 수 있다. 그림 14는 접지선의 폭  $W_g$  ( $W_{g_A}$ ,  $W_{g_B}$ ,  $W_{g_C}$ )를 0.1 mm부터 0.5 mm까지

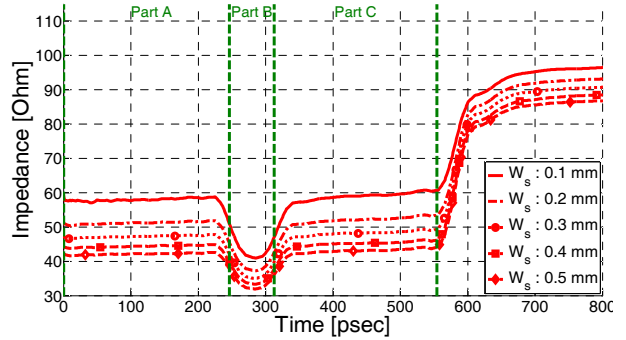


그림 13. 신호선의 폭  $W_s$ 에 따른 임피던스의 변화  
Fig. 13. Simulated impedance for various values of width  $W_s$  of signal line.

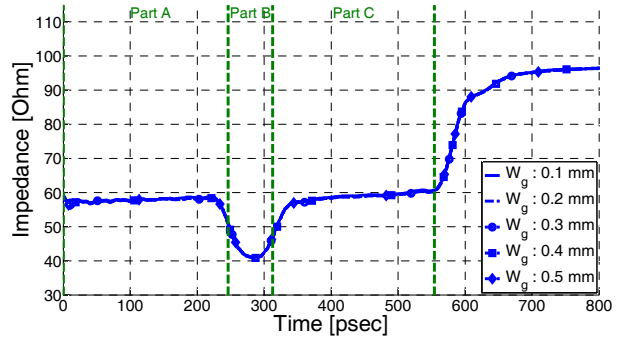


그림 14. 접지선의 폭  $W_g$ 에 따른 임피던스의 변화  
Fig. 14. Simulated impedance for various values of width  $W_g$  of ground line.

0.1 mm 간격으로 변화시켰을 때 차동 모드 임피던스 특성이다.  $W_g$ 가 0.1 mm씩 증가할 때 차동 모드 임피던스는 거의 변화가 나타나지 않았다. 신호선과 신호선 사이의 간격  $d_s$  ( $d_{s_A}$ ,  $d_{s_B}$ ,  $d_{s_C}$ )를 0.1 mm부터 0.1 mm 단위로 0.5 mm까지 증가시키면 그림 15와 같이 차동 모드 임피던스가 점점 증가한다. 그림 16은 접지선과 신호선 사이의 간격  $d_g$  ( $d_{g_A}$ ,  $d_{g_B}$ ,  $d_{g_C}$ )의 변화에 따른 차동 모드 임피던스의 변화이다.  $d_g$ 가 0.1 mm부터 0.5 mm까지 0.1 mm씩 증가할 때, 임피던스가 점점 증가함을 알 수 있다. 설계 목표  $100\Omega \pm 10\%$ 를 만족시키기 위해 커넥터 핀의 폭과 간격에 따른 차동 모드 임피던스 결과를 적용하면 임피던스 불연속을 최소화한 최적 커넥터 라인의 설계 변수를 구할 수 있다. 최초 커넥터 라인의 임피던스는 A, B,



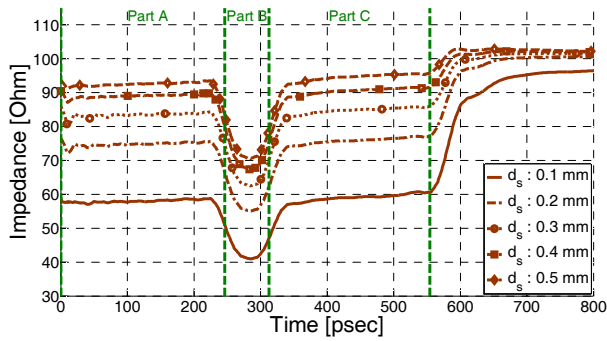


그림 15. 신호선과 신호선 사이의 간격  $d_s$ 에 따른 임피던스의 변화

Fig. 15. Simulated impedance for various values of distance  $d_s$  between signal line and signal line.

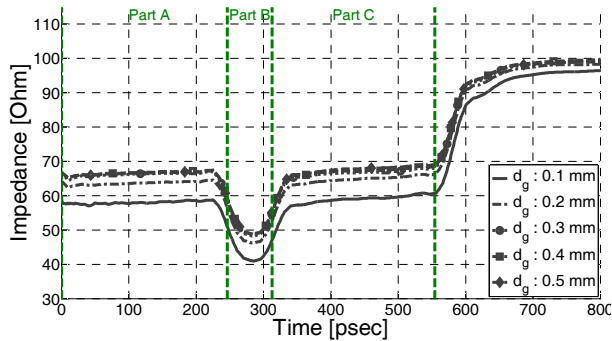


그림 16. 접지선과 신호선 사이의 간격  $d_g$ 에 따른 임피던스의 변화

Fig. 16. Simulated impedance for various values of distance  $d_g$  between ground line and signal line.

C 모든 영역에서 목표 임피던스의 평균 100 Ω보다 40 Ω 이상 낮으므로 A, B, C 세 부분의 신호선과 신호선의 간격  $d_{sA}$ ,  $d_{sB}$ ,  $d_{sC}$ 와 접지선과 신호선의 간격  $d_{gA}$ ,  $d_{gB}$ ,  $d_{gC}$ 를 증가시켜 목표 임피던스에 근접한 임피던스를 갖도록 설계변수를 변경한다. 이때 임피던스는 전체적으로 증가하나, 임피던스 변동폭은 일정하여 B 부분의 임피던스는 목표 임피던스를 벗어난다. 임피던스를 증가시켜 변동폭을 감소시키기 위해 B 부분의 신호선과 신호선의 간격  $d_{sB}$ 가 증가하는 방향으로 신호선의 폭  $W_{sA}$ 를 줄여서 목표 임피던스를 만족시킨다. 최적 커넥터 라인의 설계 변수는  $W_{gA} = W_{sA} = W_{gB} = W_{gC} = W_{sC} = 0.1 \text{ mm}$ ,  $d_{gA} = d_{gB} = d_{gC}$

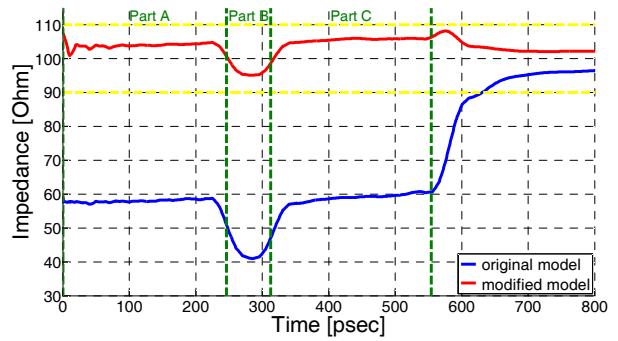


그림 17. 최초 커넥터 라인의 임피던스와 최적 파라미터로 설계한 커넥터 라인의 임피던스 비교

Fig. 17. Comparison between impedance of original connector line and impedance of connector line designed in the optimized parameter.

$= 0.2 \text{ mm}$ ,  $d_{sA} = d_{sC} = 0.4 \text{ mm}$ ,  $W_{sB} = 0.05 \text{ mm}$ ,  $d_{sB} = 0.5 \text{ mm}$ ,  $p_A = p_C = 0.1 \text{ mm}$ ,  $p_B = 0.2 \text{ mm}$ ,  $h_{1A} = h_{2A} = h_{1B} = 0.5 \text{ mm}$ ,  $h_{2B} = h_{2C} = 0.4 \text{ mm}$ ,  $h_{1C} = 0.6 \text{ mm}$ 의 값을 갖는다. 그림 17은 최초 커넥터 라인 구조일 때와 최적 파라미터로 설계한 커넥터 라인 구조일 때 임피던스 특성을 비교한 그림이다. 최초 커넥터 구조일 때 0~554.16 psec 영역에서 임피던스는 평균적으로 55.85 Ω이고, 41.04~58.77 Ω 사이에서 변동하는 것으로 나타났다. 최적 파라미터로 설계한 커넥터 구조일 때 임피던스 특성은 100 Ω을 중심으로 95.19~106.1 Ω 사이의 값으로 나타났으며, 설계 목표를 만족한다. TDR을 통해 얻은 차동 모드 임피던스는  $R$ ,  $L$ ,  $C$ ,  $G$  파라미터를 추출하여 차동 모드 임피던스를 계산한 결과와 매우 잘 일치하는 것을 확인할 수 있으며, 설계자의 목적에 맞게 두 방법을 모두 적절하게 사용하여 임피던스 불연속을 최소화 할 수 있다.

### III. 커넥터의 신호 전달 특성 분석

#### 3-1 커넥터의 구조 변경에 따른 신호 전달 특성 분석

III에서는 II에서 커넥터를 단순화한 커넥터 라인의 임피던스 불연속 최소화 방법을 적용하여 커넥터를 설계하고 분석한다. 실제 커넥터는 불연속 구간이 다수 존재하고 신호 핀(signal pin)이나 접지 핀(ground pin)이 접지판

역할을 하는 커넥터의 외부 도체와 불평행한 구조가 많이 존재하므로 II-1에서 사용한  $R, L, C, G$  파라미터 추출방법보다 II-2에서 사용한 TDT, TDR 분석 방법이 더 용이하다. 하지만  $R, L, C, G$  파라미터 추출 방법을 함께 사용한다면 커넥터 설계 시간을 크게 단축할 수 있다. 그림 18은 커넥터의 3차원 구조와 신호 전달 특성을 분석하기 위한 파라미터를 나타낸다. 커넥터는 총 44개의 핀(Pin)으로 구성되며, 본 논문에서는 4개 핀의 폭과 간격을 변경하여 커넥터의 신호전달 특성을 관찰하였다. 4개의 핀은 G, S, S, G의 순서로 배치된다.  $W_g$ 는 접지 핀의 폭,  $W_s$ 는 신호 핀의 폭,  $d_g$ 는 접지 핀과 신호 핀 사이의 간격,  $d_s$ 는 신호 핀과 신호 핀 사이의 간격이다. 최초 커넥터의 구조는  $W_g=0.3$  mm,  $W_s=0.2$  mm,  $d_g=0.3$  mm,  $d_s=0.65$  mm이고, 커넥터 핀의 피치  $p$ 는 0.15 mm이며, 전체 커넥터 핀의 길이  $L_T$ 는 13.35 mm이다. 제안한 커넥터의 소재는 핀은 금(gold)과 니켈(nickel)로 도금을 한 인청동(phosphor bronze)이고, 커넥터 몸체(housing)는 상대유전율  $\epsilon_r$ 이 3.9이고, 손실 탄젠트가 0.004(@ 1 GHz)인 액정 고분자이며, 커넥터의 외부 도체는 전도율이  $1.37 \times 10^6$

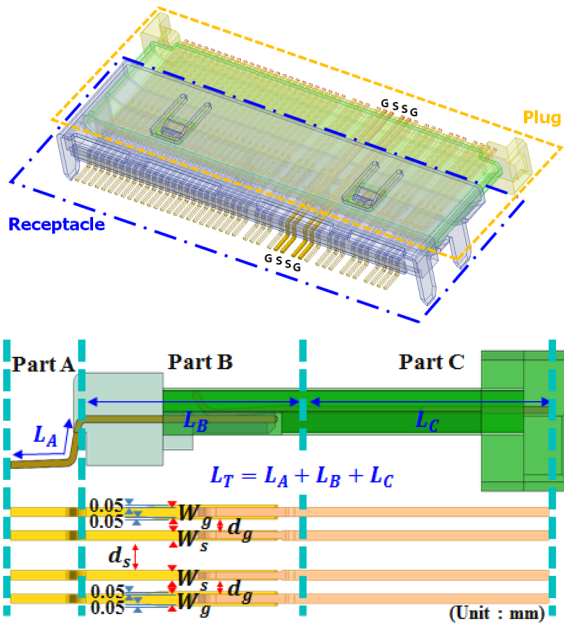


그림 18. 커넥터의 구조  
Fig. 18. Geometry of the connector.

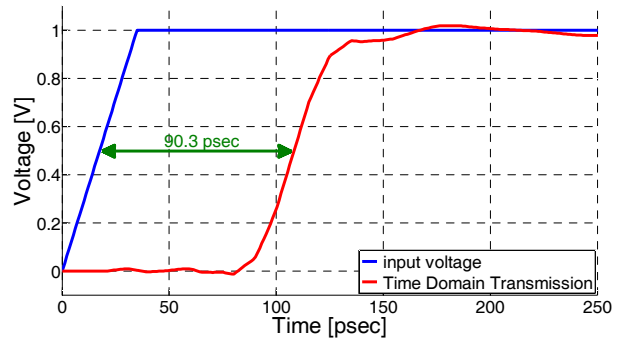


그림 19. 커넥터의 TDT 전달 특성  
Fig. 19. TDT characteristic of connector.

S/m인 스테인리스강이다. 제안한 커넥터의 설계 목표는 12.5 Gbps의 전송 속도를 갖는 고속 전송 직렬 인터페이스 커넥터이며, 시간 영역에서의 임피던스 특성이  $100\Omega \pm 10\%$ 을 만족해야 한다. 그림 19는 커넥터의 TDT 특성을 나타낸다. TDT 특성을 분석하기 위해 커넥터의 리셉터를 입력단에 1 V의 계단형 펄스를 인가하고, 펄스의 상승시간은 35 psec로 설정하였다. 신호는 0 psec에 커넥터의 리셉터를 입력단에 인가되어 90.3 psec에 플러그 출력단으로 전달된다. TDT 값과 커넥터 핀의 전체 길이를 알고 있으므로 커넥터 위치에 따른 임피던스를 예측할 수 있다. TDT 값이 90.3 psec이므로 TDR 분석 시 리셉터를 입력단부터 플러그 중단까지 분석해야할 영역은 0 ~ 180.6 psec가 된다. 본 논문은 그림 18과 같이 커넥터를 매질이 크게 변화하는 A, B, C 세 부분으로 분할하였으며, A와 B의 경계는 커넥터 핀의 주변 매질이 공기에서 액정고분자로 변화하는 지점이며, B와 C의 경계는 플러그의 단자가 유전체로부터 도피되어 매질이 크게 변화하는 부분이다. 이때 A 부분의 길이  $L_A$ 는 2.45 mm, B 부분의 길이  $L_B$ 는 5.2 mm, C 부분의 길이  $L_C$ 는 5.7 mm이다. A, B, C 각 부분의 커넥터 핀 길이를 고려하면 A부분의 영역은 0 ~ 33.2 psec이며, B부분의 영역은 33.2 ~ 103.52 psec이고, C부분의 영역은 103.52 ~ 180.6 psec가 된다.

커넥터는 전기적 특성뿐만 아니라, 기계적 특성 확보도 중요한 설계 항목이다. 기계적 가공성 및 강도 확보가 불가능한 영역에서 전기적 특성 확보를 위한 커넥터 핀 설계

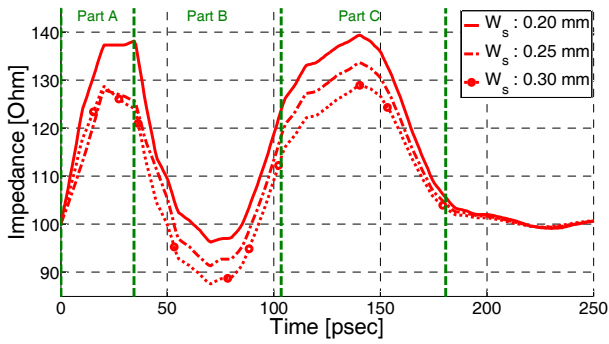


그림 20. 신호 핀의 폭  $W_s$ 에 따른 임피던스의 변화  
Fig. 20. Simulated impedance for various values of width  $W_s$  of signal pin.

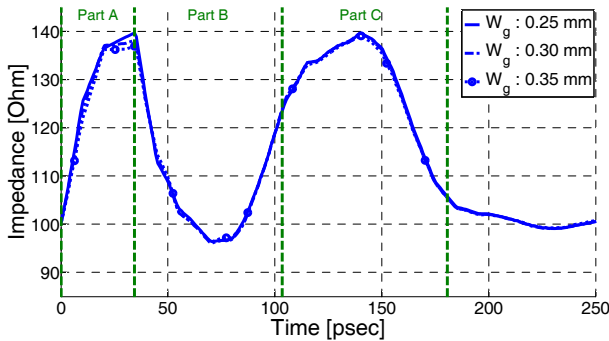


그림 21. 접지 핀의 폭  $w_g$ 에 따른 임피던스의 변화  
Fig. 21. Simulated impedance for various values of width  $w_g$  of ground pin.

표 1. 제안한 커넥터의 최적 파라미터 값  
Table 1. Optimized parameter values of the proposed connector.

| 파라미터  | 최초 커넥터 구조 |         |         | 수정한 커넥터 구조 |         |          |
|-------|-----------|---------|---------|------------|---------|----------|
|       | Part A    | Part B  | Part C  | Part A     | Part B  | Part C   |
| $W_s$ | 0.2 mm    | 0.2 mm  | 0.2 mm  | 0.375 mm   | 0.2 mm  | 0.375 mm |
| $W_g$ | 0.2 mm    | 0.3 mm  | 0.2 mm  | 0.3 mm     | 0.3 mm  | 0.3 mm   |
| $d_s$ | 0.65 mm   | 0.65 mm | 0.65 mm | 0.3 mm     | 0.65 mm | 0.3 mm   |
| $d_g$ | 0.3 mm    | 0.25 mm | 0.3 mm  | 0.25 mm    | 0.25 mm | 0.25 mm  |

변경은 의미가 없으므로, 커넥터 핀의 설계 최적화를 제한된 범위 내에서 진행하였다. 그림 20은 최초 커넥터의 구조에서 신호 핀의 폭  $W_s$ 를 0.2 mm부터 0.05 mm 단위로 0.3 mm까지 증가시켰을 때 차동 모드 임피던스 변화

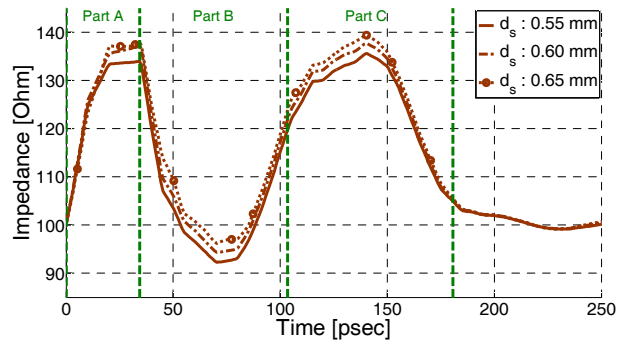


그림 22. 신호 핀과 신호 핀 사이의 간격  $d_s$ 에 따른 임피던스의 변화  
Fig. 22. Simulated impedance for various values of distance  $d_s$  between signal pin and signal pin.

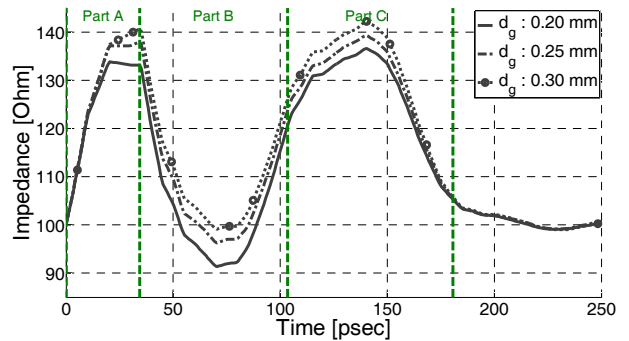


그림 23. 접지 핀과 신호 핀 사이의 간격  $d_g$ 에 따른 임피던스의 변화  
Fig. 23. Simulated impedance for various values of distance  $d_g$  between ground pin and signal pin.

를 나타낸다.  $W_s$ 가 0.05 mm 증가할 때마다 5 Ω이 감소한다. 그림 21은 접지 핀의 폭  $w_g$ 를 0.25 mm, 0.3 mm, 0.35 mm로 변화시켰을 때 차동 모드 임피던스 변화를 나타낸다. 접지 핀의 폭이 0.05 mm씩 증가할 때 20~35 psec 영역에서 임피던스가 1 Ω씩 감소하지만, 나머지 영역에서는 임피던스가 일정하다. 그림 22는 신호 핀과 신호 핀 사이의 간격  $d_s$ 에 따른 차동 모드 임피던스의 변화이며,  $d_s$ 가 0.55 mm, 0.6 mm, 0.65 mm로 0.05 mm씩 증가할 때, 임피던스가 2 Ω씩 증가한다. 그림 23은 접지 핀과 신호 핀 사이의 간격  $d_g$ 를 0.2 mm, 0.25 mm, 0.3 mm로 증가시켰을 때 임피던스 특성이다.  $d_g$ 가 0.05 mm씩 증가할 때 임피던스가 전체적으로 3 Ω씩 증가한다. 최초 커넥

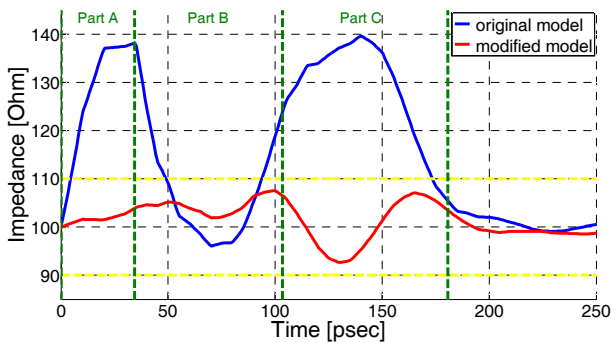


그림 24. 최초 커넥터의 임피던스 특성과 최적 파라미터로 설계한 커넥터의 임피던스 특성 비교

Fig. 24. Comparison between impedance of original connector and impedance of connector designed in the optimized parameter.

터 라인의 임피던스는 A와 C 부분이 목표 임피던스보다 높으므로 두 영역의 임피던스를 줄여서 설계 목표  $100\Omega \pm 10\%$  를 만족시켜야 한다. 목표 임피던스를 만족시키기 위해 커넥터 핀의 폭과 간격에 따른 임피던스 특성을 분석한 결과를 A, B, C 각 부분별로 적용하면 표 1과 같이 최적의 커넥터 파라미터를 구할 수 있다. 그림 24는 최초 커넥터 구조일 때와 최적 파라미터로 설계한 커넥터 구조일 때 임피던스 특성을 비교한 그림이다. 최초 커넥터 구조일 때 0~180.6 psec 영역에서 임피던스는 평균적으로 115  $\Omega$ 이고, 96~139  $\Omega$  사이에서 변동하는 것으로 나타났다. 최적 파라미터로 설계한 커넥터 구조일 때 차동 모드 임피던스 특성은 100  $\Omega$  을 중심으로 92.6~107.5  $\Omega$  사이의 값으로 나타났으며, 설계 목표를 만족한다.

#### IV. 결 론

본 논문에서는 전송 속도 12.5 Gbps에서 설계 목표  $100\Omega \pm 10\%$  를 만족하는 고속 직렬 인터페이스 커넥터의 설계 및 분석 방법을 제안한다. 본 논문에서 제안하는 고속 직렬 인터페이스 커넥터는 다양한 매질로 구성되어 있으며, 구조가 복잡하므로 커넥터를 단순화한 커넥터 라인 구조를 제안하고, 이 구조에서  $R, L, C, G$  파라미터 추출과 TDT, TDR을 이용하여 차동 모드 임피던스(differential mode impedance)를 분석하고, 임피던스 불연속을 최소화 하였다. 또한, 커넥터 라인에서 사용한 설계 및 분

석 방법을 실제 커넥터에 적용하였다. 제안한 커넥터는 총 44개의 핀(pin)으로 구성되며, 본 논문에서는 4개의 핀의 폭과 간격을 변경하여 신호 전달 특성을 분석하였다. 분석결과, 접지 핀의 폭이 증가할수록 임피던스는 소폭으로 감소하고, 접지 핀과 신호 핀 사이의 간격이 증가할수록 임피던스가 증가했다. 또한, 신호 핀의 폭을 증가시키면 임피던스가 감소하며, 신호 핀과 신호 핀 사이의 간격을 늘리면 임피던스가 증가하였다. 최초 커넥터 임피던스 특성은 96~139  $\Omega$  사이의 값을 나타내며, 제안된 커넥터 구조를 적용했을 때 임피던스 특성은 92.6~107.5  $\Omega$  사이의 값으로 나타나 설계 목표  $100\Omega \pm 10\%$  를 만족하였다. 이 연구를 통해 얻은 커넥터 라인과 고속 직렬 인터페이스 커넥터의 설계 및 분석 방법은 커넥터의 임피던스 불연속을 최소화하고, 높은 신호 전달 특성을 확보하기 위한 연구에 큰 기여를 할 것으로 기대한다.

#### References

- [1] 육종관, 나완수, "PCB 및 IC 회로에서의 EMC 기술 연구 동향", 한국전자과학회지 전자파기술, 23(4), pp. 32-42, 2012년 7월.
- [2] 강희도, 김현, 육종관, "PCB 레벨 EMC 설계 기술", 한국전자과학회지 전자파기술, 21(1), pp. 61-72, 2010년 1월.
- [3] S. H. Hall, G. W. Hall, and J. A. McCall, "High-speed digital system design: A handbook of interconnect theory and design practices", New York: Wiley, pp. 102-127, pp. 276-288, 2000.
- [4] Frank P. Dola, Steven Feldman, "Impedance matched electrical connector", U.S. Patent no. 4,762,500. 9 Aug. 1988.
- [5] Han-Nien Lin, Yu-Chieh Huang, Ming-Shan Lin, and Tzu-Wen Kung, "Measurement analysis and improvement technique of signal integrity for high-speed connectors", 2012 Asia-Pacific Symposium on Electromagnetic Compatibility, pp. 609-612, 2012.
- [6] D. M. Pozar, *Microwave Engineering*, 4<sup>th</sup> ed., John Wiley & Sons, pp. 48-89, Nov. 2011.

[7] E. Bogatin, "Signal integrity: simplified", 2<sup>nd</sup> ed., Prentice Hall Professional, pp. 475-553, Nov. 2013.  
[8] S. H. Hall, H. L. Heck, "Advanced signal integrity for high-speed digital designs", *John Wiley & Sons*, pp. 65-

195, pp. 297-312, 2011.  
[9] H. Johnson, M. Graham, "High-speed signal propagation: advanced black magic", *Prentice Hall Professional*, pp. 363-403, pp. 673-701, 2003.

### 이 호 상



2015년 2월: 동양미래대학교 정보통신공학과 (공학사)  
2015년 3월~현재: 성균관대학교 전자전기컴퓨터공학과 석박사통합과정  
[주 관심분야] 초고주파 회로 해석 및 설계, 안테나 해석 및 설계, Signal Integrity, Power Integrity, EMI/EMC

### 최 대 일



2001년 2월: 남서울대학교 정보통신공학과 (공학사)  
2006년 2월~2015년 9월: 씨애플러스연구소 책임연구원  
2015년 10월~현재: 후성테크연구소 차석연구원  
[주 관심분야] Signal Integrity, EMI/EMC

### 신 재 영



2015년 2월: 성균관대학교 전자전기공학부 (공학사)  
2015년 3월~현재: 성균관대학교 전자전기컴퓨터공학과 석사과정  
[주 관심분야] Signal Integrity, Power Integrity, EMI/EMC

### 나 완 수



1984년 2월: 서울대학교 전기공학과 (공학사)  
1986년 2월: 서울대학교 전기공학과 (공학석사)  
1991년 2월: 서울대학교 전기공학과 (공학박사)  
1991년~1993년: SSCL Guest Collaborator  
1993년~1995년: 한국전기연구원 선임연구원  
1995년~현재: 성균관대학교 전자전기컴퓨터공학과 교수  
[주 관심분야] Signal Integrity, Power Integrity, EMI/EMC