

고성능 HEVC 부호기를 위한 루프 내 필터 하드웨어 설계

박승용 · 임준성 · 류광기*

Hardware Design of In-loop Filter for High Performance HEVC Encoder

Seungyong Park · Junseong Im · Kwangki Ryoo*

Department of Information and Communication Engineering, Hanbat National University, Daejeon 34158, Korea

요 약

본 논문에서는 고성능 HEVC(High Efficiency Video Coding) 부호기를 위한 루프 내 필터의 효율적인 하드웨어 구조를 제안한다. HEVC는 양자화 에러가 발생하는 복원 영상에서 화질을 향상시키기 위해 디블록킹 필터와 SAO(Sample Adaptive Offset)으로 구성된 루프 내 필터를 사용한다. 그러나 루프 내 필터는 추가적인 연산으로 인하여 부호기와 복호기의 복잡도가 증가되는 원인이 된다. 제안하는 루프 내 필터 하드웨어 구조는 수행 사이클 감소를 위해 디블록킹 필터와 SAO를 3단 파이프라인으로 구현되었다. 또한 제안하는 디블록킹 필터는 6단 파이프라인 구조로 구현되었으며, 효율적인 참조 메모리 구조를 위해 새로운 필터링 순서로 수행된다. 제안하는 SAO는 화소들의 처리를 간소화하며 수행 사이클을 감소시키기 위해 한번에 6개의 화소를 병렬 처리된다. 제안하는 루프 내 필터 하드웨어 구조는 Verilog HDL로 설계되었으며, TSMC 0.13 μ m CMOS 표준 셀 라이브러리를 사용하여 합성한 결과 약 131K개의 게이트로 구현되었다. 또한 164MHz의 동작 주파수에서 4K@60fps의 실시간 처리가 가능하며, 최대 동작 주파수는 416MHz이다.

ABSTRACT

This paper proposes efficient hardware structure of in-loop filter for a high-performance HEVC (High Efficiency Video Coding) encoder. HEVC uses in-loop filter consisting of deblocking filter and SAO (Sample Adaptive Offset) to improve the picture quality in a reconstructed image due to a quantization error. However, in-loop filter causes an increase in complexity due to the additional encoder and decoder operations. A proposed in-loop filter is implemented as a three-stage pipeline to perform the deblocking filtering and SAO operation with a reduced number of cycles. The proposed deblocking filter is also implemented as a six-stage pipeline to improve efficiency and performs a new filtering order for efficient memory architecture. The proposed SAO processes six pixels parallelly at a time to reduce execution cycles. The proposed in-loop filter encoder architecture is designed by Verilog HDL, and implemented by 131K logic gates in TSMC 0.13 μ m process. At 164MHz, the proposed in-loop filter encoder can support 4K Ultra HD video encoding at 60fps in real time.

키워드 : HEVC 부호기, 루프 내 필터, 디블록킹 필터, SAO(적응적 샘플 오프셋), 하드웨어 설계

Key word : HEVC Encoder, In-loop Filter, Deblocking Filter, SAO(Sample Adaptive Offset), Hardware Design

Received 31 December 2015, Revised 19 January 2016, Accepted 03 February 2016

* Corresponding Author Kwangki Ryoo(E-mail:kkryoo@gmail.com, Tel:+82-42-821-1710)

Department of Information and Computer Engineering, Hanbat National University, Daejeon 34158, Korea

Open Access <http://dx.doi.org/10.6109/jkiice.2016.20.2.335>

print ISSN: 2234-4772 online ISSN: 2288-4165

©This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.
Copyright © The Korea Institute of Information and Communication Engineering.

I. 서 론

최근 통신 환경의 발전에 따라 HD(High Definition) 영상 기술이 보편화되면서 HD 이후의 고품질 영상 서비스에 대한 기술 개발이 빠르게 진행되어 왔다. 여러 기술들 중에서 UHD(Ultra HD) 영상 기술은 HD에 비해 4배 혹은 16배 고해상도 서비스를 제공하여 소비자에게 현장감과 입체감을 전달할 수 있는 기술이다. 그러나 UHD 영상은 HD 영상에 비해 데이터가 최소 4배에서 96배까지 증가될 수 있기 때문에 데이터의 안정적인 전송을 위해 고효율 부호화, 영상 처리, 데이터 전송 기술 등이 요구된다. 이에 따라 국제 표준화 기관인 ISO/IEC의 MPEG(Moving Picture Experts Group)와 ITU-T의 VCEG(Video Coding Experts Group)은 공동으로 JCT-VC(Joint Collaborative Team on Video Coding)을 결성하여 차세대 영상 압축 표준인 HEVC의 표준화 활동을 시작했으며, 2013년 1월 초 스위스 제네바 회의에서 HEVC 최종 표준안인 FDIS(Final Draft International Standard)를 완성하였다. HEVC는 기존 표준 기술인 H.264/AVC에 비해 약 50%의 부호화 효율을 보인다[1].

HEVC는 기존의 H.264/AVC 표준과 같이 블록 기반 영상 압축 기술이다. 또한 양자화 에러로 인하여 복원된 영상의 화질이 저하되는 문제가 발생한다. 이를 해결하기 위해 HEVC에서는 디블록킹 필터와 SAO라는 두 가지 루프 내 필터를 사용한다. 그러나 추가적인 연산으로 부호기와 복호기의 복잡도를 증가시키는 단점이 있다. 또한 각 루프 내 필터는 독립적으로 수행되기 때문에 불필요한 메모리 접근에 따른 지연이 발생한다. 디블록킹 필터는 필터링이 수행된 CTU(Coding Tree Unit)의 화소를 참조하여 수행되기 때문에 참조 화소를 저장하는 별도의 내부 메모리가 필요하며, 이는 하드웨어로 구현할 때 제한적인 요소로 작용한다. SAO는 화소 단위 연산을 수행하기 때문에 고해상도 영상을 처리하기 위해서 많은 수행 사이클이 요구된다[2].

따라서 본 논문에서는 고성능 HEVC 부호기를 위한 효율적인 루프 내 필터의 하드웨어 구조를 제안한다. 제안하는 하드웨어 구조는 수행 사이클 감소를 위해 병렬 처리와 파이프라인 기법으로 설계되었으며, 참조 메모리 구조의 단순화를 위해 효율적으로 처리할 수 있는 새로운 필터링 순서를 적용하였다.

II. HEVC 루프 내 필터

그림 1은 HEVC 부호기의 블록 다이어그램을 나타낸다. HEVC는 양자화로 인한 화질 열화 문제를 해결하기 위해 그림 1과 같이 디블록킹 필터와 SAO로 구성된 루프 내 필터를 사용한다. 루프 내 필터는 복원 영상에 필터링을 적용하여 주관적 화질이 향상된 영상을 재생 장치로 출력할 뿐만 아니라 화면 간 예측 모드에서 필터링된 영상이 참조 영상으로 사용되어 부호화 효율도 향상된다. 그러나 부호기와 복호기에서 필터링을 수행하는 추가적인 계산을 요구하여 복잡도가 증가된다.

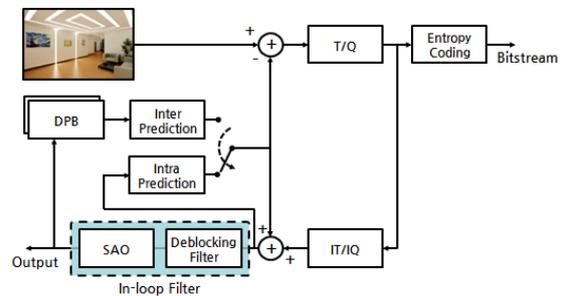


Fig. 1 The block diagram of HEVC encoder

2.1. HEVC 디블록킹 필터

디블록킹 필터는 주로 블로킹 열화를 제거하는데 사용된다. 기존의 H.264/AVC의 디블록킹 필터는 4×4 블록 단위로 필터링을 수행하지만, HEVC 디블록킹 필터는 휘도 성분에 대하여 8×8 블록 크기로 수행된다. 또한 필터 적용 유·무를 기존 H.264/AVC는 라인 단위로 결정하였지만, HEVC는 계산량을 줄이기 위해 4-라인을 묶어서 블록 단위로 결정한다.

2.1.1. 디블록킹 필터 알고리즘

HEVC 디블록킹 필터는 병렬 처리가 유용하도록 화면 단위의 필터링 구조로 필터링을 수행한다. 복원 영상에서 수직 에지 경계에 대해 수평 방향의 필터링을 수행한 후, 필터링된 영상을 다시 수평 에지 경계에 대해 수직 방향으로 필터링을 수행한다. 필터링 수행 과정은 먼저 8×8 블록 경계에 위치하는 PU(Prediction Unit), TU(Transform Unit) 경계에서 4-라인 단위로 계산되는 BS(Boundary Strength) 값으로 필터링 수행 여부를 결정한다. 필터링 수행 여부가 결정되면 인접하

는 블록들의 QP 값으로 임계값인 β 와 tc를 결정하고, 경계에서 화소 변화량을 나타내는 d 값을 계산한다. 결정된 BS 값, 임계값, d 값을 고려하여 필터링 수행 여부를 재결정하고, 필터링 수행이 결정되면 조건식에 의해 강한 필터링과 약한 필터링을 결정하고 해당 필터링을 수행한다[3]. 강한 필터링은 P와 Q 영역에서 세 화소씩 필터링을 수행하며, 약한 필터링은 P와 Q 영역에서 최대 두 화소씩 필터링을 수행한다. 그림 2는 필터링을 결정하는 화소와 화소 변화 패턴의 예를 나타낸다.

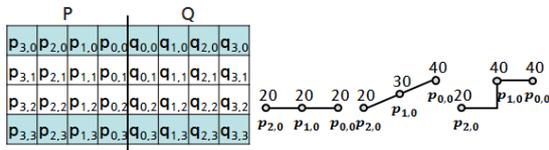


Fig. 2 The pixels for determining filter and pixels pattern in the boundary

2.1.2. 디블록킹 필터 참조 메모리 구조

디블록킹 필터는 현재 CTU의 왼쪽과 위쪽에 필터링된 CTU의 화소를 참조하여 수행된다. 그림 3은 디블록킹 필터를 수행하는 CTU의 구조를 나타낸다.

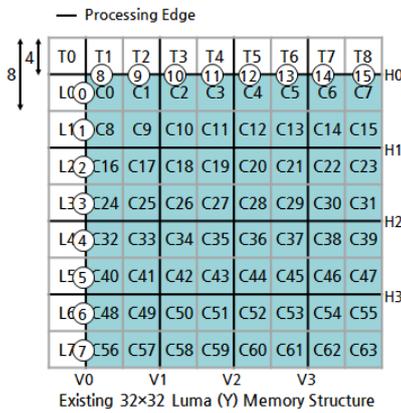


Fig. 3 The existing structure for performing the deblocking filtering

음영 처리된 C블록은 현재 입력 화소이며, V0에서 V3은 수직 필터링 수행 경계, H0에서 H3은 수평 필터링 수행 경계를 나타낸다. T블록과 L블록은 V0와 H0에서 필터링을 수행하기 위해 참조 화소로 사용되는 블록

을 나타낸다. 이와 같이 필터링된 CTU의 화소를 참조하는 구조는 참조 화소를 저장하는 별도의 내부 메모리가 요구된다. 기존 디블록킹 필터 하드웨어 구조의 참조 화소 구조는 그림 4와 같이 음영 처리된 부분을 저장하는 별도의 메모리를 사용한다. 그러나 메모리 분할 구조를 사용해야 하며, 이는 복잡한 메모리 접근 방식을 야기한다. 또한 고해상도로 확장될수록 메모리의 사이즈가 증가되는 한계점이 있다.

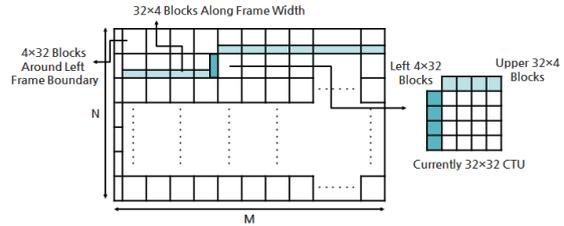


Fig. 4 The reference pixel structure of the deblocking filter of the existing hardware

2.2. SAO

SAO는 디블록킹 필터가 처리된 후 수행되며, 영역 내 화소들을 각 패턴에 따라 16개의 에지 오프셋과 32개의 밴드 오프셋으로 분류한다. 분류된 정보를 기반으로 울-왜곡 최적화를 통해 최적의 오프셋 값을 결정하고 오프셋 값을 복원 화소에 보상하여 복원 영상과 원본 영상 간의 에러를 최소화 하는 기술이다[4].

2.2.1. 에지 오프셋

SAO는 영역 내 에지의 방향성을 고려하여 복원 화소의 에러를 효과적으로 보정하는 에지 오프셋을 사용한다. 에지 오프셋은 주요 에지 방향에 따라 그림 5와 같이 4가지 클래스로 분류한다[5]. 각 클래스에 표시된 'c'는 현재 분류될 화소를 나타내며, 'a'와 'b'는 방향성에 따른 주변 화소를 나타낸다.

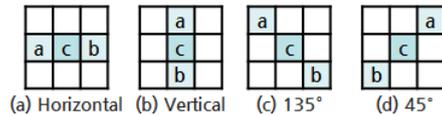


Fig. 5 The pattern class for edge offset

각 클래스는 표 1과 같은 화소 분류 조건식에 따라 4가지 하위 카테고리 화소를 분류되며, 에지 오프셋은

복원 화소를 총 16가지 패턴에 대해 각각 오프셋을 구하고, 최소의 율-왜곡 비용을 갖는 클래스 정보와 하위 카테고리에 따른 4개의 오프셋을 결정한다.

Table. 1 The classification conditions for edge offset

Category	Condition
1	$C < A \ \&\& \ C < B$
2	$(C < A \ \&\& \ C = B) \parallel (C = A \ \&\& \ C < B)$
3	$(C > A \ \&\& \ C = B) \parallel (C = A \ \&\& \ C > B)$
4	$C > A \ \&\& \ C > B$
0	Others

2.2.2. 밴드 오프셋

밴드 오프셋은 영역 내 화소들을 유사한 밝기 값에 따라 분류하고, 최적의 오프셋 값을 복원 화소에 적용하여 영상의 왜곡을 감소시킨다. 256단계의 밝기 값에 대해서 각각 8의 크기를 갖는 32개의 밴드로 구성한다. 32개의 밴드에 대해 각각 오프셋을 구하고, 최소의 율-왜곡 비용을 갖는 연속한 4개의 밴드로 이루어진 그룹을 선택한다.

2.2.3. SAO 파라미터 결정

SAO는 화소에 대하여 에지 오프셋 16개와 밴드 오프셋 32개, 총 48개의 오프셋 값을 구한다. 이 과정에서 원본 화소와 복원 화소의 차에 대한 누적값(E)과 분류된 화소의 누적 개수(N)를 이용하여 초기 오프셋 값을 구한 후 율-왜곡 값을 계산하여 최적의 오프셋을 결정한다[6]. 초기 오프셋 값 h 는 E/N 을 사용하고 해당 값에서부터 0까지의 오프셋 값에 대해 식 (1)을 계산하고, 식 (2)를 최소로 하는 h 값을 결정한다.

$$\Delta D = D_{post} - D_{pre} = \sum_{k \in C} (h^2 - 2h(s(k) - x(k))) = Nh^2 - 2hE \quad (1)$$

$$E = \sum_{k \in C} ((s(k) - x(k)))$$

$$\Delta J = \Delta D + \lambda R \quad (2)$$

III. 제안하는 루프 내 필터 구조

각 루프 내 필터는 독립적으로 수행되기 때문에 별도로 수행할 경우 불필요한 메모리 접근에 따른 지연이 발생한다. 제안하는 루프 내 필터 하드웨어 구조는 이

러한 불필요한 지연을 해소하기 위해 32×32 CTU 기준으로 디블록킹 필터 수행 단계, SAO의 화소 분류 및 최적의 파라미터 결정 단계, SAO 파라미터 적용 단계로 수행되는 3단 파이프라인 구조로 구현하였다. 디블록킹 필터는 참조 메모리 구조의 단순화를 위해 새로운 필터링 순서를 적용하였으며, 병렬 처리와 파이프라인 기법으로 수행 사이클을 감소시킨 SAO를 구현하였다.

3.1. 제안하는 디블록킹 필터 하드웨어 구조

그림 6은 제안하는 디블록킹 필터의 하드웨어 구조를 나타낸다. 제안하는 구조는 8×8 블록에서 상위 8×4 블록과 하위 8×4 블록이 서로 독립적으로 수행되기 때문에 그림 7과 같이 두 개의 병렬 필터 구조를 사용하여 8×8 블록 단위로 수행된다. 두 개의 병렬 필터 구조는 수직 필터링 또는 수평 필터링 수행 후 trans_buf에서 다음 처리를 위해 행렬 전치를 수행한다. 또한 처리를 향상시키기 위해 메모리 읽기, 수평 필터 결정, 수평 필터 수행, 수직 필터 연산, 수직 필터 수행, 메모리 쓰기 단계를 6단 파이프라인 구조로 구현하였으며, dbf_ctrl 모듈에서 생성되는 제어 신호에 따라 수행된다.

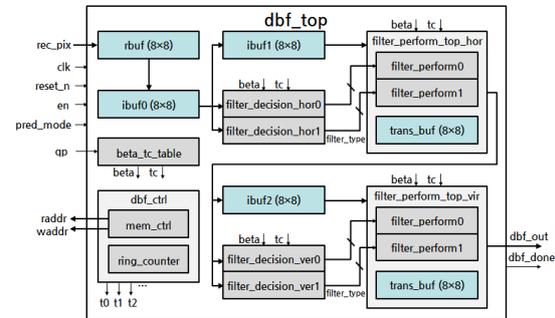


Fig. 6 The proposed deblocking filter hardware structure

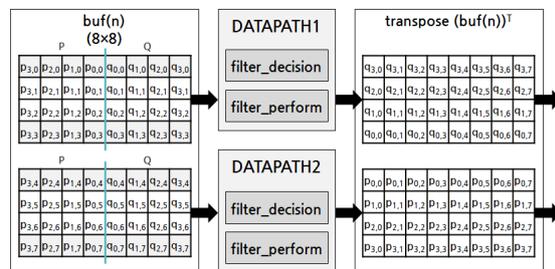


Fig. 7 The proposed parallel two path deblocking filter

3.2. 제안하는 필터링 순서

본 논문의 2.1.2에서 기존 더블록킹 필터 하드웨어 구조의 참조 화소 구조에 대한 한계점을 제시했다. 제안하는 구조는 이러한 한계점을 해결하고 참조 메모리 구조의 단순화를 위해 새로운 필터링 순서를 적용하였다. 그림 8은 기존의 더블록킹 필터를 수행하는 32×32 CTU의 구조와 제안하는 CTU 구조를 나타낸다. (b)와 같이 왼쪽 상단 방향으로 4×4 만큼 쉬프트 된 32×32 블록이 기존의 CTU (a)를 대체하는 더블록킹 필터의 입력이 된다. 이와 같이 필터링 순서를 변경하면 필터링 수행 경계인 V0에서 V3과 H0에서 H3는 필터링이 수행된 이전 CTU의 화소를 참조할 필요 없이 8×8블록 단위 입력 화소만으로 필터링 수행이 가능하다. 또한 N0에서 N7까지 누락된 경계는 다음 필터링 과정에서 처리된다.

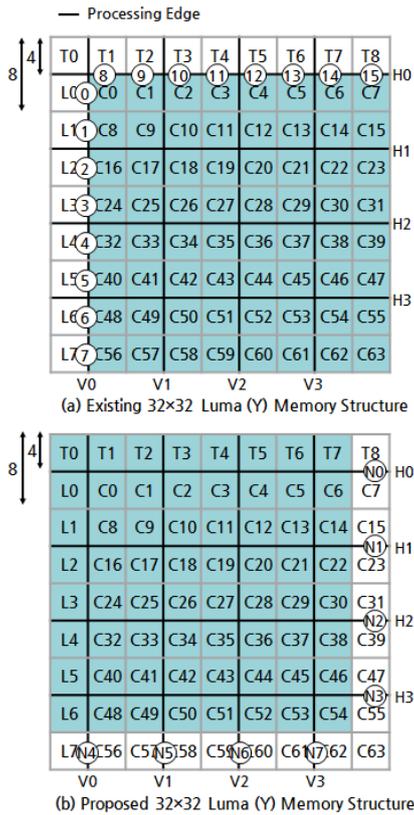


Fig. 8 The proposed structure for performing the deblocking filtering

3.3. 제안하는 SAO 하드웨어 구조

그림 9는 제안하는 SAO 하드웨어 구조를 나타낸다. 메모리로부터 화소를 입력받는 mem_ctrl 모듈, 입력 화소들의 분류를 수행하는 calc_stats 모듈, 화소 정보 또는 merge 기능을 이용해 울-외국 최적화를 수행하여 SAO 파라미터를 생성하는 merge 모듈과 rdo_sao 모듈, 결정된 최적의 SAO 파라미터를 복원 화소에 적용하는 apply_sao 모듈로 구성된다. 또한, 화소 분류 및 SAO 파라미터 결정 과정과 SAO 파라미터 적용 과정을 2단 파이프라인 구조로 구현하였다.

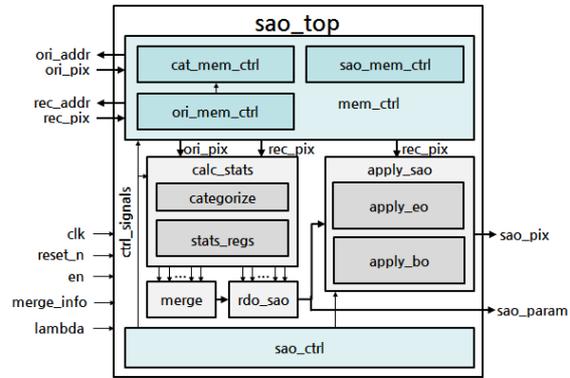


Fig. 9 The proposed SAO hardware structure

그림 10은 제안하는 병렬 버퍼 구조를 나타낸다. 제안하는 SAO 하드웨어 구조는 주변 화소 정보를 참조하여 분류 작업을 수행하는 에지 오프셋을 고려하여 3-라인 버퍼로 구성하여 메모리 접근을 최소화하며 복원 화소와 주변 화소 정보를 효율적으로 처리할 수 있으며, 수행 사이클을 감소시키기 위해 한 번에 3개의 화소를 처리하는 버퍼 구조 두 개를 병렬로 구성하여 총 6개의 화소를 동시에 처리한다.

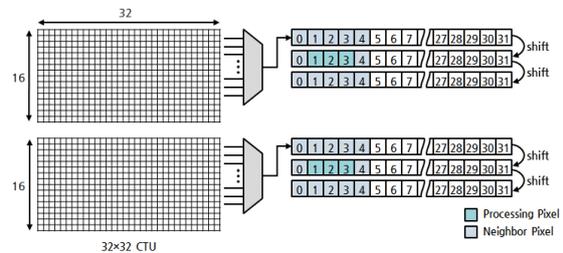


Fig. 10 The proposed parallel 3-buffered layer for SAO

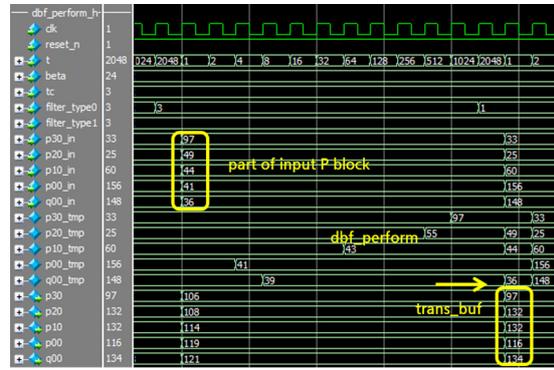
제안하는 버퍼 구조는 하나의 라인에 해당하는 32개의 화소를 동시에 3개의 화소 단위로 처리하면 10사이클이 소요되며, 각 버퍼는 10사이클 당 32개의 화소 단위로 라인 버퍼에 입력되고 쉬프트를 수행하여 저장하고 3-라인 버퍼에 저장된 화소를 처리한다. 또한 SAO는 화소 단위 연산으로 많은 수행 사이클이 소요되기 때문에 두 개의 버퍼를 병렬 구조로 구성하여 CTU에서 상위 16-라인과 하위 16-라인의 화소를 동시에 처리하여 연산 속도를 높였다.

IV. 하드웨어 구현 결과 및 성능

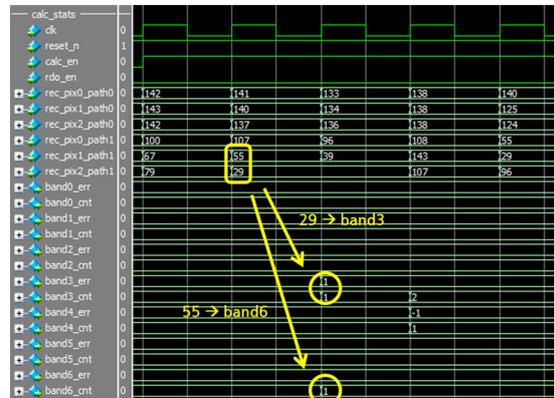
본 논문에서 제안하는 고성능 HEVC 부호기를 위한 루프 내 필터 하드웨어 구조는 Verilog HDL로 설계되었으며, Synopsys사의 Design Compiler를 사용하여 TSMC 0.13 μ m CMOS 표준 셀 라이브러리로 합성한 결과 약 131K개의 게이트로 구현되었다. 그림 11은 제안하는 루프 내 필터 하드웨어의 내부 모듈에 대한 시뮬레이션 결과 파형을 나타낸다.

제안하는 루프 내 필터 하드웨어 구조는 Mentor Graphics사의 ModelSim SE 10.1c 시뮬레이터를 이용하여 정상적으로 동작함을 확인하였다. 그림 11의 (a)는 더블록킹 필터에서 필터링을 수행하는 dbf_perform 모듈의 입·출력 신호들 중 일부분을 나타낸다. P 영역의 화소를 입력받아 filter_type#에 따라서 필터링이 수행되며, 다음 처리를 위해 trans_buf에서 필터링 된 화소의 행렬 전치가 수행된다. (b)는 SAO에서 복원 화소를 분류하는 calc_stats 모듈의 입·출력 신호들 중 일부이며, 밴드 오프셋으로 분류하는 과정을 나타낸다. 총 6개의 복원 화소인 rec_pix#_path#을 동시에 처리하며, 밝기 값에 따라 해당 밴드인 band#_cnt에 분류하고, 원본 화소와 오차를 band#_err에 저장된다.

제안하는 루프 내 필터 하드웨어 구조는 32 \times 32 CTU에 대하여 더블록킹 필터와 SAO를 처리하는데 192사이클이 소요된다. 따라서 164MHz의 동작 주파수에서 4K@60fps 영상의 실시간 처리가 가능하다. 표 2는 기존의 하드웨어 구조와 제안하는 루프 내 필터 하드웨어 구조를 비교한 결과를 나타낸다.



(a) The dbf_perform module simulation



(b) The calc_stats module simulation

Fig. 11 The result from simulation

Table. 2 The comparison between existing and proposed in-loop filter hardware

Category	Deblocking Filter	SAO	Proposed
	Park[9]	Cho[10]	
CTU	32 \times 32	64 \times 64	32 \times 32
Process	0.18 μ m	0.13 μ m	0.13 μ m
Gate Count	22K	190K	131K
Cycle/CTU	75	1600	192
Operating Frequency	150MHz	200MHz	164MHz
	8K@60fps	4K@60fps	

기존의 논문은 더블록킹 필터와 SAO에 대하여 각각 제안되어 왔으며, 루프 내 필터를 통합한 구조는 제안되지 않았다[7-10]. 따라서 성능 비교를 위해 기존에 제안된 더블록킹 필터와 SAO 하드웨어 구조 중 병렬처리 기법과 필터링 순서 및 공통연산 구조 등이 적용되어

성능이 우수하다고 판단되는 Park[9]과 Cho[10]을 이용하여 루프 내 필터를 구성하면 212K개의 게이트로 구현되며, 4K 영상 한 프레임을 처리하는데 필요한 수행 사이클은 각각 1,071,000과 3,264,000으로 총 4,335,000이 소요된다. 본 논문에서 제안하는 루프 내 필터의 하드웨어 구조는 약 38% 감소된 131K개의 게이트로 구현되며, 동일한 영상을 처리하는데 필요한 수행 사이클은 2,741,760으로 약 37% 감소되었다.

V. 결론

본 논문에서 제안하는 고성능 HEVC 부호기를 위한 루프 내 필터 하드웨어 구조는 디블록킹 필터와 SAO를 효율적인 파이프라인 구조로 구현하였으며, 참조 화소 메모리 단순화를 위해 제안된 새로운 필터링 순서로 수행된다. 또한 수행 사이클 감소를 위해 디블록킹 필터와 SAO는 각각 병렬 처리 구조와 파이프라인 기법으로 설계되었으며, 특히 SAO는 화소 단위 연산으로 많은 수행 사이클이 소요되므로 한번에 6개의 화소를 동시에 처리하는 3-라인 버퍼 구조로 구현하였다.

제안하는 루프 내 필터 하드웨어 구조는 TSMC 0.13 μm CMOS 표준 셀 라이브러리로 합성한 결과 약 131K개의 게이트로 구현되었으며, 164MHz의 동작 주파수에서 4K@60fps 영상의 실시간 처리가 가능하다. 또한, 기존의 하드웨어 구조와 비교한 결과, 본 논문에서 제안된 구조를 통하여 하드웨어 면적이 약 38% 감소되고 37% 빠르게 동작하는 루프 내 필터를 구현하였으며 최대 동작 주파수는 416MHz로 4K@120fps 영상 또는 8K@30fps를 지원한다.

ACKNOWLEDGMENTS

This research was supported by the MSIP (Ministry of Science, ICT and Future Planning), Korea, under the Global IT Talent support program (IITP-2015-R0134-15-1019) supervised by the IITP(Institute for Information and Communication Technology Promotion)

REFERENCES

- [1] G. J. Sullivan, J.-R. Han, and T. Wiegand, "Overview of the High Efficiency Video Coding (HEVC) Standard," *IEEE Trans. Circuits Syst. Video Technol.*, vol. 22, no. 12, pp. 1649-1668, Dec. 2012.
- [2] W.-J. Han, J. Min, I.-K. Kim, E. Alshina, A. Alshin, T. Lee, J. Chen, V. Seregin, S. Lee, Y. M. Hong, M.-S. Cheon, N. Shlyakhov, K. McCann, T. Davies, and J.-H. Park, "Improved Video Compression Efficiency Through Flexible Unit Representation and Corresponding Extension of Coding Tools," *IEEE Trans. Circuits Syst. Video Technol.*, vol. 20, no. 12, pp. 1709-1720, Dec. 2010.
- [3] J. Yang, G. Won, B. Jun, "In-loop Filtering in HEVC," *The Magazine of the IEK*, vol.38, no.8, Aug. 2011.
- [4] I.-K. Kim, K. McCann, K. Sugimoto, B. Bross, and W.-J. Han, High Efficiency Video Coding (HEVC) Test Model 11 (HM11) Encoder Description, document JCTVC1002, Apr. 2013.
- [5] C.-M. Fu, C.-Y. Chen, C.-Y. Tsai, Y.-W. Huang, and S. Lei, CE13: Sample Adaptive Offset with LCU-Independent Decoding, document JCTVC-E049, Mar. 2011.
- [6] J.-R. Ohm, G. J. Sullivan, H. Schwarz, T. K. Tan, and T. Wiegand, "Comparison of the Coding Efficiency of Video Coding Standards-Including High Efficiency Video Coding (HEVC)," *IEEE Trans. Circuits Syst. Video Technol.*, vol. 22, no. 12, pp. 1669-1684, Dec. 2012.
- [7] W. Shen, Q. Shang and S. Shen, "A High-Throughput VLSI Architecture for Deblocking Filter in HEVC," *IEEE ISCAS*, May 2013.
- [8] M. Mody, H. Garud, S. Nagori, and D. K. Mandal, "High Throughput VLSI Architecture for HEVC SAO Encoding for Ultra HDTV," *Circuits and Systems (ISCAS), 2014 IEEE International Symposium on*, pp. 2620-2623, Jun. 2014.
- [9] J. Park, K. Ryoo, "Hardware Design of High Performance HEVC Deblocking Filter for UHD Videos," *Journal of the Korea Institute of Information and Communication Engineering*, vol. 19, no. 1, pp. 178-184, Dec. 2015.
- [10] H. Cho, K. Ryoo, "Low Area Hardware Design of Efficient SAO for HEVC Encoder," *Journal of the Korea Institute of Information and Communication Engineering*, vol. 19, no. 1, pp. 169-177, Jan. 2015.



박승용(Seungyong Park)

2010년 한밭대학교 공과대학 정보통신공학과 공학사
2012년 한밭대학교 정보통신전문대학원 정보통신공학과 공학석사
2012년 ~ 현재 한밭대학교 정보통신전문대학원 정보통신공학과 박사과정
※ 관심분야 : SoC 플랫폼 설계 및 검증, 멀티미디어 코덱 설계



임준성(Junseong Im)

2014년 한밭대학교 정보기술대학 정보통신공학과 공학사
2014년 ~ 현재 한밭대학교 정보통신전문대학원 정보통신공학화 석사과정
※ 관심분야 : SoC 플랫폼 설계 및 검증, 멀티미디어 코덱 설계



류광기(Kwangki Ryoo)

1986년 한양대학교 공과대학 전자공학과 공학사
1988년 한양대학교 대학원 전자공학과 공학석사
2000년 한양대학교 대학원 전자공학과 공학박사
1991년 ~ 1994년 육군사관학교 교수부 전자공학과 전임강사
2000년 ~ 2002년 ETRI 시스템IC설계팀 선임연구원
2010년 ~ 2011년 Univ of Texas at Dallas 방문교수
2003년 ~ 현재 한밭대학교 공과대학 정보통신공학과 교수
※ 관심분야 : 공학교육, SoC 플랫폼 설계 및 검증, 멀티미디어 코덱 설계