

고성능 HEVC 부호기를 위한 변환양자화기 하드웨어 설계

박승용 · 조홍선 · 류광기*

The Design of Transform and Quantization Hardware for High-Performance HEVC Encoder

Seungyong Park · Heungseon Jo · Kwangki Ryoo*

Department of Information and Communication Engineering, Hanbat National University, Daejeon 34158, Korea

요 약

본 논문에서는 고성능 HEVC(High Efficiency Video Coding) 부호기를 위한 변환양자화기 하드웨어 구조를 제안한다. HEVC 변환기는 울-왜곡 비용을 비교하여 최적의 변환모드를 결정하지만 울-왜곡 비용은 변환과, 양자화, 역양자화 그리고 역변환을 통해 계산된 왜곡 값과 비트 량으로 결정된다. 따라서 상당히 많은 연산량과 소요시간이 필요하기 때문에 고해상도/고화질의 영상을 실시간으로 처리하는데 어려움이 따른다. 본 논문에서는 변환을 통한 계수의 합계를 비교하여 변환모드를 결정하는 방법을 제안한다. 성능 평가 지표는 BD-PSNR과 BD-Bitrate를 사용하였으며, 실험 결과를 토대로 영상의 화질에서 큰 변화 없이 신속하게 모드를 결정할 수 있음을 확인하였다. 제안하는 하드웨어 구조는 변환모드에 따라 다른 값을 동일한 출력에 할당하고 곱셈 계수가 최대한 중복되도록 구성하여 하드웨어 면적을 감소시키고 연속적인 파이프라인 동작으로 구현함으로써 성능을 높였으며, 기존의 제안된 논문에서 사용한 공정 대비 더 큰 공정을 사용한 것을 감안하여 면적은 1/2배 감소, 성능은 2.3배 증가하였다.

ABSTRACT

In this paper, we propose a hardware architecture of transform and quantization for high-performance HEVC(High Efficiency Video Coding) encoder. HEVC transform decides the transform mode by comparing RDCost to search for the best mode of them. But, RDCost is computed using the bit-rate and distortion which is computed by transform, quantization, de-quantization, and inverse transform. Due to the many calculations and encoding time, it is hard to process high resolution and high definition image in real-time. This paper proposes the method of transform mode decision by comparing sum of coefficient after transform only. We use BD-PSNR and BD-Bitrate which is performance indicator. Based on the experimental result, We confirmed that the decision of transform mode can process images with no significant change in the image quality. We reduced hardware area by assigning different values at the same output according to the transform mode and overlapping coefficient multiplied as much as possible. Also, we raise performance by implementing sequential pipeline operation. In view of the larger process that we used compared with the process of reference paper, Our design has reduced by half the hardware area and has increased performance 2.3 times.

키워드 : HEVC, 변환, 양자화, 부호기, 변환모드

Key word : HEVC, Transform, Quantization, Encoder, Transform mode

Received 31 December 2015, Revised 22 January 2016, Accepted 03 February 2016

* Corresponding Author Kwangki Ryoo(E-mail:kkryoo@gmail.com, Tel:+82-42-821-1710)

Department of Information and Communication Engineering, Hanbat National University, Daejeon 34158, Korea

Open Access <http://dx.doi.org/10.6109/jkiice.2016.20.2.327>

print ISSN: 2234-4772 online ISSN: 2288-4165

©This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.
Copyright © The Korea Institute of Information and Communication Engineering.

I. 서 론

최근 UHD TV(Ultra High-Definition Television)와 같은 고해상도 TV와 스마트폰의 보급에 힘입어 고해상도 영상에 대한 수요와 소비자의 기대치가 급속도로 증가하고 있다. UHD급 고해상도 영상은 데이터 처리량이 상당히 많기 때문에 많은 저장 공간 및 고속의 통신 환경이 필요하며 영상 데이터를 압축 하는 기술이 반드시 필요하다. 이에 따라 VCEG(Video Coding Experts Groups)와 MPEG(Moving Picture Experts Group)은 공동으로 JVT-VC(Joint Collaborative Team on Video Coding)을 결성하여 차세대 영상 압축 코덱인 HEVC(High Efficiency Video Coding)를 2013년 4월에 국제 표준 제정 완료하였다. HEVC는 이전의 영상 압축 코덱인 H.264/AVC와 비교하여 동일한 영상 화질 대비 약 2배 압축률이 향상되었다.

HEVC 변환기는 영상 데이터를 공간 영역에서 주파수 영역으로 변환하여 양자화 효율을 높임으로써 부호화 과정에서 상당히 중요한 역할을 담당한다[1]. 또한 다양한 블록 크기에 대해 적응적으로 변환 과정을 수행하기 위해 4가지 변환모드(4x4, 8x8, 16x16, 32x32)를 지원하며[2], 윌-왜곡 비용을 비교함으로써 변환모드 중 가장 좋은 모드를 찾는다. 그러나 윌-왜곡 비용은 변환과, 양자화, 역양자화 그리고 역변환을 통해 계산된 왜곡 값과 비트 량으로 결정되기 때문에 상당히 많은 연산량과 소요시간이 필요할 뿐만 아니라 고해상도 영상을 실시간으로 처리하는데 어려움이 따른다. 따라서 본 논문에서는 변환을 통한 계수의 합계를 비교하여 보다 신속히 변환모드를 결정하는 방법과 고성능 및 저면적으로 동작하는 변환양자화 하드웨어 구조를 제안한다.

II. HEVC 변환 및 양자화

2.1. HEVC 변환

영상 압축에서 다른 영역의 신호로 변환하는 것은 공간 영역을 주파수 영역으로 변환하는 것을 의미한다. 화소를 공간 영역에서 주파수 영역으로 변환하는 이유는 양자화를 수행할 때 주파수 영역에서 부호화하는 것이 공간 영역에서 부호화하는 것보다 효율적이기 때문이다. HEVC에서는 비디오 압축에 적합한 DCT를 바탕

으로 하여 적은 메모리를 사용하여 빠른 변환을 수행할 수 있도록 정수 형태로 근사화하였다[3]. 표 1은 8x8 단위의 근사화한 DCT 행렬 계수를 나타낸 것이다. 마찬가지로 32x32 변환모드로 변환 과정을 수행하기 위해 32x32의 변환 행렬 계수가 존재한다.

Table. 1 8x8 DCT Coefficient

64	64	64	64	64	64	64	64
89	75	50	18	-18	-50	-75	-89
83	36	-36	-83	-83	-36	36	83
75	-18	-89	-50	50	89	18	-75
64	-64	-64	64	64	-64	-64	64
50	-89	18	75	-75	-18	89	-50
36	-83	83	-36	-36	83	-83	36
18	-50	75	-89	89	-75	50	-18

DCT 기반 변환 기술은 원본 블록과 예측 블록의 차이 값인 차분 블록을 행과 열에 대해 2-D(2-Dimension) 변환을 수행한다[4]. 2-D DCT 과정은 하드웨어로 구현시 상당히 많은 연산량이 요구되기 때문에 HEVC는 1-D DCT의 2회로 구현하였으며, 그림 1과 같이 변환 행렬의 Y축 대칭을 이용하여 곱셈 연산을 최대한 줄이는 알고리즘을 사용하였다.

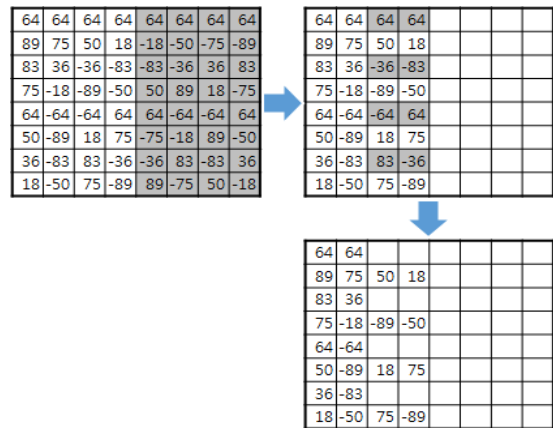


Fig. 1 The algorithm for multiplication reduction

2.2. HEVC 양자화

양자화는 영상 압축 기술에서 유일하게 데이터 손실이 일어나는 단계로서 주파수 변환을 수행한 계수에 대하여 양자화를 수행하며 변환 계수를 몇 개의 대표 값

으로 근사화하는 과정이다. 양자화는 입력 값을 양자화율로 나눔으로써 구현될 수 있고 양자화율은 소수로 구성되어있다. 따라서 HEVC는 소수와 나눗셈 연산을 피하기 위해 52개의 양자화 파라미터(QP : Quantization Parameter)를 6 증가할 때마다 양자화율이 2배 증가되도록 구성하였다. 식 (1)~(3)은 양자화를 수행하기 위한 식이다[5]. $QP\%6$ 은 QP를 6으로 나눈 나머지로 양자화 스케일($f[k]$) 중 하나의 값으로 선택된다. $QP/6$ 은 QP를 6으로 나눈 몫으로 시프트를 수행한다. $offset$ 은 식 (3)의 범위를 가지며 $BitDepth$ 는 입력 영상의 비트 심도, nS 는 변환 블록 크기의 \log_2 를 취한 값이다.

$$q_{ij} = ((d_{ij} \times f[QP\%6] + offset) \gg (29 + QP/6 - nS - BitDepth)) \quad (1)$$

$$i, j = 0, \dots, nS - 1$$

$$f[k] = \begin{cases} 26214, 23302, 20560, \\ 18396, 16384, 14564 \end{cases}, k = 0, \dots, 5 \quad (2)$$

$$\begin{aligned} offset &> 2^{28 + QP/6 - nS - BitDepth} \\ offset &< 2^{29 + QP/6 - nS - BitDepth} \end{aligned} \quad (3)$$

III. 제안하는 변환모드 결정 방법

HEVC는 최적의 변환 모드를 결정하기 위하여 그림 2와 같이 변환, 양자화, 역양자화 그리고 역변환 과정을 거쳐 생성된 복원 블록과 원본 블록의 차이 값인 왜곡률과 비트율로 계산된 울-왜곡 비용(RDCost)을 비교한다. 울-왜곡 비용을 비교하여 변환모드를 결정하는 것은 상당히 많은 연산량과 소요시간이 요구되기 때문에 제안하는 변환모드 결정 방법은 변환 과정만을 거쳐 생성된 계수의 합을 비교함으로써 부호화 시간을 대폭 감소시켰다.

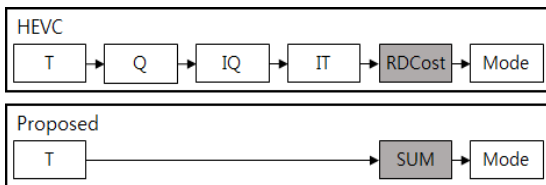


Fig. 2 HEVC and proposed decision of transform mode

본 장에서는 최적의 변환 모드를 결정하는 방법을 찾기 위해 수행한 2가지 실험(합계 계산 영역, 가중치 부여)에 대해 기술한다. 합계 계산 영역에 대한 실험은 변환 과정을 거친 후 계수의 합을 계산할 때 그림 3과 같이 7가지 다른 음영으로 처리된 영역의 합을 비교하여 수행하였다. 가중치 부여에 대한 실험은 상위 모드 계수의 합과 하위 모드 계수의 합에 가중치를 부여한 값을 비교하여 수행하였다. 가중치는 8가지로 Mul 1.4, Mul 1.2, No Weight, Div 1.2 Div 1.4, Div 1.6, Div 1.8, Div 2.0 값을 사용하였으며 표 2에 2가지 실험에 대한 결과를 나타내었다.

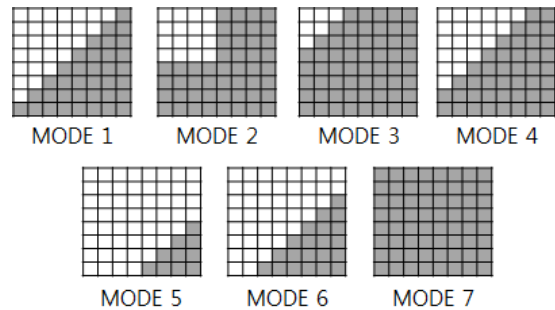


Fig. 3 The seven sum areas

본 논문에서 제안하는 변환모드 결정 방법은 HEVC 참조 소프트웨어인 HM 10.0 Intra main을 이용하여 모든 클래스 영상에 대해 검증하였다[6]. 실험 기준은 RDOQ : 0, Transformskip : 0, 5 프레임이며 성능 평가 지표는 4가지 QP(22, 27, 32, 37)에 대한 BD-PSNR과 BD-Bitrate를 사용하였다. 합계 계산 영역에 대한 실험은 “Div 2.0”을 기준으로 수행하였으며 “MODE7”에서 가장 우수한 결과로 BD-PSNR은 최소 0.0814 감소, 최대 1.6053 증가하였으며, BD-Bitrate는 최소 16.9284 감소, 최대 5.0430 증가하였다. 가중치 부여에 대한 실험은 “MODE7”을 기준으로 수행하였으며 Div 1.6, Div 1.8, Div 2.0을 제외하고 비슷한 성능을 보였기 때문에 설계를 고려하여 “No Weight”에서 가장 성능이 우수하다고 판단하였다. 결론적으로 제안하는 변환모드 결정 방법은 HEVC와 비교하여 화질 면에서 큰 차이 없이 신속하게 변환모드를 결정할 수 있다.

Table. 2 The experimental result of the transform mode decision

Class	MODE1		MODE2		MODE3		MODE4		MODE5	
	BDPSNR	BDBitrate	BDPSNR	BDBitrate	BDPSNR	BDBitrate	BDPSNR	BDBitrate	BDPSNR	BDBitrate
4K	-0.3306	17.8746	-0.2437	13.6956	-0.2398	13.7692	-0.3012	16.7379	-0.4221	23.0287
Class A	-0.5422	13.9567	-0.3567	9.0589	-0.3013	7.6298	-0.4573	11.6990	-0.7960	21.2203
Class B	-0.3536	13.9643	-0.2367	9.3491	-0.2120	8.4124	-0.3131	12.3374	-0.3131	12.3374
Class C	-0.4596	14.7942	-0.3251	11.0788	-0.2820	9.8857	-0.4193	13.7446	-0.8526	25.7315
Class D	-0.4976	11.9183	-0.2985	7.3729	-0.2545	6.3305	-0.4267	10.2981	-0.8880	21.2078
Class E	-0.6934	19.1696	-0.4698	12.9773	-0.4124	11.3718	-0.6152	16.9618	-0.6152	16.9618
Class F	0.9805	-10.3646	1.2046	-12.7912	1.2058	-12.6908	1.0268	-10.8591	1.0268	-10.8591
Class	MODE6		MODE7		Multiplication 1.4		Multiplication 1.2		No Weight	
	BDPSNR	BDBitrate	BDPSNR	BDBitrate	BDPSNR	BDBitrate	BDPSNR	BDBitrate	BDPSNR	BDBitrate
4K	-0.4025	21.8929	-0.0814	5.0430	-0.0660	4.0232	-0.0668	4.0631	-0.0666	4.0566
Class A	-0.7696	20.3672	-0.0340	0.8820	-0.0320	0.8314	-0.0321	0.8325	-0.0319	0.8315
Class B	-0.4958	19.5233	-0.0373	1.5366	-0.0287	1.2381	-0.0288	1.2356	-0.0286	1.2318
Class C	-0.7796	23.7414	-0.0036	1.0625	0.0029	0.8432	0.0013	0.8570	0.0009	0.8553
Class D	-0.7780	18.7379	0.0599	-0.6183	0.0653	-0.7840	0.0653	-0.7852	0.0648	-0.7687
Class E	-0.9854	27.7466	0.0094	-0.1291	0.0169	-0.3229	0.0184	-0.3649	0.0198	-0.4099
Class F	-0.0819	1.8740	1.6053	-16.9284	1.6142	-17.0023	1.6167	-17.0515	1.6175	-17.0587
Class	Division 1.2		Division 1.4		Division 1.6		Division 1.8		Division 2.0	
	BDPSNR	BDBitrate	BDPSNR	BDBitrate	BDPSNR	BDBitrate	BDPSNR	BDBitrate	BDPSNR	BDBitrate
4K	-0.0667	4.0626	-0.0660	4.0232	-0.0668	4.0885	-0.0685	4.1538	-0.0814	5.0430
Class A	-0.0337	0.8721	-0.0320	0.8314	-0.0315	0.8196	-0.0316	0.8305	-0.0340	0.8820
Class B	-0.0284	1.2357	-0.0287	1.2381	-0.0292	1.2618	-0.0306	1.3010	-0.0373	1.5366
Class C	0.0024	0.8736	0.0029	0.8432	0.0027	0.8038	0.0057	0.8564	-0.0036	1.0625
Class D	0.0628	-0.7208	0.0653	-0.7840	0.0604	-0.7196	0.0637	-0.7390	0.0599	-0.6183
Class E	0.0200	-0.4140	0.0169	-0.3229	0.0180	-0.3688	0.0195	-0.3938	0.0094	-0.1291
Class F	1.6217	-17.0715	1.6142	-17.0023	1.6051	-16.9238	1.6099	-16.9690	1.6053	-16.9284

IV. 제안하는 하드웨어 구조

제안하는 변환양자화기 하드웨어 구조는 그림 4와 같이 변환을 수행하는 2개의 1-D DCT 블록과 행렬 전치를 위한 Transpose Buffer, 양자화를 수행하는 Quant 블록으로 구성된다. 1-D DCT 블록은 하위 3개 블록(DIA, DSA, DOA)으로 구성된다. 1-D DCT 블록의 첫 번째 하위 블록인 DIA(DCT Input Adder) 블록은 DCT의 공통 변환 계수를 묶음으로써 곱셈 연산을 줄이는 역할을 담당하며, DSA(DCT Shift Adder) 블록은 행렬 연산의 곱셈 부분을 담당하고, DOA(DCT Output Adder) 블록은 DSA 블록의 출력 값을 입력받아 변환모드에 맞는 계수를 생성한다.

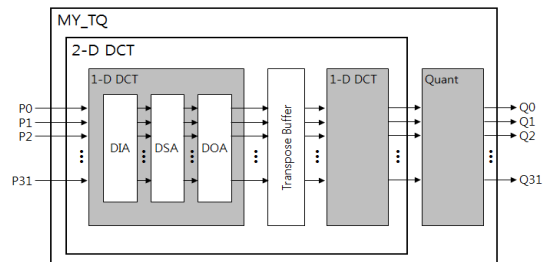


Fig. 4 Proposed Transform and Quantization hardware architecture

4.1. DIA 블록

HEVC 변환양자화기는 한 번에 한 줄(NxN 블록의 경우 N개)씩 입력받기 때문에 4x4 변환모드일 경우 식

Table. 3 DIA Block Output

Mode	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
4x4	A	A	B	B	A	A	B	B	A	A	B	B	A	A	B	B	A	A	B	B	A	A	B	B	A	A	B	B	A	A	B	B
8x8	A	A	B	B	A	A	B	B	A	A	B	B	A	A	B	B	C	C	C	C	C	C	C	C	C	C	C	C	C	C	C	
16x16	A	A	B	B	A	A	B	B	D	D	D	D	D	D	D	D	C	C	C	C	C	C	C	C	D	D	D	D	D	D	D	
32x32	A	A	B	B	E	E	E	E	E	E	E	E	E	E	E	E	E	E	E	E	E	E	C	C	C	C	D	D	D	D	D	

A : 64
 B : 83, 36
 C : 89, 75, 50, 18
 D : 90, 87, 80, 70, 57, 43, 25, 9
 E : 90, 88, 85, 82, 78, 73, 67, 61, 54, 46, 38, 31, 22, 13, 4

(4)과 같은 구조 4회 반복하여 4x4 1-D DCT를 구현할 수 있다. 또한 행렬의 계수는 Y축 대칭으로 동일한 절대 값(부호만 다르고 값은 동일)을 갖기 때문에 미리 덧셈을 수행하여 필요한 곱셈 연산을 줄일 수 있다.

$$\begin{pmatrix} 64 & 64 & 64 & 64 \\ 83 & 36 & -36 & -83 \\ 64 & -64 & -64 & 64 \\ 36 & -83 & 83 & -36 \end{pmatrix} \begin{pmatrix} P_0 \\ P_1 \\ P_2 \\ P_3 \end{pmatrix} = \begin{pmatrix} Q_0 \\ Q_1 \\ Q_2 \\ Q_3 \end{pmatrix} \quad (4)$$

또한 식 (4)의 4x4 변환 계수와 표 1의 8x8 변환 계수를 비교하면 상위 변환모드의 행렬 계수는 하위 변환모드의 행렬 계수를 포함하고 있음을 확인할 수 있다. 뿐만 아니라 32x32 변환 계수는 4x4, 8x8, 16x16 변환 계수를 모두 포함하고 있다. 제안하는 DIA 블록 하드웨어 구조는 표 3과 같이 변환모드에 따라 최대한 곱셈 계수가 중복되도록 구성하였으며, A~E 문자는 DIA 블록의 출력에 따라 생성되어야 할 곱셈 계수이다.

4.2. DSA 블록

DSA 블록은 DIA 블록의 출력에 대한 곱셈 연산을 수행한다. 하드웨어에서 곱셈 연산은 큰 면적을 요구하지만 DIA 블록에서 최대한 곱셈 계수가 중복되도록 구성하였고, 덧셈과 뺄셈, 시프트만을 이용하여 곱셈을 구현하였기 때문에 저면적으로 설계가 가능하다. 제안하는 DSA 블록 하드웨어 구조는 변환모드에 따라 다른 계수를 동일한 출력에 할당함으로써 필요한 출력을 480개에서 338개로 약 30% 감소시켰다. 표 4는 DSA 블록의 8, 9, 12, 13번째 입력에 대한 곱셈 계수를 생성하는 DSA_ADE 블록의 출력 순서를 나타낸 것이다.

Table. 4 Coefficient generation at DSA_ADE

Cycle	1	2	3	4
Output	ADE64_80_4	DE25_13	DE57_46	D87
	DE9_31	DE90	DE43_88	
		DE70_61	E38	
		E22	E78	
		E73	E54	
		E82	E67	
			E85	
	ST0_9	ST1_3	ST2_1	
ST0_1	ST1_1			

DSA_ADE 블록에서의 출력은 변환모드에 따라 값이 다르다. 예를 들어, 사이클 3에서 DE57_46은 16x16 변환모드에서 57(D), 32x32 변환모드에서 46(E)을 가지며 4x4, 8x8 변환모드에서는 사용하지 않는다. 블록에서는 입력에 따라 가감산기 없이 단독적으로 생성할 수 있는 계수는 2의 제곱수인 2, 4, 8, 16, 32, 64이다. 또한 이전 사이클에서 생성한 계수는 다음 사이클에서 입력으로 사용될 수 있고, 매 사이클 마다 2의 제곱수를 사용할 수 있도록 ST0_1, ST1_1, ST2_1과 같이 입력 값을 저장하고 있는 레지스터를 사용하였으며, 특수 값을 생성하기 위한 ST0_9(9), ST1_3(3)을 각 사이클에 생성하였다. 예를 들어, 16x16 변환모드에서 DE25_13(25)은 사이클 1에서 생성된 DE9_31(9)과 2의 제곱수인 16(ST0_1≪4)을 더하여 생성할 수 있다.

4.3. DOA 블록

DOA 블록은 곱셈이 완료된 계수를 입력받아 변환모드에 따라 덧셈 또는 뺄셈 과정을 거쳐 출력 계수를 생

Table. 5 DOA operating cycle at 32x32 transform mode

Cycle	1	2	3	4	5	6
A				64±64	A+add	A
B				add+36	B±83	B
C_0				18±50	C_0±75	C_1±C_0
C_1					add±89	
D_0		80±9	D_0±90	D_0±57	D_0±87	
D_1			25±70	D_1±43	add±D_1	D_1±D_0
E_0	4±31	E_0±13	E_0±46	E_0±E_1		
E_1		90±90	E_1±88			
E_2		61±22	E_2±38	E_2±E_3	E_2	
E_3		73±82	E_3±78			
E_4			54±67			
E+5			add±85	E_5±E_4	E_5±E_0	E_5±E_2

성한다. 또한 DSA 블록에서 매 사이클 마다 연속적으로 유효한 값이 출력되기 때문에 DOA 블록에서는 누산기를 이용하여 효율적으로 변환 계수를 생성할 수 있다. 그림 5는 제안하는 DOA 블록의 하드웨어 구조를 나타낸 것이며, 2개의 MUX Group과 7개의 Adder Group으로 구성된다.

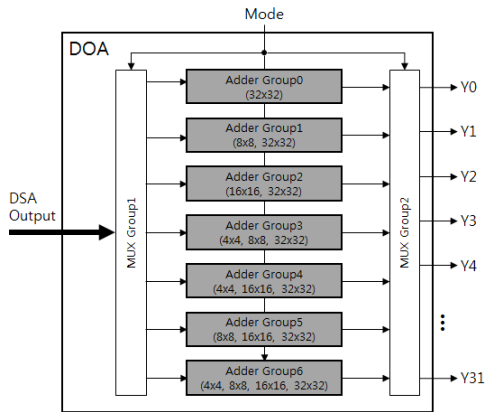


Fig. 5 Proposed DOA hardware architecture

Adder Group은 생성된 곱셈 계수의 가감산을 수행하고 변환모드 간 중복되는 연산을 하나의 Group에서 수행함으로써 요구되는 연산량을 감소시킨다. 표 5는 32x32 변환모드에서 각 곱셈 계수에 대한 DOA 블록의 가감산 동작 순서를 표시한 것이며, 완성된 결과 값은 음영으로 표시하였다. 표에 기술한 “add”는 시프트 연

산으로 계수가 손실되는 것을 방지하기 위한 값이다.

4.4. Quant 블록

HEVC에서 양자화 과정은 양자화 스케일 곱, offset 덧셈, 시프트 과정으로 진행되며 제안하는 Quant 블록은 HEVC와 동일한 과정을 수행한다. 표 6은 Quant 블록의 양자화 과정을 나타낸 것이다. 양자화 스케일 곱은 3 사이클 동안 수행되며 마지막 4번째 사이클에서 오프셋(offset)을 더하는 과정을 수행한다. 또한 QP에 따라 달라지는 양자화 스케일 곱을 동일한 가감산기에 구현하였고 사이클 0에서 계산된 값을 시프트 하여 재사용함으로써 필요한 가감산기를 줄였다.

Table. 6 Quantization process

Cycle		1	2	3	4
26214	A0	4+2	(A0<<8)+A0	A0+A1	A0+offset
	A1	64+32	(A1<<8)+A1		
23302	A0	4+2	(A0<<7)+A0	A0+A1	A0+offset
	A1	16384	(A0<<10)+A1		
20560	A0		16384+4096	A0+A1	A0+offset
	A1		64+16		
18396	A0		16384+2048	A0-A1	A0+offset
	A1		32+4		
16384	A0			16384	A0+offset
14564	A0	32+2048	(A0<<1)+A0	A0+A1	A0+offset
	A1	4	(A0<<2)+A1		
offset		21,888 ~ 44,826,624			

V. 하드웨어 검증 및 결과

제안하는 변환양자화기 하드웨어 구조의 검증 방법은 그림 6과 같이 HEVC 참조 소프트웨어인 HM 10.0에서 32x32 차분 블록을 추출하여 HM 10.0과 제안하는 하드웨어에 입력하여 변환 및 양자화 과정을 거친 결과 값을 비교하였으며, HEVC 변환 및 양자화와 동일하게 동작함을 확인하였다.

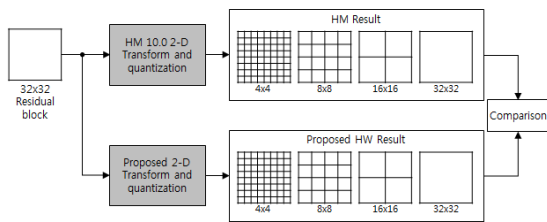


Fig. 6 Comparison between HM 10.0 and proposed hardware

또한 TSMC 130nm CMOS 공정 라이브러리로 합성한 결과 제안하는 변환양자화기는 표 7과 같이 최대 동작 주파수는 434MHz, 총 게이트 수는 431K로 나타났다. [7]에서 제안된 변환기와 제안하는 변환기 하드웨어 구조는 동일하게 187MHz에서 8K@120fps의 영상을 실시간으로 처리 가능하다. 그러나 [7]은 90nm 공정을 사용하여 347K로 합성된 반면 제안하는 하드웨어 구조는 더 큰 공정의인 130nm를 사용하여 비슷한 면적으로 합성된 것으로 보아 기존의 변환기의 약 1/2배 게이트 수를 갖는다. 또한 [7]은 최대 동작주파수가 187MHz인 반면에 제안하는 하드웨어 구조는 434MHz까지 동작 가능하기 때문에 187MHz보다 낮은 클럭을 사용하는 경우 하드웨어 최대 성능(Max. Throughput)은 동일하지만

높은 클럭을 사용하는 환경에서 [7]보다 최대 2.3배 빠르게 동작할 수 있다.

VI. 결론

본 논문에서는 HEVC 대비 보다 신속히 변환모드를 결정하는 방법과 변환양자화기 하드웨어 구조를 제안하였다. 제안하는 변환모드 결정 방법은 HEVC에서 윌-왜곡 비용을 비교하여 결정하는 방법에 비해 화질 면에서 큰 차이를 보이지 않으면서 요구되는 부호화 시간을 대폭 감소시켰다. 제안하는 변환양자화기 하드웨어 구조는 4개의 변환모드와 모든 양자화 파라미터를 지원하며 각 블록에서 중복되는 연산을 동일하게 처리함으로써 요구되는 연산량을 감소시켰으며, HM 10.0과 비교하여 동일하게 동작함을 확인하였다. 또한 TSMC 130nm CMOS 공정 라이브러리로 합성한 결과 총 게이트 수는 431K, 최대 동작 주파수는 434MHz이고, 187MHz에서 8K@120fps의 영상을 실시간 처리가능하면서 기존의 제안된 변환기에 약 1/2배 감소된 구조로 합성되었으며 최대 출력은 2.3배 증가하였다.

ACKNOWLEDGMENTS

This research was supported by the MSIP (Ministry of Science, ICT and Future Planning), Korea, under the Global IT Talent support program (IITP-2015-R0134-15-1019) supervised by the IITP(Institute for Information and Communication Technology Promotion)

Table. 7 Comparison between and reference proposed hardware

Architecture	Meher[7]	Proposed	
		2D Transform	2D Transform/ Quantization
Design	2D Transform	2D Transform	2D Transform/ Quantization
Technology	TSMC 90nm	TSMC 130nm	TSMC 130nm
Operating Frequency	187MHz	187MHz	187MHz
Supporting Video format	8K@120fps	8K@120fps	8K@120fps
Processing Rate	32	32	32
Supporting transform size	4x4, 8x8, 16x16, 32x32	4x4, 8x8, 16x16, 32x32	4x4, 8x8, 16x16, 32x32, All QP
Gate Counts	347K	374K	431K
Max. Frequency	187MHz	434MHz	434MHz
Max. Throughput	5.984G	13.888G	13.888G

REFERENCES

- [1] R. Coceicao, J. C. de Souza Jr, R. Jeske, B. Zatt, M. Porto, L. Agostini, "Low-Cost and High Throughput Hardware Design for the HEVC 16x16 2-D DCT Transform," *Journal of Integrated Circuits and Systems*, vol. 9, no. 1 pp. 25-35, Jan. 2014.
- [2] High Efficiency Video Coding (HEVC) text specification draft 10 (for FDIS & Consent), Document JCTVC-L1003_v9, JCT-VC of ITU-T SG16 WP3 and ISO/IEC JTC1/SC29/WG11 12th Meeting, Geneva CH, 14-23 Jan. 2013.
- [3] M. Budagavi, A. Fuldseth, G. Bjontegaard, V. Sze, M. Sadafale, "Core Transform Design in the High Efficiency Video Coding (HEVC) Standard," *IEEE Journal of Selected Topics in Signal Processing*, vol.7, no. 6, pp. 1029-1041, Dec. 2013.
- [4] G. J. Sullivan, J. Ohm, W. Han, T. Wiegand, "Overview of the High Efficiency Video Coding (HEVC) Standard," *IEEE Transaction on Circuit and Systems for Video Technology*, vol. 22 no. 12, pp. 1649-1668, Dec. 2012.
- [5] High Efficiency Video Coding (HEVC) Test Model 10 (HM 10) Encoder Description, Document JCTVC-L1002_v3, JCT-VC of ITU-T SG16 WP3 and ISO/IEC JTC1/SC29/WG11 12th Meeting, Geneva CH, 14-23 Jan. 2013.
- [6] Fraunhofer Heinrich Hertz Institute. HEVC(High Efficiency Video Coding) Reference Model 10.0[Internet]. Available: https://hevc.hhi.fraunhofer.de/svn/svn_HEVCSoftware/tags/HM-10.0/.
- [7] P. K. Meher, S. Y. Park, B. K. Mohanty, K. S. Lim, C. Yeo, "Efficient Integer DCT Architecture for HEVC," *IEEE Transaction on circuit and systems for video technology*, vol. 24, no. 1, pp. 168-178, Jan. 2014.



박승용(Seungyong Park)

2010년 한밭대학교 공과대학 정보통신공학과 공학사
 2012년 한밭대학교 정보통신전문대학원 정보통신공학과 공학석사
 2012년 ~ 현재 한밭대학교 정보통신전문대학원 정보통신공학과 박사과정
 ※ 관심분야 : SoC 플랫폼 설계 및 검증, 멀티미디어 코덱 설계



조흥선(Heungseon Jo)

2014년 한밭대학교 정보기술대학 정보통신공학과 공학사
 2014년 ~ 현재 한밭대학교 정보통신전문대학원 정보통신공학과 석사과정
 ※ 관심분야 : SoC 플랫폼 설계 및 검증, 멀티미디어 코덱 설계



류광기(Kwangki Ryoo)

1986년 한양대학교 공과대학 전자공학과 공학사
 1988년 한양대학교 대학원 전자공학과 공학석사
 2000년 한양대학교 대학원 전자공학과 공학박사
 1991년 ~ 1994년 육군사관학교 교수부 전자공학과 전임강사
 2000년 ~ 2002년 ETRI 시스템IC설계팀 선임연구원
 2010년 ~ 2011년 Univ of Texas at Dallas 방문교수
 2003년 ~ 현재 한밭대학교 공과대학 정보통신공학과 교수
 ※ 관심분야 : 공학교육, SoC 플랫폼 설계 및 검증, 멀티미디어 코덱 설계