

## Logic eFuse OTP 메모리 IP 설계

임영욱 · 하판봉 · 김영희\*

### Design of a Logic eFuse OTP Memory IP

Yongxu Ren · Pan-bong Ha · Young-Hee Kim\*

Department of Electronic Engineering, Changwon National University, Changwon 51140, Korea

#### 요 약

본 논문에서는 OTP (One-Time Programmable) IP (Intellectual Property)의 개발비용을 절감하고 개발 기간을 단축하기 위해 로직 트랜지스터만 이용한 로직 eFuse (electrical Fuse) OTP IP를 설계하였다. 웨이퍼 테스트 시 테스트 장비에서 FSOURCE 패드를 통해 VDD (=1.5V)보다 높은 2.4V의 외부 프로그램 전압을 eFuse OTP IP에만 공급하므로 eFuse OTP 이외의 다른 IP에는 소자의 신뢰성에 영향을 미치지 않으면서 eFuse OTP cell의 eFuse 링크에 높은 전압을 인가하도록 하였다. 한편 본 논문에서는 128행 × 8열의 2D (Dimensional) 메모리 어레이에 직접 FSOURCE 전압을 인가하여 eFuse에 인가되는 프로그램 파워를 증가시키면서 디코딩 로직 회로를 저면적으로 구현한 eFuse OTP 셀을 제안하였다. 동부하이텍 0.11 $\mu\text{m}$  CIS 공정을 이용하여 설계된 1Kb eFuse OTP 메모리 IP의 레이아웃 면적은 295.595 $\mu\text{m} \times 455.873\mu\text{m}$  (=0.134mm<sup>2</sup>)이다.

#### ABSTRACT

In this paper, a logic eFuse (electrical Fuse) OTP (One-Time Programmable) memory IP (Intellectual Property) using only logic transistors to reduce the development cost and period of OTP memory IPs is designed. To secure the reliability of other IPs than the OTP memory IP, a higher voltage of 2,4V than VDD (=1.5V) is supplied to only eFuse links of eFuse OTP memory cells directly through an external pad FSOURCE coming from test equipment in testing wafers. Also, an eFuse OTP memory cell of which power is supplied through FSOURCE and hence the program power is increased in a two-dimensional memory array of 128 rows by 8 columns being also able to make the decoding logic implemented in small area. The layout size of the designed 1kb eFuse OTP memory IP with the Dongbu HiTek's 110nm CIS process is 295.59 $\mu\text{m} \times 455.873\mu\text{m}$  (=0.134mm<sup>2</sup>).

**키워드** : 로직 eFuse, OTP, 외부 프로그램 전압, 저면적

**Key word** : Logic eFuse, OTP, external program volta, small area

Received 19 December 2015, Revised 12 January 2016, Accepted 26 January 2016

\* Corresponding Author Young-Hee Kim(E-mail:youngkim@changwon.ac.kr, Tel:+82-55-213-3658)

Department of Electronic Engineering, Changwon National University, Changwon 51140, Korea

Open Access <http://dx.doi.org/10.6109/jkiice.2016.20.2.317>

print ISSN: 2234-4772 online ISSN: 2288-4165

©This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.  
Copyright © The Korea Institute of Information and Communication Engineering.

## I. 서 론

PMIC (Power Management IC), DDI (Display Driver IC), CIS (CMOS Image Sensor), MCU (Micro-Controller Unit) 등의 시스템 반도체 칩에서 사용되는 비휘발성 메모리인 NVM (Non-Volatile Memory) IP (Intellectual Property)는 표 1에서 보는 바와 같이 OTP (One-Time Programmable) 메모리, MTP (Multi-Time Programmable) 메모리, EEPROM과 Flash 메모리 등이 있다. 이들 비휘발성 메모리 IP중 OTP 메모리는 추가 마스크가 필요 없으므로 NVM IP로 많이 사용된다. OTP 메모리 IP는 아날로그 회로 트리밍과 calibration, 칩 ID, 암호 키 (encryption key), 리페어 어드레스 (repair address), 불량 픽셀 어드레스 등을 저장한다 [1-3].

**Table. 1** Comparison of embedded memory IPs

NVM Type	OTP	MTP	EEPROM/ Flash
PGM Cycling	1	~ 1K	Over 100K
Cell Type	AntiFuse, eFuse, EPROM	Single Poly EEPROM	Double Poly EEPROM, Embedded Flash
Add Mask	0	≤ 1	5~9
Application	Trimming and Calibration, Chip ID, Encryption Key, Repair, Code Storage	Trimming and Calibration, Chip ID, Encryption Key, Repair, Code Storage	Code Storage, Data Storage

OTP 메모리 IP는 베이스 공정인 generic 공정기반으로 로직 트랜지스터만 사용하는 로직 OTP IP를 개발하게 되면 특정 응용 공정에 따라 OTP IP를 재설계할 필요 없이 개발하고자 하는 응용의 주력 공정에서 로직 OTP IP의 qualification만 다시 받으면 되므로 IP 개발비용을 절감하고 개발 기간을 단축할 수 있다. OTP 메모리 IP는 안티퓨즈 (Anti-Fuse) OTP와 eFuse (Electrical Fuse) OTP 메모리가 있다. 안티퓨즈 OTP 셀은 얇은 게이트 산화막을 갖는 MOS 트랜지스터에 고전압을 인가하여 게이트 산화막을 파괴시키므로 데이터를 프로그램 한다[4]. 그런데 안티퓨즈 OTP 메모리 IP는 응용분야에 따라 3.3V, 5V, 5.5V, 6V 등의 다양한 MV (Medium Voltage) 트랜지스터를 필요로 하므로 로

직 트랜지스터만 이용한 로직 OTP 설계가 불가능하다. 반면 eFuse OTP 셀은 폴리실리콘 게이트에 10mA~30mA 정도의 과전류를 흘려 eFuse를 선택적으로 blowing한다[5]. eFuse OTP 메모리 IP는 로직 트랜지스터와 MV 트랜지스터를 사용해서 eFuse OTP IP를 설계하는 경우[5]와 로직 트랜지스터만 사용해서 eFuse OTP IP를 설계하는 경우[6, 7]가 있다. 프로그램된 eFuse 링크 (link)의 post-program 저항이 큰 저항 값을 갖도록 하기 위해서는 eFuse 양단에 높은 프로그램 파워를 공급해서 높은 에너지가 공급되도록 해야 한다. 높은 프로그램 파워를 공급하는 방법은 eFuse 양단에 높은 전압을 인가할 필요가 있다[6, 8].





본 논문에서는 OTP IP의 개발비용을 절감하고 개발 기간을 단축하기 위해 로직 트랜지스터만 이용한 로직 eFuse OTP IP를 설계하였다. 그런데 로직 트랜지스터를 사용하는 로직 eFuse OTP IP는 low-VDD를 사용하므로 eFuse 양단에 고전압을 인가하기 어렵다. 그래서 본 논문에서는 웨이퍼 테스트 시 테스트 장비에서 FSOURCE 패드 (pad)를 통해 VDD (=1.5V)보다 높은 2.4V의 외부 프로그램 전압을 eFuse OTP IP에만 공급하므로 eFuse OTP 이외의 다른 IP에는 소자의 신뢰성에 영향을 미치지 않으면서 eFuse OTP cell의 eFuse 링크에 높은 전압을 인가하도록 하였다. 한편 128행 × 8열의 메모리 어레이에 있는 1Kb의 셀 (cell) 중 한 비트씩 프로그램하기 위해서는 행 디코딩 (row decoding)과 열 디코딩 (column decoding)에 의해 한 비트를 선택해야 한다. 한 열에 연결된 모든 eFuse 셀에 FSOURCE를 직접 연결하기 위해서는 하나의 프로그램 트랜지스터에 하나의 기억소자인 eFuse 링크만 있는 기존의 단위 셀 (unit cell) 회로에 한 셀만 선택해주는 디코딩 로직을 추가해야 한다. 그래서 본 논문에서 제안하는 eFuse 셀은 128행 × 8열의 2D (Dimensional) 메모리 어레이에 직접 FSOURCE 전압을 인가하여 eFuse에 인가되는 프로그램 파워를 증가시키면서 디코딩 로직 회로를 저면적으로 구현한 eFuse OTP 셀을 제안하였다.

## II. 회로 설계

eFuse OTP 셀은 한 개의 프로그램 트랜지스터에 하나의 기억소자인 eFuse 링크만 있으면 된다. 표 2은

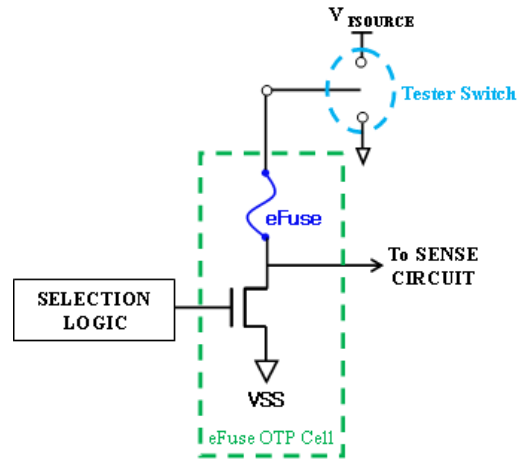
eFuse OTP 셀 기술개발 동향으로 싱글 포트 (single port) eFuse OTP 셀[8, 9]과 듀얼 포트 (dual port) eFuse OTP 셀[7, 10]로 구분된다. 싱글 포트 eFuse OTP 셀은 읽기 포트 (read port)와 프로그램 포트 (program port)가 하나로 공유된 형태이다. 이중 하나는 22nm CMOS 공정에서 프로그램 트랜지스터로 PMOS 트랜지스터를 사용한 싱글 포트 eFuse OTP 셀이고[8], 다른 하나는 45nm SOI CMOS 공정에서 프로그램 트랜지스터로 NMOS 트랜지스터를 사용한 싱글 포트 eFuse OTP 셀이다[9]. 반면 듀얼 포트 eFuse OTP 셀은 읽기 포트와 프로그램 포트가 분리된 형태로 큰 프로그램 전류를 흘릴 수 있는 큰 채널 폭의 NMOS 트랜지스터와 읽기 전류 (read current)를 줄일 수 있는 읽기 모드용 작은 채널 폭의 read NMOS 트랜지스터로 구성되어 있다. Read NMOS 트랜지스터의 채널 폭을 작게 하는 이유는 프로그램 되지 않은 eFuse 셀을 읽어들 때 전류밀도가 큰 전류가 eFuse 링크에 흐르면서 EM (Electro-Migration) 현상에 의해 blowing되는 문제를 해결하기 위한 것이다[11].

**Table. 2** Development trends of eFuse OTP memory cell technology

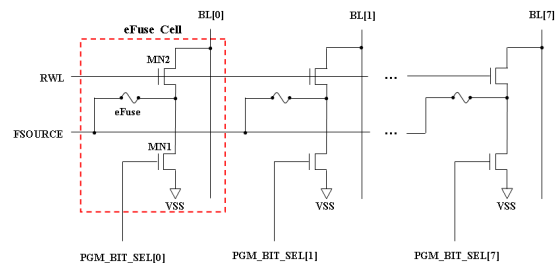
Ref.	Process	Cell Structure	Cell Size	Memory Density	Memory IP Size	Program Voltage
[3]	Intel 22nm CMOS		16.4 $\mu\text{m}^2$	80b		1.6V
[4]	IBM 45nm CMOS		3.6 $\mu\text{m}^2$	4K	0.038mm <sup>2</sup> <sub>2</sub>	1.5V
[5]	IBM					
[6]	Hynix 90nm CIS		74.27 $\mu\text{m}^2$	512b	0.06mm <sup>2</sup>	5V

eFuse 양단에 높은 전압을 인가하는 방법은 eFuse 링크의 양극 (anode)에 인가되는 프로그램 전압을 IP 내부 회로의 PD (Program Data) 구동회로를 통해서 인가하는 것보다 그림 1에서 보는 바와 같이 테스트 장비에서 스위치를 통해 VFOURCE (FSOURCE voltage)를 직접 인가할 수 있다. 그림 2는 그림 1의 싱글 포트 eFuse OTP 셀을 이용하여 셀 어레이인 1행  $\times$  8열의 eFuse OTP 셀 어레이 회로도를 보여주고 있다. 그림 2에서 보

는 바와 같이 외부 프로그램 전압인 FSOURCE 전압은 eFuse 링크의 양극에 공통으로 연결되어 있다. 그림 2의 셀 어레이 회로는 1D 어레이로 2D 어레이로 확장할 수는 없다.



**Fig. 1** Single-port eFuse OTP memory cell and its peripheral circuit



**Fig. 2** eFuse cell array of one row by eight columns using an external program voltage[5]

2D 어레이로 eFuse OTP 셀을 배열하는 방법은 그림 3에서 보는 바와 같이 eFuse 셀을 4행  $\times$  8열 어레이로 배열되어 있으며, 행 어드레스 디코딩을 하는 WL 디코더 회로에 의해 4개의 WL 중 한 WL을 선택하고 열 어드레스 디코딩과 프로그램 데이터의 조합 논리에 의해 BL 프로그램 선택 (program select) 회로에 의해 8개의 BL 중 한 BL이 선택된다. 선택된 BL은 BL과 VPGM (Program Voltage) 사이에 있는 PMOS 트랜지스터가 ON되면서 eFuse 링크에 고전류를 흘려주어 선택된 셀의 eFuse를 blowing한다. 이와 같이 선택된 WL과 선택

된 BL이 만나는 eFuse OTP 셀이 프로그램된다. 그러나 그림 3의 eFuse OTP 셀 회로는 PMOS 스위치를 통해 BL에 VPGM 전압을 공급하므로 PMOS 스위치에 전압 강하 (voltage drop)이 걸리면서 eFuse 링크에 충분한 프로그램 파워의 공급이 안 될 수가 있다.

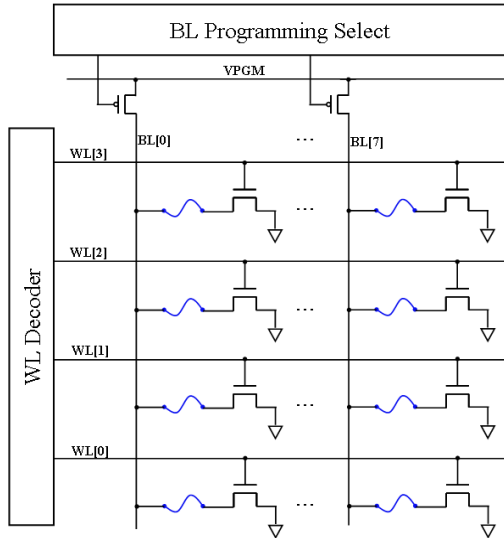


Fig. 3 eFuse OTP memory cell programmed by a WL decoder and a BL programming selector[6]

FSOURCE를 모든 eFuse에 직접 인가하는 방법은 그림 4에서 보는 바와 같이 FSOURCE를 eFuse의 양극에 연결한다. 프로그램 모드나 읽기 모드에서 행 방향의 WL 선택 신호 (WL select signal)인 WL\_S 신호와 열 방향의 BL 선택 신호 (BL select signal)인 BL\_S 신호의 NORing에 의해 NMOS 트랜지스터 MN11과 MN12는 ON된다. 프로그램 모드에서 테스트 스위치를 통해 FSOURCE 노드에 프로그램 전압을 인가하면 eFuse 링크는 고전류가 흘러서 blowing 된다. 반면 읽기 모드에서는 FSOURCE를 플로팅으로 두면 eFuse의 프로그램 유-무에 따라 그 데이터가 BL으로 전달된다. 여기서 WL\_S와 BL\_S 신호는 active low 신호이다. 그림 4의 eFuse 셀을 이용하여 외부 프로그램 전압을 FSOURCE 노드를 통해 2D 셀 어레이의 eFuse에 직접 인가할 수 있다. 그림 5는 외부 프로그램 전압을 FSOURCE를 통해 eFuse에 직접 인가한 4행 × 8열 어레이의 eFuse 셀 어레이 회로도를 보여주고 있다.

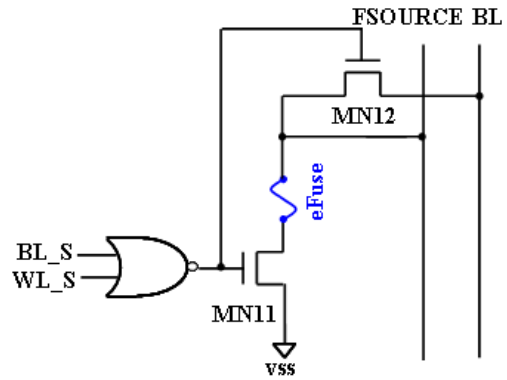


Fig. 4 Circuit of an eFuse OTP memory cell including the decoding logic[10]

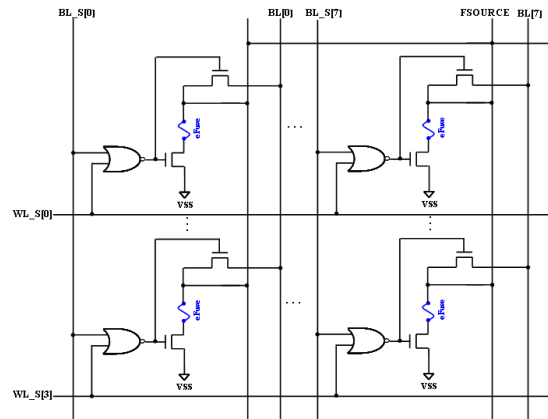


Fig. 5 Two-dimensional cell array of eFuses to which the FSOURCE voltage is applied directly[10]

본 논문에서는 OTP IP의 개발비용을 절감하고 개발 기간을 단축하기 위해 로직 트랜지스터만 이용한 로직 eFuse OTP 셀을 제안하였고 제안된 셀을 사용하여 eFuse OTP IP를 설계하였다. 로직 eFuse OTP IP는 low-VDD를 사용하므로 eFuse 양단에 고전압을 인가하기 어렵다. 그래서 본 논문에서는 웨이퍼 테스트 시 테스트 장비에서 FSOURCE pad를 통해 VDD (=1.5V)보다 높은 2.4V의 외부 프로그램 전압을 eFuse OTP IP에만 공급하므로 eFuse OTP 이외의 다른 IP에는 소자의 신뢰성에 영향을 미치지 않으면서 eFuse OTP 셀의 eFuse 링크에 높은 전압을 인가하도록 하였다. 한편 128행 × 8열의 메모리 어레이에 있는 1Kb의 셀 중 한 비트 씩 프로그램하기 위해서는 행 디코딩과 열 디코딩

에 의해 한 비트를 선택해야 한다. 모든 eFuse 셀에 FSOURCE (=2.4V)를 직접 연결하면서 한 eFuse OTP 셀을 선택하기 위해서 그림 6에서 같이 디코딩 로직을 추가하였다. 로직 트랜지스터를 이용한 eFuse OTP 셀의 회로도에는 eFuse, 큰 프로그램 전류를 흘릴 수 있는 큰 채널 폭의 프로그램용 1.5V NMOS 트랜지스터(MN21), 읽기 모드용 1.5V NMOS 트랜지스터(MN22), 그리고 프로그램 트랜지스터의 게이트인 NG를 제어하는 디코딩 로직으로 구성되어 있으며, eFuse의 프로그램 이전 저항은 50~100Ω 정도이다.

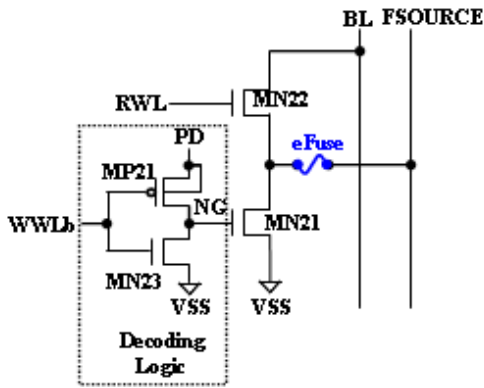


Fig. 6 Proposed eFuse OTP cell circuit

그림 6에 있는 디코딩 로직의 진리표는 표 3과 같이 입력 신호로 WWLb (Write Word-Line bar)와 PD (Program Data) 신호가 들어오고 출력 신호는 NG이다. 읽기 모드나 프로그램 모드 중 선택되지 않은 행의 WWLb는 로직 '1' 상태이고 NG는 '0' 상태가 되어 MN21은 OFF된다. 프로그램 모드에서 선택된 행의 WWLb는 '0'이고 PD가 '1'인 경우 NG가 '1' 상태가 되어 MN21은 ON되어 eFuse는 blowing된다.

그리고 WWLb가 '0'이고 PD가 '0'인 경우는 NG가 플로팅이지만 WWLb가 VDD에서 0V로 스위칭하면서 MP21의 게이트와 드레인 사이의 overlap에 의한 게이트 산화막 커패시턴스의 커플링에 의해 NG는 살짝 negative로 떨어지므로 MN21은 OFF 상태를 유지하게 되며 eFuse는 non-blown 상태를 유지한다. 그래서 트랜지스터 2개로 2-input NOR 게이트와 동일한 기능을 수행한다.

Table. 3 Truth table of the decoding logic in an eFuse OTP memory cell

WWLb	PD	NG
0	0	Floating
0	1	1
1	0	0
1	1	0

그림 7은 제안된 eFuse OTP 셀의 레이아웃 이미지를 보여주고 있으며, 셀 사이즈는 30.345μm × 3.019μm (=91.61μm<sup>2</sup>)이다.

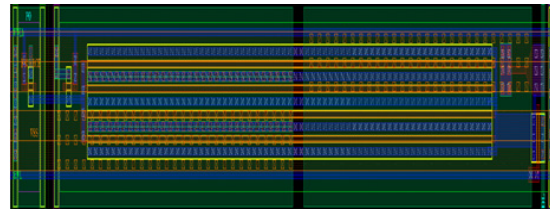


Fig. 7 Layout image of the proposed eFuse OTP memory cell

그림 6에서 제안된 eFuse OTP 셀의 동작 모드별 바이어스 전압은 표 4에서 보는 바와 같다. DIN (input data)은 프로그램할 입력 데이터이다. 프로그램 모드에서 FSOURCE 전압은 외부프로그램 전압인 2.4V로 eFuse의 양극에 인가되고, RWL은 0V를 구동한다. 선택된 eFuse OTP 셀을 '1'로 프로그램 하는 경우 WWLb와 PD는 각각 0V와 VDD 전압이 인가되면서 NG는 VDD가 되어 eFuse를 blowing한다. 한편 프로그램 모드에서 PD가 0V인 경우나 WWLb가 VDD인 경우는 프로그램 트랜지스터가 OFF 상태에 있으므로 eFuse 링크는 blowing되지 않는다.

한편 읽기 모드에서는 행 어드레스인 A[9:3]을 디코딩 하여 선택된 RWL과 WWLb는 모두 VDD를 구동한다. 그리고 PD는 열 어드레스인 A[2:0]에 상관없이 모든 0V를 구동한다. 이와 같이 '0'로 프로그램 된 셀은 eFuse 링크를 통해 전류 경로가 제공되어 BL과 DOUT은 모두 로직 '0' 상태인 반면, '1'로 프로그램 된 셀은 eFuse 링크가 고저항 상태에 있으므로 BL과 DOUT은 모두 로직 '1' 상태를 출력한다.

**Table. 4** Bias conditions of an eFuse OTP cell according to the operation modes

Signal	Program Mode		Read Mode	
	0	1	0	1
DIN	0	1	0	1
FSOURCE	2.4V	2.4V	0V	0V
RWL	0V	0V	VDD	VDD
WWLb	Unselected	VDD	VDD	VDD
	Selected	0V	0V	VDD
NG	Unselected	0V	0V	0V
	Selected	Floating	VDD	0V
BL	Floating	Floating	0	1
DOUT	X	X	0	1

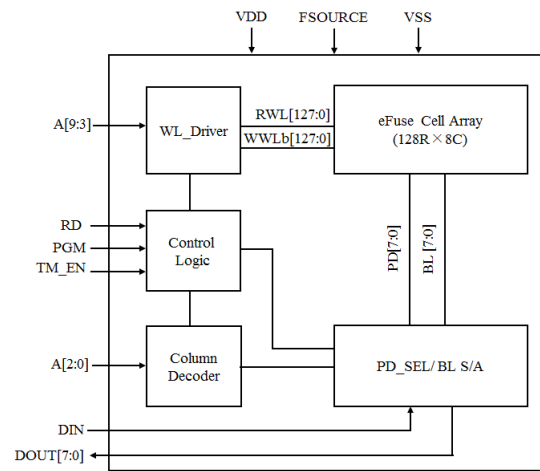
설계된 1Kb eFuse OTP 메모리 IP의 주요 특징은 표 5와 같이 셀 어레이는 128행 × 8열로 구성되어 있다. 사용되는 전원전압은 로직 전압인 VDD (=1.5V)를 사용하고 프로그램 모드에서 프로그램 전압은 FSOURCE를 통해 2.4V가 공급된다. 동작 모드는 프로그램, normal read, program-verify-read 모드가 지원된다. 그리고 eFuse OTP 메모리의 프로그램 비트와 읽기 비트는 각각 1비트와 8비트 씩 수행된다. 설계에 사용된 소자는 1.5V의 로직 트랜지스터만 사용하였다.

**Table. 5** Major specification of 1Kb OTP memory IP

Items	Main Features
Process	Dongbu 110nm CIS
OTP Cell Array Size	128R × 8C
Fuse Type	N-poly (Co-silicide)
Supply Voltage (VDD)	1.5V ± 10%
Temperature Range	-40°C ~ 85 °C
Operating Mode	Program / Normal Read / Program-Verify-Read
Program bit / Read bit	1bit / 8bit
Program Voltage	2.4V
Program Time	20 μs
Access Time	500 ns

본 논문에서 설계된 1Kb eFuse OTP 메모리 IP의 블록 다이어그램은 그림 8에서 보는 바와 같이 128 행 × 8 열의 셀 어레이, WL 구동회로, PD 선택 회로와 데이터

를 읽어내기 위한 BL S/A (Bit-Line Sense Amplifier) 회로, 제어신호 (RD, PGM, TM\_EN)에 따라 프로그램 모드와 읽기 모드에 적합한 내부 제어 신호를 공급하는 제어 로직으로 구성되어 있다. 어드레스는 행 어드레스인 A[9:3] 신호와 열 어드레스인 A[2:0]가 있다. 출력 데이터 신호인 DOUT[7:0]과 입력 데이터 신호인 DIN은 각각 분리되어 있다. 그리고 10개의 어드레스 신호에 의해 1Kb 중 1비트가 선택되며, 읽기와 쓰기는 각각 1바이트와 1비트 씩 수행된다.



**Fig. 8** Block diagram of 1Kb logic eFuse OTP memory IP

1Kb eFuse OTP IP의 코어 회로는 128개의 행중 하나를 선택해주는 WL 구동회로, 프로그램 모드에서 8개의 PD중 하나의 PD에 DIN을 전달하는 PD 선택 회로와 읽기 모드에서 BL[7:0]를 센싱하는 BL S/A 회로가 있다. 그림 4는 설계된 WL 구동회로는 그림 9와 같다. 프로그램 모드로 진입하게 되면 WLEN\_PGM 신호가 VDD로 되면 행 어드레스인 A[9:3]을 디코딩하여 선택되는 WWLb만 0V의 전압을 구동하고 선택되지 않은 WWLb는 VDD를 유지한다. 이때 WLENb\_RD 신호는 프로그램 모드에서 VDD를 유지하므로 RWL은 0V를 유지한다. 그리고 읽기 모드에서 선택된 RWL은 VDD로 구동되고 선택되지 않은 RWL은 0V를 유지한다. 이때 WLEN\_PGM 신호는 읽기 모드에서 0V를 유지하므로 WWLb[127:0]는 행 어드레스인 A[9:3]에 상관없이 모두 VDD를 유지한다.

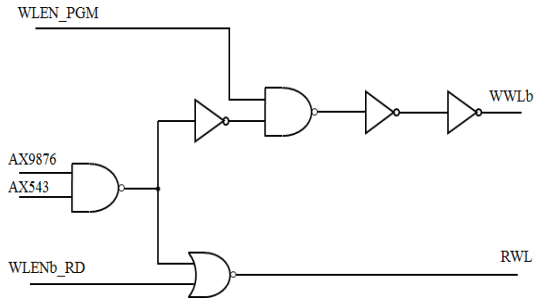


Fig. 9 WL driver

그림 10은 프로그램 모드에서 A[2:0]을 디코딩하여 프로그램 되는 열을 선택해주는 PD 선택 회로이다. 프로그램 모드로 진입하게 되면 WLEN\_PGM 신호는 high로 활성화된다. 열 어드레스인 A[2:0] 디코딩한 COL\_SEL 신호가 VDD로 스위칭된 PD 선택 회로에서 만 DIN이 “1”인 경우 PD는 VDD로 구동되고, DIN이 ‘0’인 경우 PD는 0V를 구동한다. COL\_SEL 신호가 0V로 선택되지 않는 PD 선택 회로의 PD는 DIN에 상관없이 0V를 유지한다.

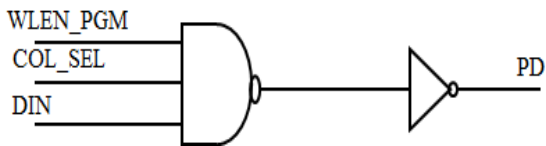


Fig. 10 PD selector

1Kb eFuse OTP 코어회로에 사용된 BL S/A 회로는 BL과 VREF의 차동 입력 전압을 센싱하여 래치하는 S/A 기반 D F/F 회로를 사용하였다. 설계된 BL S/A는 negative edge triggered D F/F으로 SAENb가 high인 구간 동안 그림 11의 N1과 N2 노드는 0V로 리셋 (reset)되며, 이 조건에서 NOR-type SR 래치 회로는 이전 상태의 데이터를 래치한다. 한편 SAENb가 high에서 low로 활성화되면 BL과 VREF의 차동 전압을 센싱하여 DOUT 포트에 읽어낸 데이터를 출력한다[12].

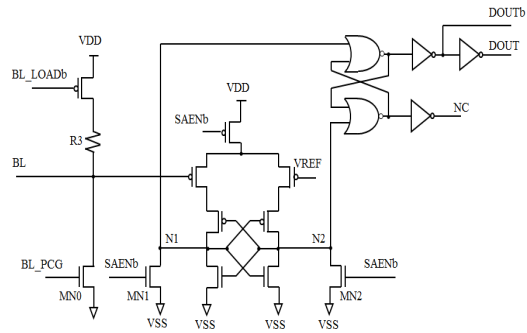


Fig. 11 BL S/A

FSOURCE 전압은 프로그램 모드 시 테스트 장비를 통해 2.4V의 외부 프로그램 전압이 인가되는 반면, 나머지 모드에서는 테스트 장비의 스위치가 OFF된 상태에서 그림 12의 GND 클램핑 회로를 사용하여 0V 전압으로 바이어싱 하도록 설계하였다. GND 클램핑 회로의 동작은 VDD 전원이 OFF된 상태에서 FSOURCE 노드의 전압은 방전에 의해 0V를 유지한다. 만약 FSOURCE 노드가 플로팅 상태에서 VDD 전원이 ON 되는 경우는 인버터 (INV)가 VDD 전압을 출력하면서 MN1이 ON되어 FSOURCE 노드의 전압을 0V로 클램핑 한다[5]. 그리고 그림 12의 GND 클램핑 회로에서 보는 바와 같이 트랜지스터의 폭 (width)이 큰 MN0를 사용하여 읽기 모드에서 FSOURCE 노드의 전압을 확실하게 0V로 클램핑 시켰다.

동부하이텍 0.11 $\mu$ m CIS 공정을 이용하여 설계된 1Kb eFuse OTP 메모리 IP의 레이아웃 이미지는 그림 13과 같으며, 레이아웃 면적은 295.595 $\mu$ m × 455.873 $\mu$ m (=0.134mm<sup>2</sup>)이다.

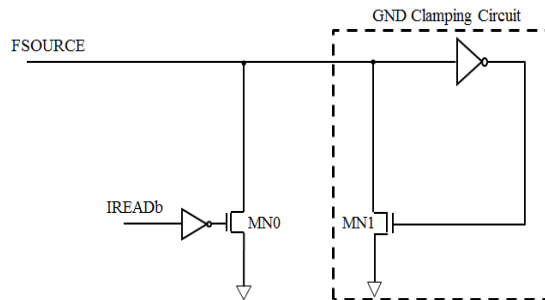


Fig. 12 FSOURCE clamping circuit

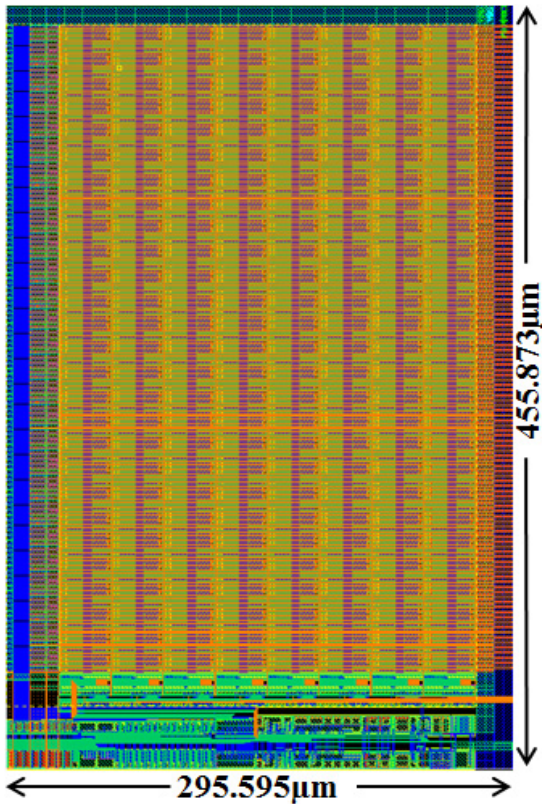


Fig. 13 Layout image of the designed 1Kb eFuse OTP memory IP

### III. 모의실험 결과

그림 14는 1Kb 로직 eFuse OTP 메모리 IP에 대한 프로그램 모드에서의 모의실험 결과이다. 프로그램 모드에 진입하기 전에 FSOURCE 전압을 프로그램 전압인 2.4V를 인가한다. A[9:0]를 먼저 인가한 상태에서 PGM 신호가 활성화 되면 DIN이 '1'인 경우 그림 14(a)에서 보는 바와 같이 선택된 eFuse OTP 셀의 WWLb과 PD 신호는 각각 0V, VDD로 활성화 되어 eFuse 셀의 프로그램 트랜지스터 ON 되어 큰 프로그램 전류가 eFuse 링크를 통해서 흐르면서 blowing된다. 반면 DIN이 '0'인 경우 그림 14(b)에서 보는 바와 같이 WWLb과 PD 신호는 모두 low가 되어 프로그램 트랜지스터를 OFF 시켜준다. 그래서 eFuse OTP 셀의 링크는 프로그램 전류가 흐르지 않으므로 blowing되지 않는다.

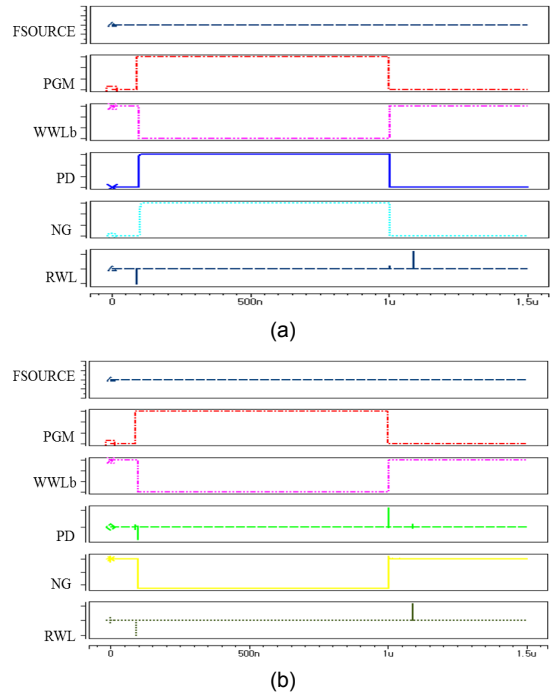
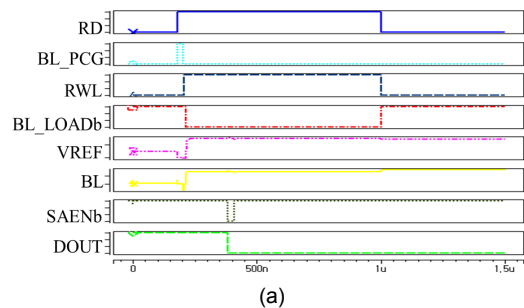


Fig. 14 Simulation results in the program mode: (a) in case that DIN = '1' and (b) in case that DIN = '0'

그림 15는 1Kb eFuse OTP 메모리 IP에 대한 읽기 모드에서의 모의실험 결과 파형이다. RD 신호가 high 상태로 활성화되면 BL\_PCG 신호의 high 펄스에 의해 VREF와 BL 전압을 0V로 프리차징 한다. 그리고 RWL 신호가 high로 활성화 되고 BL\_LOADb 신호가 low로 활성화되면서 VREF 기준전압이 만들어지고, 셀의 데이터가 BL에 전달된다. 셀의 데이터가 BL에 충분히 전달되면 SAEN 신호가 high로 활성화되면서 S/A 기반의 D/F 회로는 VREF와 BL 전압을 비교·센싱되어 DOUT으로 전달한다.





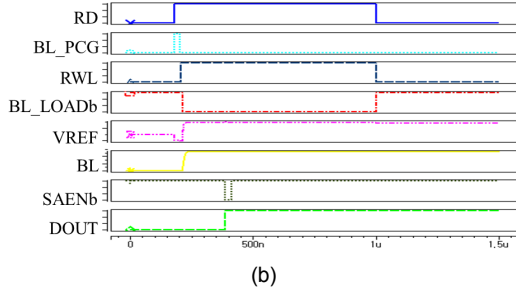


Fig. 15 Simulation results in the read mode: (a) in case of being programmed with '0' and (b) in case of being programmed with '1'

설계된 1Kb eFuse OTP에서 프로그램된 eFuse 링크의 센싱 저항에 대한 모의실험 결과는 표 6에서 보는 바와 같다. eFuse OTP의 program-verify-read 모드와 read 모드에서 프로그램된 eFuse 센싱 저항은 각각 28.2kΩ과 12.9kΩ으로 모의실험 되었다.

Table. 6 Simulation result of programmed eFuse link resistances

VDD	Temp	Program-Verify-Read Mode					Read Mode				
		SS model	SF model	TT model	FS model	FF model	SS model	SF model	TT model	FS model	FF model
1.35V	-40°C	24.5K	28.2K	25.7K	25.3K	26.2K	11.8k	10.1k	11.0k	11.8k	10.5k
	25°C	24.6K	27.2K	25.5K	26.9K	26.3K	12.3k	10.7k	11.5k	12.3k	10.8k
	85°C	26.3K	26.5K	26.5K	27.8K	26.9K	12.9k	11.2k	11.8k	12.7k	11.1k
1.5V	-40°C	24.9K	26.7K	25.4K	25.4K	25.7K	10.8k	10.0k	10.4k	10.8k	10.1k
	25°C	25.0K	26.2K	25.6K	26.6K	26.0K	11.3k	10.3k	10.7k	11.2k	10.3k
	85°C	26.2K	26.0K	26.4K	27.2K	26.9K	11.7k	10.6k	11.0k	11.5k	10.5k
1.65V	-40°C	24.8K	25.8K	25.3K	25.4K	25.4K	10.1k	9.6k	9.8k	10.0k	9.9k
	25°C	25.8K	26.1K	25.7K	26.6K	26.0K	10.4k	9.8k	10.0k	10.3k	10.2k
	85°C	26.3K	25.8K	26.4K	27.1K	26.6K	10.7k	10.0k	10.2k	10.6k	10.2k

#### IV. 결 론

본 논문에서는 OTP IP의 개발비용을 절감하고 개발 기간을 단축하기 위해 로직 트랜지스터만 이용한 로직 eFuse OTP IP를 설계하였다. 그런데 로직 트랜지스터를 사용하는 로직 eFuse OTP IP는 low-VDD를 사용하므로 eFuse 양단에 고전압을 인가하기 어렵다. 그래서 본 논문에서는 웨이퍼 테스트 시 테스트 장비에서 FSOURCE 패드를 통해 VDD (=1.5V)보다 높은 2.4V의 외부 프로그램 전압을 eFuse OTP IP에만 공급하

로 eFuse OTP 이외의 다른 IP에는 소자의 신뢰성에 영향을 미치지 않으면서 eFuse OTP 셀의 eFuse 링크에 높은 전압을 인가하도록 하였다. 한편 128행 × 8열의 메모리 어레이에 있는 1Kb의 셀 중 한 비트 씩 프로그램하기 위해서는 행 디코딩과 열 디코딩에 의해 한 비트를 선택해야 한다. 한 열에 연결된 모든 eFuse 셀에 FSOURCE를 직접 연결하기 위해서는 하나의 프로그램 트랜지스터에 하나의 기억소자인 eFuse 링크만 있는 기존의 단위 셀 회로에 한 셀만 선택해주는 디코딩 로직을 추가하였다. 동부하이텍 0.11µm CIS 공정을 이용하여 설계된 1Kb eFuse OTP 메모리 IP의 레이아웃 면적은 295.595µm × 455.873µm (=0.134mm<sup>2</sup>)이다.

#### ACKNOWLEDGMENTS

This research is financially supported by Changwon National University in 2015~2016.

#### REFERENCES

- [ 1 ] Comparison of Embedded Non-Volatile Memory Technologies and Their Applications[Internet]. Available: [http://www.kilopass.com/wp-content/uploads/2010/04/comparison\\_of\\_embedded\\_nvm.pdf](http://www.kilopass.com/wp-content/uploads/2010/04/comparison_of_embedded_nvm.pdf).
- [ 2 ] EMBEDDED NON -VOLATILE MEMORY[Internet]. Available: [http://www.umc.com/english/pdf/eNVM\\_DM.pdf](http://www.umc.com/english/pdf/eNVM_DM.pdf).
- [ 3 ] APPLICATION[Internet]. Available: <http://www.sidense.com/applications>.
- [ 4 ] T. H. Kim, L. Z. Li, O. Y. Shim, M. H. Park, P. B. Ha, and Y. H. Kim, "Design of Synchronous 256-bit OTP Memory," *KIMICS*, vol. 12, no. 7, pp. 1227-1234, July 2008.
- [ 5 ] G. S. Cho, M. Y. Kim, M. C. Kang, J. H. jang, P. B. Ha, and Y. H. Kim, "Design of an 8-Bit eFuse One-Time Programmable Memory IP Using an External Voltage," *KIMICS*, vol. 14, no. 1, pp. 183-190, Jan. 2009.
- [ 6 ] J. Safran, A. Leslie, G. Fredeman, C. Kothandaraman, A. Cestero, X. Chen, R. Rajeevakumar, D. K. Kim, Y. Z. Li, D. Moy, N. Robson, T. Kirihata, and S. Iyer, "A Compact

- eFuse Programmable Array Memory for SOI CMOS," *Digest of Technical Papers, Symposium on VLSI Circuits*, pp. 72-73, Jun. 2007.
- [ 7 ] J. H. Kim, J. H. Jang, L. Y. Jin, P. B. Ha, and Y. H. Kim, "Design of low-power OTP memory IP and its measurement," *KIMICS*, vol. 14, no. 11, pp. 2541-2547, Nov. 2010.
- [ 8 ] S. H. Kulkarni, Z. Chen, B. Srinivasan, B. Pedersen, U. Bhattacharya, and K. Zhang, "Low-Voltage Metal-Fuse Technology Featuring a 1.6V-Programmable 1T1R Bit Cell with an Integrated 1V Charge Pump in 22nm Tri-Gate Process," *Digest of Technical Papers, Symposium on VLSI Circuits*, pp. C174-C175, Jun. 2015.
- [ 9 ] G. Uhlmann, T. Aipperspach, T. Kirihata, Chandrasekharan, Kothandaraman, Y. Z. Li, C. Paone, B. Reed, N. Robson, J. Safran, D. Schmitt, and S. Iyer, "A Commercial Field-Programmable Dense eFUSE Array Memory with 99.999% Sense Yield for 45nm SOI CMOS," *Digest of Technical Papers, IEEE International Solid-State Circuits Conference*, pp. 406-407, Feb. 2008.
- [10] T. Kirihata et al, Electronic Fuse Cell and Array, U.S. Patent 0253220, Armonk, N.Y., 2014.
- [11] J. H. Kim, D. H. Kim, L. Y. Jin, P. B. Ha, and Y. H. Kim, "Design of 1-Kb eFuse OTP Memory IP with Reliability Considered," *Journal of Semiconductor Technology and Science*, vol. 11, no. 2, pp. 88-94, June 2011.
- [12] J. H. Jang, L. Y. Jin, H. G. Jeon, K. I. Kim, P. B. Ha, and Y. H. Kim, "Design of an 8-bit Differential Paired eFuse OTP Memory IP Reducing Sensing Resistance," *J. Cent. South Univ.*, vol. 19, no. 1, pp. 168-173, Jan. 2012.



**임영욱(Yongxu-Ren)**

2013.6 연변대학교 전자정보공학과 공학사  
 2013.7 ~ 현재 창원대학교 전자공학과 석사과정  
 ※관심분야 : NVM IP설계



**하판봉(Pan-Bong Ha)**

1981.2 부산대학교 전기공학과 공학사  
 1983.2 서울대학교 전자공학과 공학석사  
 1993.2 서울대학교 전자공학과 공학박사  
 1987.3~ 현재 창원대학교 전자공학과 교수  
 ※관심분야 : 임베디드 시스템, SoC 설계



**김영희(Young-Hee Kim)**

1989.2 경북대학교 전자공학과 공학사  
 1997.2 포항공과대학교 전자전기공학과 공학석사  
 2000.8 포항공과대학교 전자전기공학과 공학박사  
 1989.1 ~ 2001.2 현대전자 책임연구원  
 2001.3 ~ 현재 창원대학교 전자공학과 교수  
 ※관심분야 : CMOS Image Sensor 설계, 메모리 IP 설계, SoC 설계