

## CMOS 이미지 센서용 NMOS-Diode eFuse OTP 설계

이승훈 · 하관봉 · 김영희\*

### Design of an NMOS-Diode eFuse OTP Memory IP for CMOS Image Sensors

Seung-Hoon Lee · Pan-Bong Ha · Young-Hee Kim\*

Department of Electronic Engineering, Changwon National University, Changwon 51140, Korea

#### 요 약

본 논문에서는 프로그램 선택 소자는 채널 폭이 큰 NMOS (N-channel MOSFET) 트랜지스터 대신 DNW (Deep N-Well) 안에 형성된 채널 폭이 작은 isolated NMOS 트랜지스터의 body인 PW (P-Well)과 source 노드인 n+ diffusion 영역 사이에 형성된 기생하는 접합 다이오드를 사용하는 NMOS-Diode eFuse OTP (One-Time Programmable) 셀을 제안하였다. 제안된 eFuse OTP 셀은 프로그램 모드에서 NMOS 트랜지스터에 형성되는 기생하는 접합 다이오드를 이용하여 eFuse를 blowing 시킨다. 그리고 읽기 모드에서는 접합 다이오드를 이용하는 것이 아니고 NMOS 트랜지스터를 이용하기 때문에 다이오드의 contact voltage 강하를 제거할 수 있으므로 '0' 데이터에 대한 센싱불량을 제거할 수 있다. 또한 읽기 모드에서 채널 폭이 작은 NMOS 트랜지스터를 이용하여 BL에 전압을 전달하므로 OTP 셀의 blowing되지 않은 eFuse를, 통해 흐르는 읽기 전류를 100 $\mu$ A 이내로 억제하여 blowing되지 않은 eFuse가 blowing되는 문제를 해결할 수 있다.

#### ABSTRACT

In this paper, an NMOS-diode eFuse OTP (One-Time Programmable) memory cell is proposed using a parasitic junction diode formed between a PW (P-Well), a body of an isolated NMOS (N-channel MOSFET) transistor with the small channel width, and an n+ diffusion, a source node, in a DNW (Deep N-Well) instead of an NMOS transistor with the big channel width as a program select device. Blowing of the proposed cell is done through the parasitic junction formed in the NMOS transistor in the program mode. Sensing failures of '0' data are removed because of removed contact voltage drop of a diode since a NMOS transistor is used instead of the junction diode in the read mode. In addition, a problem of being blown for a non-blown eFuse from a read current through the corresponding eFuse OTP cell is solved by limiting the read current to less than 100 $\mu$ A since a voltage is transferred to BL by using an NMOS transistor with the small channel width in the read mode.

**키워드** : NMOS-Diode, eFuse, OTP, CMOS 이미지 센서, 센싱 불량

**Key word** : NMOS-Diode, eFuse, OTP, CMOS image sensor, sensing failure

Received 19 December 2015, Revised 18 January 2016, Accepted 01 February 2016

\* Corresponding Author Young-Hee Kim (E-mail: youngkim@changwon.ac.kr, Tel:+82-55-213-3658)

Department of Electronic Engineering, Changwon National University, Changwon 51140, Korea

Open Access <http://dx.doi.org/10.6109/jkiice.2016.20.2.306>

print ISSN: 2234-4772 online ISSN: 2288-4165

©This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.  
Copyright © The Korea Institute of Information and Communication Engineering.

## I. 서 론

CMOS 이미지 센서는 렌즈를 통해 입사되는 photon flux를 디지털 신호로 변환하는 광전자 소자 (opto-electronic device)이다. 입사되는 빛의 photon이 전하 (charge)로 변환되고 integration된 전하가 전압으로 변환된다. 그리고 픽셀에서 read-out된 전압은 A/D 변환을 거쳐 디지털 신호로 출력된다[1]. CMOS 이미지 센서는 스마트폰, 디지털 카메라 등 전통 시장을 기반으로 최근에는 무인자동차, 드론, 스마트홈, 웨어러블 기기에 이르는 IoT (Internet of Things) 영역으로 확산이 가속화되고 있다[2].

CMOS 이미지 센서는 아날로그 회로 트리밍과 calibration, 칩 ID, encryption key, SRAM repair address, bad pixel address 등을 저장하는 용도로 OTP (One-Time Programmable) 메모리 IP (Intellectual Property)를 필요로 한다. CIS (CMOS Image Sensor)에서 사용되는 OTP 메모리 IP는 추가 공정이 필요 없는 eFuse (electrical fuse)나 안티퓨즈(antifuse) 방식의 로직 공정 기반의 OTP 메모리 IP를 필요로 한다[3]. 안티퓨즈 방식의 OTP 메모리 셀은 얇은 게이트 산화막에 항복전압 (breakdown voltage)보다 높은 전압을 인가하여 전기적으로 단락시켜 프로그램하게 된다. 반면 eFuse OTP 메모리 셀은 폴리실리콘 퓨즈 (polysilicon fuse)나 메탈 퓨즈 (metal fuse)에 10mA~30mA 정도의 과전류를 흘려 eFuse를 blowing하여 퓨즈를 선택적으로 끊어준다.

안티퓨즈 방식의 OTP 메모리는 eFuse OTP 메모리에 비해 셀 크기가 작고 프로그램과 읽기 동작을 바이트 단위로 수행하는 장점이 있는 반면, 게이트 산화막의 두께가 얇아지면서 Post-Program 저항이 수 MΩ까지 나와 센싱 불량이 발생할 가능성이 있다. 그리고 고전압을 만들어주기 위한 전하펌프 회로가 필요하므로 소용량의 OTP 메모리에서는 eFuse OTP보다 면적이 큰 단점이 있다. 그래서 메모리 용량이 작은 OTP 메모리는 설계가 쉬운 eFuse OTP 메모리 IP가 많이 사용되고 있다[3]. 표 1은 eFuse와 안티퓨즈 OTP 메모리 IP의 비교표이다.

본 논문에서는 제안된 eFuse OTP 셀은 채널 폭이 작은 NMOS 트랜지스터와 기억소자인 eFuse 링크로 구성되어 있다.

**Table. 1** Comparison of eFuse and antifuse OTP memory IPs

Items	eFuse OTP	Antifuse OTP
Fuse	Polysilicon, Metal	thin gate oxide
Program method	blowing	broken
Program voltage	medium voltage	high voltage
Program current	several tens mA	several hundreds $\mu$ A
Program time	several tens $\mu$ s	Several ms

프로그램 선택 소자는 채널 폭이 큰 NMOS 트랜지스터 대신 DNW (Deep N-Well) 안에 형성된 채널 폭이 작은 isolated NMOS 트랜지스터의 body인 PW (P-Well) 과 source 노드인 n+ 확산 (diffusion) 영역 사이에 형성된 기생하는 접합 다이오드를 사용하는 NMOS-Diode eFuse OTP 셀을 제안하였다. 제안된 eFuse OTP 셀은 프로그램 모드에서 NMOS 트랜지스터에 형성되는 기생하는 접합 다이오드를 이용하여 eFuse를 blowing 시킨다. 그리고 읽기 모드에서는 접합 다이오드를 이용하는 것이 아니고 NMOS 트랜지스터를 이용하기 때문에 다이오드의 contact voltage 강하를 제거할 수 있으므로 '0' 데이터에 대한 센싱 불량을 해결할 수 있다. 또한 읽기 모드에서 프로그램 되지 않은 셀의 eFuse를 통해 흐르는 읽기 전류를 100 $\mu$ A 이하로 억제하므로 blowing 되지 않은 eFuse가 blowing되는 문제를 해결할 수 있다. 동부하이텍 110nm CIS 공정 기반으로 설계된 4Kb eFuse OTP IP의 셀 사이즈는 5.951 $\mu$ m  $\times$  2.52 $\mu$ m (=14.99 $\mu$ m<sup>2</sup>)이다.

## II. 회로 설계

eFuse OTP 셀은 한 개의 프로그램 선택 소자 (program select device)에 하나의 기억소자 (memory element)만 있으면 된다. 표 2는 eFuse OTP 셀 기술개발 동향으로 프로그램 선택 소자로 PMOS 트랜지스터 (transistor)를 사용하는 셀 [4], NMOS 트랜지스터를 사용하는 셀 [5, 6]과 접합 다이오드 (diode)를 사용하는 셀 [7, 8]이 있다. 그리고 읽기 포트 (read port)와 프로그램 포트 (program port)가 분리된 형태인 듀얼 포트 (dual port) eFuse OTP 셀 [6]이 있다. 듀얼 포트 eFuse

OTP 셀은 큰 프로그램 전류를 흘릴 수 있는 큰 채널 폭의 NMOS 트랜지스터와 읽기 전류 (read current)를 줄일 수 있는 읽기 모드용 작은 채널 폭의 읽기용 NMOS 트랜지스터로 구성되어 있다. 읽기용 NMOS 트랜지스터의 채널 폭을 작게 하는 이유는 프로그램 되지 않은 eFuse 셀을 읽을 때 전류밀도가 큰 전류가 eFuse 링크(link)에 흐르면서 EM (Electro-Migration) 현상에 의해 blowing되는 문제를 해결하기 위한 것이다 [6]. 한편 기억소자로 니켈 (Nickel)이나 코발트 실리사이드 폴리실리콘 (Cobalt silicide polysilicon), metal contact 등이 사용되고 있다. eFuse를 blowing시키기 위해서는 10~30mA의 프로그램 전류가 필요하며, 큰 프로그램 전류를 흘리기 위해서는 큰 채널 폭의 MOS 트랜지스터가 필요하므로 eFuse OTP 셀의 면적이 커진다. 반면 다이오드를 프로그램 선택 소자로 사용하는 접합 면적이 작아도 큰 전류를 흘릴 수 있어 eFuse OTP 셀의 면적을 줄일 수 있다. 다이오드를 형성하는 방법은 p+ 폴리실리콘과 n+ 폴리실리콘을 contact한 폴리실리콘 다이오드 (polysilicon diode) [7]와 NW (N-Well) 안의 p+와 NW 사이의 p+/NW 접합 다이오드 [8]가 있다. 읽기 동작 시 blowing되지 않은 eFuse를 통해 큰 전류가 흘러 EM (Electro-Migration)에 의해 blowing되는 문제점을 해결하기 위해 BL pull-up load 저항이 커야한다. 이 경우 BL의 read-out 전압은 거의 0V 부근이 되어야 한다. 다이오드를 프로그램 선택 소자로 사용하는 경우 eFuse OTP 셀 사이즈를 줄일 수 있지만, 읽기 모드 시 다이오드의 contact voltage 강하로 인해 ‘0’ 데이터에 대한 센싱 불량이 발생할 수 있다.

다이오드를 프로그램 선택 소자로 사용하는 eFuse 셀 회로도에는 그림 1에서 보는 바와 같이 다이오드에 eFuse 링크로 구성되어 있다. 다이오드를 형성하는 방법은 그림 2에서 보는 바와 같이 p+ 폴리실리콘과 n+ 폴리실리콘을 contact한 폴리실리콘 다이오드와 그림 3에서 보는 바와 같이 NW 안의 p+와 NW 사이의 p+/NW 접합 다이오드가 있다. 그림 3(a)는 다이오드의 양극 (anode)인 p+ diffusion과 음극인 n+ diffusion을 STI (Shallow Trench Isolation)를 이용하여 격리한 다이오드의 공정단면도를 보여주고 있다. 이 경우 p+와 n+ 사이의 기생하는 NW 저항은 STI가 있으므로 크다. 기생하는 NW 저항을 줄이는 방법은 그림 3(b)와 그림 3(c)에서 보는 바와 같이 각각 dummy CMOS 게이트와 SBL (Silicide Block Layer) 격리 기술을 이용하여 p+ diffusion과 n+ diffusion 사이의 NW 경로를 최소화하여 기생하는 저항을 줄이는 기술이다.

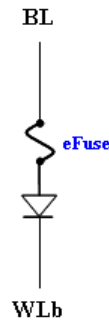


Fig. 1 eFuse OTP memory cell using a diode as a program device

Table. 2 Trends of technology development for eFuse OTP memory cells.

Ref.	Process	Cell Structure	Cell Size	Memory Density	eFuse Type	Program Device
[4]	Intel 22nm CMOS		16.4μm <sup>2</sup>	80b	Metal	PMOS
[5]	IBM 45nm SOI CMOS		3.6μm <sup>2</sup>	4K	nickel silicide polysilicon	NMOS
[6]	Hynix 90nm CIS		74.23μm <sup>2</sup>	512b	Cobalt silicide polysilicon	NMOS
[7]	TSMC 0.18μm CMOS		2.33μm <sup>2</sup>		Contact	Polysilicon Diode
[8]	0.18μm CMOS			64Kb	silicide polysilicon	Junction Diode

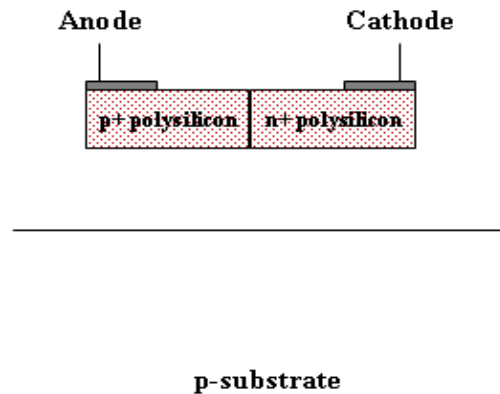


Fig. 2 Process cross-sectional diagram of polysilicon diode

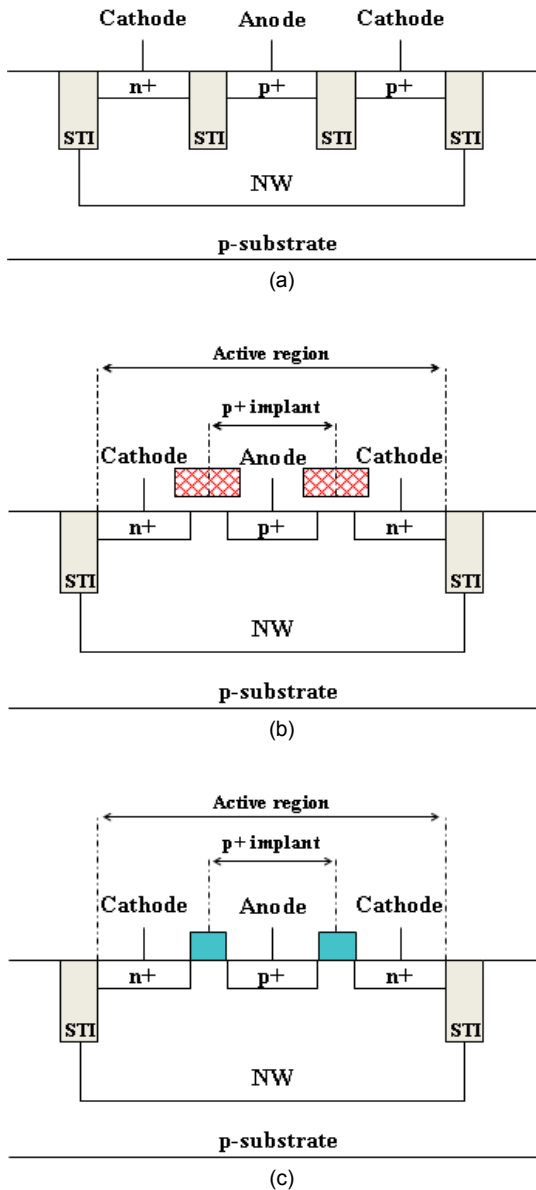


Fig. 3 Process cross-sectional diagram of junction diode[9]

한편 다이오드를 프로그램 선택 소자로 사용하는 경우 eFuse OTP 셀 사이즈를 줄일 수 있지만, 읽기 동작 시 blowing되지 않은 eFuse를 통해 큰 전류가 흘러 EM (Electro-Migration)에 의해 blowing되는 문제점을 해결하기 위해 BL pull-up load 저항이 커야한다. 이 경우 BL의 read-out 전압은 거의 0V 부근이 되어야 한다. 다이오드를 프로그램 선택 소자로 사용하는 경우

eFuse OTP 셀 사이즈를 줄일 수 있지만, 읽기 모드 시 다이오드의 contact voltage 강하로 인해 ‘0’ 데이터에 대한 센싱 불량이 발생할 수 있다. 표 3은 다이오드를 선택 소자로 사용한 eFuse OTP 셀의 blowing 안된 경우에 대한 BL 전압의 모의실험 결과로 0.91V까지 올라간다.

Table. 3 Simulation results of BL voltages in case of not being blown of an eFse OTP cell when a diode is used as a program device

VDD	Temp	SS model	SF model	TT model	FS model	FF model
3V	-40℃	0.83V	0.86V	0.84V	0.83V	0.85V
	25℃	0.83V	0.85V	0.84V	0.83V	0.85V
	85℃	0.84V	0.86V	0.84V	0.83V	0.86V
3.3V	-40℃	0.85V	0.88V	0.87V	0.85V	0.88V
	25℃	0.85V	0.88V	0.86V	0.85V	0.87V
	85℃	0.84V	0.88V	0.87V	0.85V	0.88V
3.6V	-40℃	0.88V	0.91V	0.89V	0.88V	0.9V
	25℃	0.87V	0.9V	0.88V	0.87V	0.9V
	85℃	0.88V	0.9V	0.89V	0.87V	0.91V

본 논문에서 제안된 eFuse OTP 셀은 그림 4에서 보는 바와 같이 채널 폭이 작은 NMOS 트랜지스터 (MN1)와 기억소자인 eFuse 링크로 구성되어 있다. 프로그램 선택 소자는 채널 폭이 큰 NMOS 트랜지스터 대신 DNW 안에 형성된 채널 폭이 작은 isolated NMOS 트랜지스터의 body인 PW와 N1 노드인 n+ diffusion 영역 사이에 형성된 기생하는 접합 다이오드를 사용하였다. 그림 5는 그림 4에서 보여지는 NMOS 트랜지스터의 공정단면도를 보여주고 있다. 그림 4의 제안된 eFuse OTP 셀은 프로그램 모드에서 NMOS 트랜지스터에 형성되는 기생하는 접합 다이오드를 이용하여 eFuse를 blowing 시킨다. 그리고 읽기 모드에서는 접합 다이오드를 이용하는 것이 아니고 NMOS 트랜지스터를 이용하기 때문에 다이오드의 contact voltage 강하를 제거할 수 있으므로 ‘0’ 데이터에 대한 센싱 불량을 제거할 수 있다. 또한 읽기 모드에서 프로그램 되지 않은 셀의 eFuse를 통해 흐르는 읽기 전류를 100μA 이하로 억제하므로 blowing되지 않은 eFuse가 blowing되는 문제를 해결할 수 있다. 동부하이텍 110nm CIS 공정 기반으로 설계된 eFuse OTP 셀 사이즈는 5.951μm × 2.52μm (=14.99μm<sup>2</sup>)이며, 그림 6은 제안된 eFuse OTP 셀의 레이아웃 이미지를 보여주고 있다.

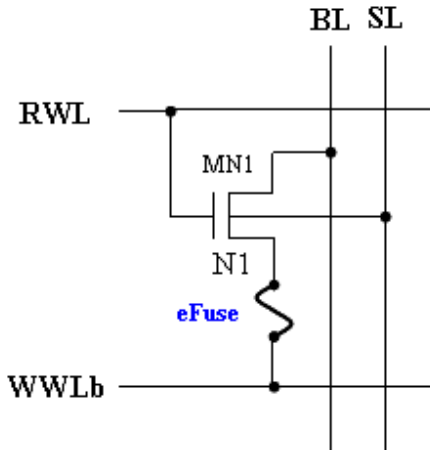


Fig. 4 Proposed OTP cell

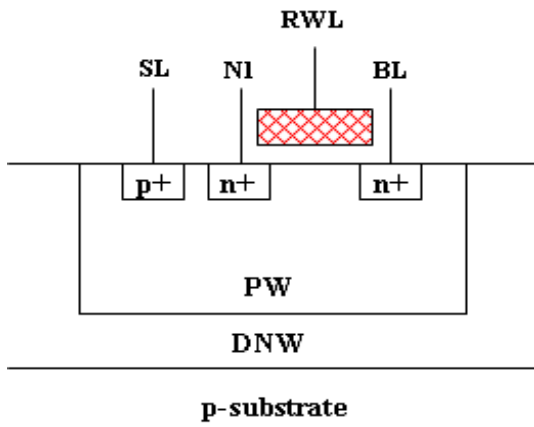


Fig. 5 Process cross-sectional diagram of NMOS transistor used in an eFuse OTP memory cell

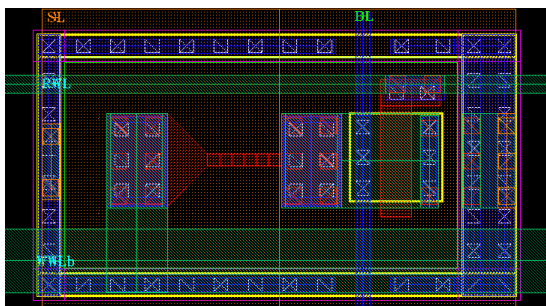


Fig. 6 Layout plot of the proposed eFuse OTP memory cell

그림 4에서 제안된 eFuse OTP 셀의 동작 모드별 바이어스 전압은 표 4에서 보는 바와 같다. 프로그램 모드에서 '1'로 프로그램 되는 eFuse 셀의 SL (Source Line) 과 WWLb (Write Word-Line bar) 신호는 각각 VDD와 0V로 구동한다. 이 때 그림 4의 NMOS 트랜지스터 (MN1)의 body인 PW과 N1 node인 n+ diffusion 영역 사이에 형성된 기생하는 접합 다이오드를 통해 SL의 VDD로부터 eFuse를 통해 VSS로 과전류가 흐르면서 eFuse는 열적 파괴에 의해 blowing이 된다. 읽기 모드에서 WWLb은 0V, RWL은 VDD로 1 구동되며, 이에 따라 '1'로 프로그램 된 셀은 DOUT (Output Data)에 '1'을 출력하며, '0'으로 프로그램 된 셀은 DOUT '0'을 출력한다.

Table. 4 Cell bias voltage conditions according to the operational modes: (a) in the program mode and (b) in the read mode

(a)

	Non-Selected Row Selected Column		Selected Row Selected Column		Selected Row Non-Selected Col		Non-Selected Row Non-Selected Col	
	DIN=0	DIN=1	DIN=0	DIN=1				
RWL	0V	0V	0V	0V				
WWLb	VDD	VDD	0V	0V	0V	0V	VDD	VDD
SL	0V	VDD	0V	VDD	0V	0V	0V	0V
BL	Floating	VDD-V <sub>T</sub>	Floating	VDD-V <sub>T</sub>	Floating	Floating	Floating	Floating
DOUT	X	X	X	X	X	X	X	X
eFuse	Unblown	Unblown	Unblown	Blown	Unblown	Unblown	Unblown	Unblown

(b)

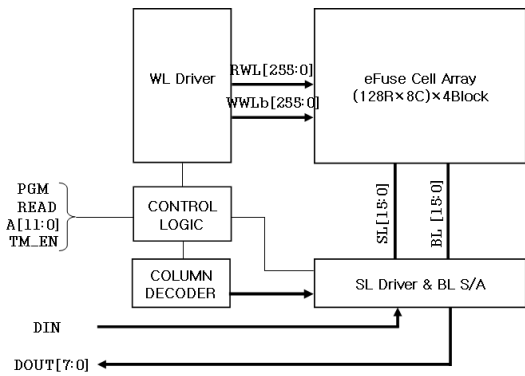
	Non-Selected Row Selected Column		Selected Row Selected Column		Selected Row Non-Selected Col		Non-Selected Row Non-Selected Col	
	DIN=0	DIN=1	DIN=0	DIN=1	DIN=0	DIN=1	DIN=0	DIN=1
RWL	0V	0V	VDD	VDD	0V	0V	VDD	VDD
WWLb	0V	0V	0V	0V	0V	0V	0V	0V
SL	0V	0V	0V	0V	0V	0V	0V	0V
BL	0V	VDD	0V	VDD	0V	VDD	0V	VDD
DOUT	0	1	0	1	X	X	X	X
eFuse	Unblown	Blown	Unblown	Blown	Unblown	Blown	Unblown	Blown

실제된 4Kb eFuse OTP 메모리 IP의 주요 특징은 표 5와 같이 셀 어레이는 (128행 × 8열) × 4블록으로 구성되어 있다. 사용되는 VDD (Supply Voltage)는 읽기 모드에서 3.3V ± 0.3V이고, 프로그램 모드에서 3.9V이다. eFuse는 코발트 실리사이드 n+ 폴리실리콘 퓨즈이고, 동작 모드는 프로그램, normal read, program-verify-read mode가 지원된다. 그리고 eFuse OTP 메모리의 프

로그래밍 비트와 읽기 비트 수는 각각 1비트와 8비트 씩 수행된다. 설계에 사용된 소자는 3.3V의 MV (Medium Voltage) 트랜지스터만 사용하였다.

**Table. 5** Major specifications of 4kb OTP memory

Items		Main Features
Process Technology		DBH 110nm CIS
Supply Voltage	Read	3.3V±0.3V
	Program	3.9V
Fuse Type		n+ Poly Fuse with Co Silicide
Cell Array		(128R × 8C) × 4Block
Temperature Range		-40℃ ~ 85℃
Operating Mode		Program / Normal Read / Program-Verify-Read
Program bit / Read bit		1bit / 8bit
Program Time		20µs
Access Time		500ns

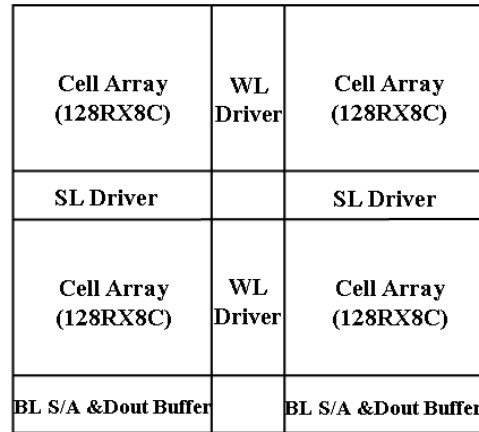


**Fig. 7** Block diagram of 4kb eFuse OTP memory

본 논문에서 설계된 4Kb eFuse OTP 메모리 IP의 블록 다이어그램은 그림 7에서 보는 바와 같이 (128행 × 8 열) 의 셀 어레이, WL(Word-Line) 구동회로, SL (Source Line) 구동회로와 BL (Bit-Line)의 데이터를 읽어내기 위한 BL S/A (BL Sense Amplifier)회로, 제어 신호(RD, PGM, TM\_EN)에 따라 프로그램 모드, normal read 모드와 program-verify-read 모드에 적합한 내부 제어 신호를 공급하는 제어로직으로 구성되어 있다. 어드레스는 행 어드레스 (row address)인 A[10:3] 신호와 열 어드레스 (column address)인 A[2:0]가 있고 왼쪽 블록과 오른쪽 블록을 선택해주는 블록 어드레스 (block address) A[11]이 있다. 출력 데이터 신호인 DOUT[7:0]과 입력 데이터 신호인 DIN은 각각 분리되어있다. 그리

고 12개의 어드레스 신호에 의해 4Kb 중 1비트가 선택되며, 읽기와 쓰기는 각각 1바이트와 1비트 씩으로 수행된다.

코어회로의 floor plan은 그림 8에서 보는 바와 같이 4개의 1Kb 셀 어레이로 나뉘어져 있다. 그리고 WL 구동 회로는 center에 배치하였고, SL 구동 회로는 middle 부분에 배치하였으며, BL S/A는 bottom에 배치하였다. 256개의 행 중 하나는 행 어드레스인 A[10:3]의 디코딩에 의해 결정된다. 프로그램 모드에서는 블록 어드레스 A[11]과 열 어드레스 A[2:0]의 디코딩에 의해 16개의 SL 중 1개만 구동하고, 읽기 모에서는 A[11]에 의해 16개의 BL 중 8개를 선택한다.



**Fig. 8** Floor plan of 4kb core circuit

설계된 WL 구동회로는 그림 9와 같다. 프로그램 모드로 진입하게 되면 WLEN\_PGM 신호가 VDD로 되면 블록 어드레스 A[10]에 의해 upper WL 구동회로인지 lower WL 구동회로인지 결정되고, 행 어드레스인 A[9:3]을 디코딩하여 128개의 WWLb 중 선택되는 WWLb만 0V의 전압을 구동하고 선택되지 않은 WWLb는 VDD를 유지한다. 이때 WLENb\_RD 신호는 프로그램 모드에서 VDD를 유지하므로 RWL은 0V를 유지한다. 그리고 read 모드에서 선택된 RWL은 VDD로 구동되고 선택되지 않은 RWL은 0V를 유지한다. 이때 read 모드에서 WLEN\_PGM 신호는 0V를 유지하므로 WWLb[127:0]는 행 어드레스인 A[9:3]에 상관없이 모두 0V를 유지한다.

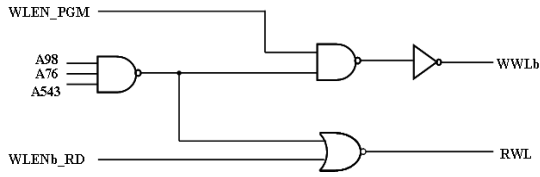


Fig. 9 WL driver circuit

그림 10은 프로그램 모드에서 A[2:0]을 디코딩하여 프로그램 되는 열을 선택해주는 SL 구동회로이다. 프로그램 모드로 진입하게 되면 IPGM (internal program) 신호는 high로 활성화된다. 열 어드레스인 A[2:0] 디코딩에 의해 선택된 SL driver 회로에서만 DIN이 ‘1’인 경우 SL은 VDD로 구동되고, DIN이 ‘0’인 경우 SL은 0V를 구동한다. A[2:0] 디코딩에 의해 선택되지 않는 SL 구동회로의 SL은 DIN에 상관없이 0V를 유지한다.

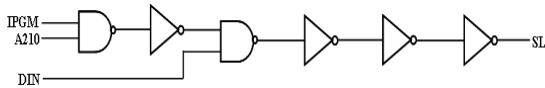


Fig. 10 SL driver circuit

S/A 기반의 D F/F을 사용하는 BL 센싱 회로는 그림 11에서 보는 바와 같고, 그림 12는 VREF 발생회로 [10]를 보여주고 있다. Stand-by 상태에서는 BL\_PCG와 BL\_LOADb 신호는 각각 0V, VDD를 유지한다. 이 상태에서는 VREF와 BL은 플로팅 상태이며, N11과 N12 노드는 S/A 프리차징 트랜지스터인 MN11과 MN12 트랜지스터는 ON된 상태이므로 0V로 프리차징 된다. 만약 RD 신호가 high 상태로 활성화되면 BL\_PCG 신호의 high 펄스에 의해 그림 11의 MN11과 그림 12의 MN12가 ON되면서 VREF와 BL 전압을 0V로 프리차징 한다. 다음은 RWL 신호에 의해 그림 4의 읽기 트랜지스터인 MN1이 ON된다. 다음은 BL\_LOADb 신호가 high에서 low로 활성화되면서 normal read 모드에서의 VREF 노드 전압은 R2(=5kΩ)과 R3(=5kΩ)에 의해 기준 전압이 만들어진다. 그리고 선택된 셀의 eFuse 링크의 프로그램 유무에 따라 eFuse 링크의 저항이 달라지므로 BL 노드의 전압은 다르게 나타난다. BL 노드에 셀의 데이터가 충분히 전달되면 SAENb 신호가 low로 활성화되면서 S/A 기반의 D F/F 회로는 VREF와 BL 전압을 비교-센싱되어 DOUT으로 전달한다.

한편 데이터 retention 시간동안 프로그램된 eFuse 링크의 저항이 줄어드는 경우를 고려하여 program-verify-read 모드에서는 그림 12의 VREF 발생회로의 기준 저항을 저항값이 큰 R4 (=15kΩ)를 선택하고, 읽기 모드에서는 retention 시간동안 프로그램된 eFuse 링크의 저항 값이 줄어드는 것을 고려하여 R3 (=5kΩ)을 선택하도록 설계가 되어져 있다. 그래서 프로그램된 eFuse의 저항이 낮게 변동하더라도 정상적인 데이터로 센싱 하도록 하였다.

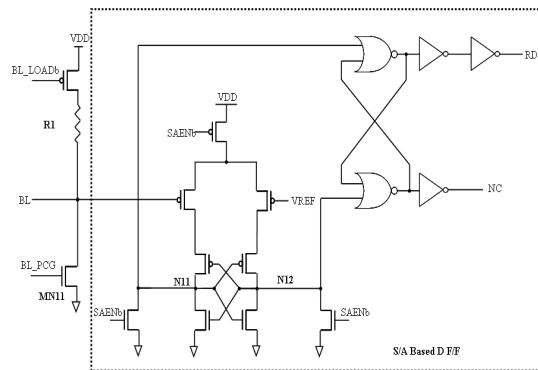


Fig. 11 BL sensing circuit using a S/A-based F/F

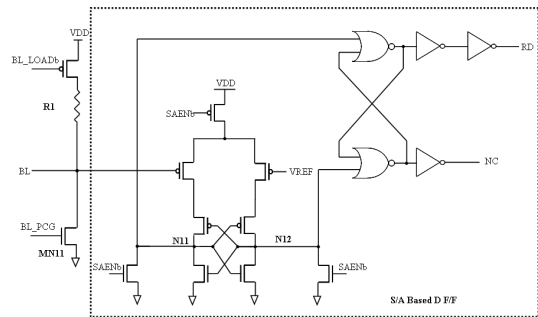


Fig. 12 VREF generator circuit

동부하이텍 110nm CIS 공정을 이용하여 설계된 4Kb eFuse OTP 메모리 IP의 레이아웃 면적은 206.414μm × 788.6μm (=0.163mm<sup>2</sup>)으로 듀얼 포트 eFuse OTP IP의 레이아웃 면적인 456.322μm × 419.383μm (=0.191mm<sup>2</sup>)보다 14.7% 면적을 줄였다. 그림 13은 설계된 4Kb eFuse OTP 메모리의 레이아웃 이미지를 보여주고 있다.

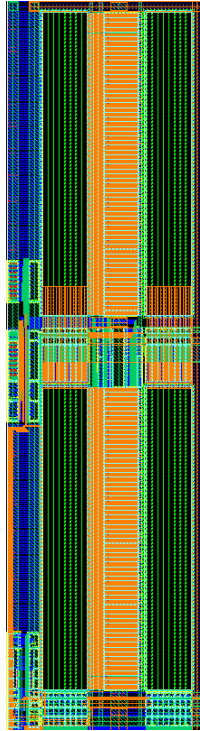


Fig. 13 Layout plot of the designed 4kb eFuse OTP memory IP

### III. 모의실험 결과

그림 14는 4Kb eFuse OTP 메모리 IP에 대한 프로그램 모드에서의 모의실험 결과이다. A[11:0]를 먼저 인가한 상태에서 PGM 신호가 활성화 되면 DIN이 '1'인 경우 그림 12(a)에서 보는 바와 같이 선택된 eFuse OTP 셀의 SL과 WWLb는 각각 VDD와 0V가 되어 pn 접합 다이오드가 ON되어 큰 프로그램 전류가 eFuse를 통해서 흐르면서 blowing된다. 반면 DIN이 '0'인 경우 선택된 eFuse OTP 셀의 SL과 WWLb 신호는 모두 0V가 되어 eFuse에 전류가 흐르지 않으므로 eFuse는 non-blown 상태에 있다.

그림 15는 4Kb eFuse OTP 메모리 IP에 대한 read mode에서의 모의실험 결과 파형이다. RD 신호가 high 상태로 활성화되면 BL\_PCG 신호의 high 펄스에 의해 VREF와 BL 전압을 0V로 precharging한다. 그리고 RWL 신호가 high로 활성화 되고 BL\_LOADb 신호가

low로 활성화되면서 VREF 기준전압이 만들어지고, cell의 데이터가 BL에 전달된다. OTP 셀의 데이터가 BL에 충분히 전달되면 SAEN 신호가 high로 활성화되면서 S/A 기반의 D F/F 회로는 VREF와 BL 전압을 비교·센싱되어 DOUT으로 전달한다.

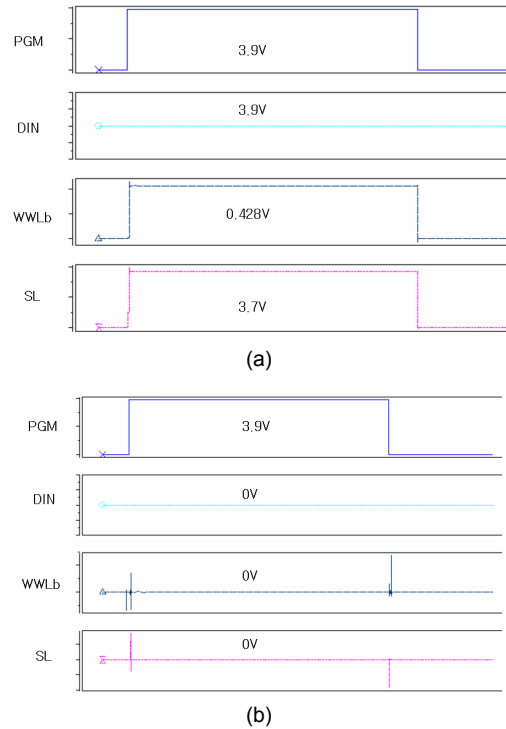
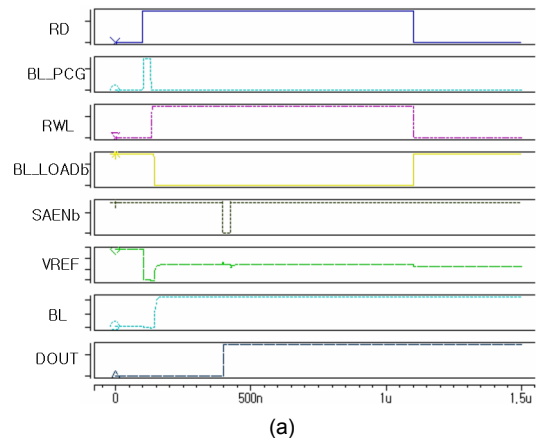


Fig. 14 Simulation results in the program mode: (a) in case of DIN = '1' and (b) in case of DIN = '0'





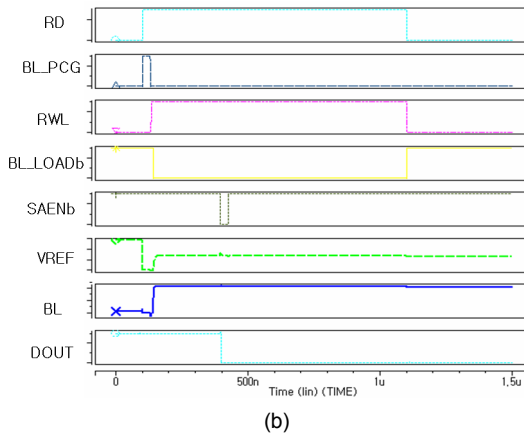


Fig. 15 Simulation results in the read mode: (a) in case of being programmed with '1' and (b) in case of being programmed with '0'

설계된 4Kb eFuse OTP에서 프로그램된 eFuse 링크의 센싱 저항에 대한 모의실험 결과는 다음과 같다. eFuse OTP의 program-verify-read 모드와 read 모드에서 프로그램된 eFuse 센싱 저항은 표 6에서 보는 바와 각각 16.6kΩ, 8.6kΩ으로 모의실험 되었다. 그리고 읽기 모드에서 채널 폭이 작은 NMOS 트랜지스터를 이용하여 BL에 전압을 전달하므로 표 7에서 보는 바와 같이 eFuse OTP 셀의 blowing되지 않은 eFuse를 통해 흐르는 읽기 전류를 100μA 이내로 억제하여 신뢰성을 확보하였다.

Table. 6 Simulation results of programmed eFuse link resistances

(a)

VDD	Temp	SS model	SF model	TT model	FS model	FF model
3V	-40℃	15.7K	15.3K	15.5K	15.5K	15.4K
	25℃	16.2K	15.7K	16K	15.9K	15.8K
	85℃	16.6K	16.1K	16.3K	16.3K	16.2K
3.3V	-40℃	15.3K	15.1K	15.3K	15.1K	15.1K
	25℃	15.6K	15.3K	15.5K	15.4K	15.3K
	85℃	16.1K	15.7K	15.9K	15.8K	15.8K
3.6V	-40℃	15.3K	15.1K	15.3	15.2K	15.2K
	25℃	15.4K	15.3K	15.5K	15.5K	15.3K
	85℃	15.6K	15.4K	15.6K	15.7K	15.6K

(b)

VDD	Temp	SS model	SF model	TT model	FS model	FF model
3V	-40℃	7.8K	6.9K	7K	7.5K	7.3K
	25℃	8.1K	7.2K	7.3K	7.8K	7.5K
	85℃	8.6K	7.8K	7.8K	8.1K	7.7K
3.3V	-40℃	7.2K	6.1K	6.6K	6.8K	6.8K
	25℃	7.6K	6.4K	6.7K	7K	7K
	85℃	7.9K	6.9K	7.2K	7.4K	7.2K
3.6V	-40℃	6.8K	5.8K	6.1K	6.5K	6.7K
	25℃	7K	6.1K	6.3K	6.8K	6.8K
	85℃	7.3K	6.4K	6.9K	7.1K	7K

Table. 7 Simulation results of read currents flowing through an eFuse of non-programmed cell in the read mode

VDD	Temp	SS model	SF model	TT model	FS model	FF model
3.0V	-40℃	41.0μA	54.4μA	49.3μA	49.8μA	59.4μA
	25℃	33.8μA	46.1μA	40.2μA	41.2μA	49.3μA
	85℃	30.5μA	38.6μA	35.9μA	37.8μA	43.3μA
3.3V	-40℃	52.9μA	67.0μA	61.9μA	62.6μA	73.7μA
	25℃	42.6μA	56.1μA	51.7μA	52.9μA	61.3μA
	85℃	38.1μA	48.5μA	44.7μA	46.2μA	54.0μA
3.6V	-40℃	61.7μA	80.5μA	75.3μA	63.3μA	88μA
	25℃	50.3μA	68.6μA	62.1μA	56.7μA	73.9μA
	85℃	42.1μA	60.0μA	54.4μA	49.8μA	65.1μA

#### IV. 결론

본 논문에서는 채널 폭이 작은 NMOS 트랜지스터와 기억소자인 eFuse 링크로 구성되어 있는 eFuse OTP 셀을 제안하였다. 프로그램 선택 소자는 채널 폭이 큰 NMOS 트랜지스터 대신 DNW 안에 형성된 채널 폭이 작은 isolated NMOS 트랜지스터의 body인 PW과 source 노드인 n+ diffusion 영역 사이에 형성된 기생하는 접합 다이오드를 사용하는 NMOS-Diode eFuse OTP 셀이다. 제안된 eFuse OTP 셀은 프로그램 모드에서 NMOS 트랜지스터에 형성되는 기생하는 접합 다이오드를 이용하여 eFuse를 blowing 시킨다. 그리고 읽기 모드에서는 접합 다이오드를 이용하는 것이 아니고 NMOS 트랜지스터를 이용하기 때문에 다이오드의 contact voltage 강하를 제거할 수 있으므로 '0' 데이터에 대한 센싱 불량을 제거할 수 있다. 또한 읽기 모드에서

채널 폭이 작은 NMOS 트랜지스터를 이용하여 BL에 전압을 전달하므로 OTP 셀의 blowing되지 않은 eFuse를 통해 흐르는 읽기 전류를  $100\mu\text{A}$  이내로 억제하여 blowing되지 않은 eFuse가 blowing되는 문제를 해결할 수 있다. 그리고 eFuse OTP의 program-verify-read 모드와 normal read 모드에서 프로그램된 eFuse 센싱 저항은 각각  $16.6\text{k}\Omega$ ,  $8.6\text{k}\Omega$ 으로 모의실험 되었다. 동부하이텍 110nm CIS 공정 기반으로 설계된 4Kb eFuse OTP IP의 셀 사이즈는  $5.951\mu\text{m} \times 2.52\mu\text{m}$  ( $=14.99\mu\text{m}^2$ )이다. 그리고 설계된 4Kb NMOS-diode eFuse OTP 메모리 IP의 레이아웃 면적은  $206.414\mu\text{m} \times 788.6\mu\text{m}$  ( $=0.163\text{mm}^2$ )으로 듀얼 포트 eFuse OTP IP의 레이아웃 면적인  $456.322\mu\text{m} \times 419.383\mu\text{m}$  ( $=0.191\text{mm}^2$ )보다 14.7% 면적을 줄였다.

### ACKNOWLEDGMENTS

This research is financially supported by Changwon National University in 2015~2016.

### REFERENCES

- [ 1 ] J. H. Jang, L. Y. Jin, S. K. Heo, J. P. Josenon, T. W. Kim, P. B. Ha, and Y. H. Kim, "Design of Intra Oral X-ray CMOS Image Sensing," *Journal of the Korea Institute of Information and Communication Engineering*, vol. 16, no. 10, pp. 2237-2246, Oct. 2012.
- [ 2 ] ICT Brief[Internet]. Available: [http://webzine.iitp.kr/download/02/brief/ICT\\_Brief\\_2015\\_31.pdf](http://webzine.iitp.kr/download/02/brief/ICT_Brief_2015_31.pdf).
- [ 3 ] J. H. Kim, J. H. Jang, L. Y. Jin, P. B. Ha, and Y. H. Kim, "Design of Low-Power OTP Memory IP and its Measurement," *KIMICS*, vol. 14, no. 11, pp. 2541-2547, Nov. 2010.
- [ 4 ] S. H. Kulkarni, Z. Chen, B. Srinivasan, B. Pedersen, U. Bhattacharya, and K. Zhang, "Low-Voltage Metal-Fuse Technology Featuring a 1.6V-Programmable 1T1R Bit Cell with an Integrated 1V Charge Pump in 22nm Tri-Gate Process," *Digest of Technical Papers, Symposium on VLSI Circuits*, pp. C174-C175, June 2015.
- [ 5 ] G. Uhlmann, T. Aipperspach, T. Kirihata, Chandrasekharan, Kothandaraman, Y. Z. Li, C. Paone, B. Reed, N. Robson, J. Safran, D. schmitt, and S. Iyer, "A Commercial Field-Programmable Dense eFUSE Array Memory with 99.999% Sense Yield for 45nm SOI CMOS," *Digest of Technical Papers, IEEE International Solid-State Circuits Conference*, pp. 406-407, Feb. 2008.
- [ 6 ] J. H. Kim, D. H. Kim, L. Y. Jin, P. B. Ha, and Y. H. Kim, "Design of 1-Kb eFuse OTP memory IP with Reliability Considered," *Journal of Semiconductor Technology and Science*, vol. 11, no. 2, pp. 88-94, June 2011.
- [ 7 ] M. Shi, J. He, L.Zhang, C. Ma, X. Zhou, H. Lou, H. Zhuang, R. Wang, Y. Li, Y. Ma, W. Wu, W. Wang, and M. Chan, "Zero-Mask Contact Fuse for One-Time-Programmable Memory in Standard CMOS Processes," *IEEE Electron Device Letters*, vol. 32, no. 7, pp. 955-957, July 2011.
- [ 8 ] S. Chung, and W. K. Fang, "I-fuse: A Disruptive OTP Technology for with Excellent Manufacturability," *Joint Symposium 2015 - eMDC and ISSM*, Sep. 2015.
- [ 9 ] S. C. Chung, Circuit and System for Using Junction Diode as Program Selector for One-Time Programmable Devices, *U.S. Patent 0201749*, San Jose, C.A., 2013.
- [10] H. Park, S. H. Lee, M. H. Park, P. B. Ha, and Y. H. Kim, "Design of Small-Area Dual-Port eFuse OTP Memory IP for Power ICs" *Journal of Korea Information, Electronics, and Communication Technology*, vol. 8, no. 4, pp. 310-318, Aug. 2015.



이승훈(Seung-Hoon Lee)

2014.2 창원대학교 전자공학과 공학사  
 2016.2 창원대학교 전자공학과 공학석사  
 2016.1 ~ 현재 매그나칩반도체 연구원  
 ※관심분야 : NVM IP 설계



**하판봉(Pan-Bong Ha)**

1981.2 부산대학교 전기공학과 공학사  
1983.2 서울대학교 전자공학과 공학석사  
1993.2 서울대학교 전자공학과 공학박사  
1987.3~ 현재 창원대학교 전자공학과 교수  
※관심분야 : 임베디드 시스템, SoC 설계



**김영희(Young-Hee Kim)**

1989.2 경북대학교 전자공학과 공학사  
1997.2 포항공과대학교 전자전기공학과 공학석사  
2000.8 포항공과대학교 전자전기공학과 공학박사  
1989.1 ~ 2001.2 현대전자 책임연구원  
2001.3 ~ 현재 창원대학교 전자공학과 교수  
※관심분야 : CMOS Image Sensor 설계, 메모리 IP 설계, SoC 설계