Regular paper

Journal of the KIECS. pp. 29-36, vol. 11, no. 1, Jan. 31 2016, t. 69, pISSN 1975-8170 | eISSN 2288-2189
http://dx.doi.org/10.13067/JKIECS.2016.11.1.29

$NCV-|v_1>$라이브러리를 이용한 Mixed-Polarity MCT 게이트 실현

박동영* · 정연만**

Realizing Mixed-Polarity MCT gates using $NCV-|v_1>$ Library

Dong-Young Park* · Yeon-Man Jeong**

요 약

최근 들어 양자 논리 회로의 저비용 실현 가능성을 가진 $NCV-|v_1>$라이브러리라 불리는 새로운 종류의 양자 게이트가 주목을 받고 있다. $NCV-|v_1>$ MCT 게이트는 입력부에 타깃 입력을 제어하는 $CV-|v_1>$ 게이트와 정크 비트 제거를 위한 수반 게이트의 종속 AND 구조를 갖는다. 본 논문은 $NCV-|v_1>$라이브러리에 대응하는 대칭적 쌍대 특성을 갖는 $NCV^{\dagger}-|v_1>$라이브러리라 불리는 새로운 게이트를 제안한다. 새로운 $NCV^{\dagger}-|v_1>$ 라이브러리는 특정 조건에서 OR 논리로 작동한다. $NCV-|v_1>$라이브러리와 $NCV^{\dagger}-|v_1>$라이브러리를 함께 사용하면 MPMCT 게이트와 SOP 및 POS형 양자논리 회로의 저비용 실현이 가능하며, 순방향과 역방향 연산에 대한 상이한 연산 속성 때문에 듀얼 게이트 성질이 기대된다.

ABSTRACT

Recently a new class of quantum gate called $NCV-|v_1>$ library with low cost realizable potentialities is being watched with keen interest. The $NCV-|v_1>$ MCT gate is composed of AND cascaded-$CV-|v_1>$ gates to control the target qudit and its adjoint gates to erase junk ones. This paper presents a new symmetrical duality library named $NCV^{\dagger}-|v_1>$ library corresponding to $NCV-|v_1>$ library. The new $NCV^{\dagger}-|v_1>$ library can be operated on OR logic under certain conditions. By using both the $NCV-|v_1>$ and $NCV^{\dagger}-|v_1>$ libraries it is possible to realize MPMCT gates, SOP and POS type synthesis of quantum logic circuits with extremely low cost, and expect dual gate property caused by different operational attributes with respect to forward and backward operations.

키워드

Quantum Gate, $NCV-|v_1>$ Library, $NCV^{\dagger}-|v_1>$ Library , Mpmct, Sop And Pos

양자 게이트, 엔씨브이-켓 브이원 라이브러리, 엔씨브이플러스- 켓 브이원 라이브러리, 엠피엠씨티, 에스오피 엔 피오스

Ⅰ. 서 론

최근 NT(: Nano Technology)의 발전에 따라 집적 회로 기술은 점차 물리적 한계에 도달해 양자(Quantum)의 중첩(Superposition)과 얽힘(Entanglement)이란 새로운 물리현상이 지배하는 양

* 강릉원주대학교 정보통신공학과(kouksundo@gwnu.ac.kr)
** 교신저자: 강릉원주대학교 정보통신공학과
· 접 수 일 : 2015. 12. 08
· 수정완료일 : 2016. 01. 13
· 게재확정일 : 2016. 01. 24
· Received : Dec. 08, 2015, Revised : Jan. 13, 2016, Accepted : Jan. 24, 2016
· Corresponding Author : Yeon-man Jeong
Dept. of Information and Communication Technology, Gangneung-Wonju National University
Email : ymjeong@gwnu.ac.kr

자역학 세계에 진입하였고, 이에 따라 NT에 기반을 둔 ICT(: Information And Communication Technology) 분야에도 새로운 양자역학적 패러다임이 요구되고 있다. 양자의 중첩 성질을 이용하는 양자 컴퓨팅은 n 비트 2진 논리의 경우에 2^n개의 모든 상태를 단 한 번의 병렬연산으로 처리할 수 있는 고속 병렬연산이 가능하다. 또한 양자의 얽힘이란 고유 특성은 해킹이 불가능한 암호 통신과 양자 전송(Quantum Teleportation)이란 차세대 ICT인 양자정보 통신 기술을 가능하게 한다. 일반적으로 비가역 회로는 게이트 종단에서 정보 손실에 따른 에너지 손실이 발생하므로 양자 컴퓨팅을 위한 양자논리 회로는 가역 조건을 만족하도록 설계해야 한다.

1980년 Toffoli 유니버셜 게이트의 출현으로 비가역 회로의 가역 실현이 가능해지자 양자논리 함수를 실현하기 위해 다양한 함수 임베딩(embedding) 방법들이 제안되어 왔으며[1-3], 최근에는 직접적 게이트 사상(mapping) 방법[4-6]과 유니터리(unitary) 연산에 적합한 새로운 표기법[7]도 제안되었다. RM(: Reed Muller)형의 PP(: Positive Polarity)RM, NP(: Negative Polarity)RM 및 MP(: Mixed Polarity)RM 함수로 표현된 양자논리 함수는 MCT(: Multiple control Toffoli) 게이트로 실현 가능한데 1995년에 Barenco[8] 등은 NOT의 제곱근 게이트인 V 게이트와 이의 수반인 $V^{\dagger}$게이트로 구성된 NCV 라이브러리로 MCT 게이트를 실현하는 방법을 제안하였다. 2012년에 Miller[9] 등은 양자 게이트 라이브러리에 대한 최신 가역 사상 기술을 고찰하였고, 같은 해에 Miller[10] 등에 의해 새로운 $NCV-|v_1>$ 라이브러리가 추가적으로 가정되었고, 2015년에 A.A-Abhari[11] 등에 의해 $NCV-|v_1>$ 라이브러리를 활용하는 방안이 발표되었다.$NCV-|v_1>$라이브러리는 현재 그 실현 방법이 연구 진행 중인 가정된 라이브러리이지만 기존의 그 어떤 라이브러리들보다 중요한 이점을 제공하기에 현재 가장 주목을 받고 있다. 따라서 본 논문의 물리적 실현방법은 타 방법들[10-11]과 같이 Barenco[8]와 Muthkrishnan[12] 방법에 준한다.

고전 논리회로의 실현 비용은 OR 논리가 가장 싸고 XOR 논리가 가장 비싼 반면에 양자 논리에서는 XOR 논리가 가장 싸고 OR 논리 실현이 가장 비싸다. OR 논리 실현의 고비용과 Toffoli 게이트를 기본 게이트로 사용하는 양자논리 회로의 함수 실현 방법은 AND 논리를 바탕으로 발전해 온 만큼 부울 함수의 쌍대 특성인 SOP(:Sum of Product)나 POS (: Product of Sum)형의 함수 표현에서 제한적일 수밖에 없다. 본 논문은 최근에 기존의 그 어떤 라이브러리들보다 저비용 실현의 가능성을 보여준 AND 논리 기반의 $NCV-|v_1>$ 라이브러리 특성과 대칭적 쌍대 특성을 갖고 있어 저비용 확장 실현이 가능한 OR 논리 기반의 $NCV^{\dagger}-|v_1>$게이트를 제안한다.

본 논문의 구성은 Ⅱ장에서 양자 게이트의 가역적 설계 방법에 대해 고찰하고, Ⅲ장에서 새로운 $NCV^{\dagger}-|v_1>$ 게이트를 제안하고 쌍대 특성을 이용해 PP-, NP- 및 MP-MCT 게이트 실현 방법을 논하였다.

Ⅱ. 배 경

2.1 양자정보 이론 기초

고전 논리회로가 비트(bit)라는 정보 단위를 사용한다면 2치(two-valued), 3치, 그리고 4치에 대응하는 양자논리의 정보 단위는 각각 qubit(quantum bit), qutrit(quantum trit) 및 qudit (quantum digit)이다. 미시 세계의 단일 전자 운동은 식(1)과 같은 단일 qubit인 파동함수 Ψ의 입자 확률밀도로 주어지는 확률적 해석으로 이해된다.

$$|\Psi>=\alpha|0>+\beta|1>,\quad |\alpha|^2+|\beta|^2=1. \tag{1}$$

식(1)에서 캣(ket) 벡터 $|0>$과 $|1>$은 양자에너지가 $\hbar$인 전자의 스핀업(spin-up) 및 스핀다운(spin-down) qubit를 디락(Dirac) 표기로 나타낸 것으로 $|0>=\begin{pmatrix}1\\0\end{pmatrix}$과 $|1>=\begin{pmatrix}0\\1\end{pmatrix}$ 행렬로 표기한다. 식(1) 상태의 전자를 측정하게 되면 중첩상태의 파동성 함수 특성은 물리적 측정에 의해 수축하며 거시적 흔적이라 불리는 입자성으로 관측되게 된다. 복소수인 α와 β는 파동상태의 전자가 각각 $|0>$와 $|1>$의 중첩 상태에 있을 확률 크기를 나타내며 각각의 발견 확률은 $|\alpha|^2$과 $|\beta|^2$이다. 식(2)의 NOT의 제곱근(squared root-of-NOT) 게이트가 식(3)의 V이고, V의 수반(adjoint) 게이트가 식(4)의 $V^{\dagger}$이다.

$$NOT=\begin{pmatrix}0&1\\1&0\end{pmatrix} \quad (2)$$

$$V=\sqrt{NOT}=\frac{1+i}{2}\begin{pmatrix}1&-i\\-i&1\end{pmatrix}=\begin{pmatrix}v_0\\v_1\end{pmatrix} \quad (3)$$

$$V^{\dagger}=\frac{1-i}{2}\begin{pmatrix}1&i\\i&1\end{pmatrix}=\begin{pmatrix}v_1\\v_0\end{pmatrix} \quad (4)$$

$\forall x\in\{0,V_0,1,V_1\}$인 임의의 한 qudit의 상태벡터 $|\Phi(x)>$는 복소수 $\alpha,\beta,\gamma,\delta$가 $|\alpha|^2+|\beta|^2+|\gamma|^2+|\delta|^2=1$일 때 식(5)로 표현될 수 있다.

$$|\Phi(x)>=\alpha|0>+\beta|V_0>+\gamma|1>+\delta|V_1> \quad (5)$$

식(5)은 파동 함수인 입자가 네 가지 중첩 상태에 있음을 의미하며, 이때 α, β, γ, δ는 각각의 양자 상태 $x\in\{0,V_0,1,V_1\}$의 상태 밀도 크기로서 상태 밀도의 절대 제곱은 그 상태에서 입자가 발견될 확률이며 네 상태의 전체 확률은 1로 정규화 된다.

2.2 가역적 양자논리의 조건

양자논리 회로는 유니터리 연산부와 이를 제어하는 제어 연산부로 구성되며, 부정과 항등의 기본 연산자로 유니터리 연산을 실행한다. 유니터리 연산부에는 표적선 상에 양자논리 함수의 유니터리 행렬연산을 실행하는 유니터리 연산자들이 종속 적(cascade product) 관계로 배치된다. 제어부에는 유니터리 함수의 on/off 제어 목적으로 삽입되어 제어입력 상태 값에 따라 선택적으로 AND 활성화 되는 Toffloi 라이브러리 게이트들과 NCV 라이브러리 게이트들이 배치된다. 이와 같이 표적을 제어할 목적으로 제어부에 삽입된 제어 게이트들은 입력 값을 변화시켜 비가역 신호를 유발한다. 따라서 제어선 종단에 제어 게이트의 수반 게이트를 직렬 삽입해 제어선 종단에 입력 값을 저장하는 효과를 얻게 하는 가역 설계를 해야만 한다. 식(6),(7)은 각각 유니터리 행렬의 NOT과 항등 연산이며, 식(8)은 V의 수반행렬이 V의 역행렬과 같음을 보여 준다.

$$VV=V^{\dagger}V^{\dagger}=NOT \quad (6)$$

$$VV^{\dagger}=V^{\dagger}V=\begin{pmatrix}1&0\\0&1\end{pmatrix} \quad (7)$$

$$V^{\dagger}=V^{-1} \quad (8)$$

입력과 출력 수가 각각 n과 m인(즉, n×m) 양자논리 회로가 가역일 조건은 1) n=m을 만족해야 하며, 2) 각 입력은 고유한 출력에 전단사(bijection)되어야 한다.

2.3 Toffoli 및 NCV 라이브러리와 회로

양자논리 회로에서 1×1 NOT, 2×2 CNOT (controlled NOT), 그리고 Toffoli 게이트라 불리는 3×3 CCNOT(controlled CNOT) 게이트는 기본 게이트로서 이들 게이트들의 종속 적은 확장된 게이트를 생성한다. NCV 라이브러리에는 제어(controlled, C) 입력을 갖지 않는 1 qudit $\{NOT, V, V^{\dagger}\}$ 라이브러리와 제어입력을 갖는 2 qudit $\{CNOT, CV, CV^{\dagger}\}$라이브러리가 있다.

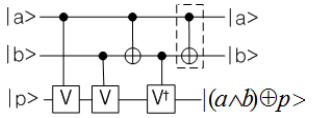


그림 1. 3x3 Toffoli 게이트의 NCV 라이브러리 사상
Fig. 1 NCV library mapping to 3x3 Toffoli gate

그림 1은 두 제어입력이 $x_1\wedge x_2=1$인 상수 입력일 때 표적 선 상의 $CV^{\dagger}$게이트는 $x_1\oplus x_2=0$에 의해 표적입력을 복사하는 항등 연산자로 작용하지만 $CV^{\dagger}$게이트 앞의 두 CV 게이트들은 $x_1\wedge x_2=1$인 경우에만 식(6)과 같이 표적 qubit을 전환(flip)시킬 수 있는 3×3 Toffoli 게이트 사상이다. 표 1은 NCV 라이브러리에 4가지 상태벡터들이 입력될 경우의 양자연산으로 식(9)은 V에 $x=0$이 입력될 경우의 연산 결과이다.

$$V|0>=\frac{1+i}{2}\begin{pmatrix}1&-i\\-i&1\end{pmatrix}\begin{pmatrix}1\\0\end{pmatrix}=\frac{1+i}{2}\begin{pmatrix}1\\-i\end{pmatrix}=|v_0> \quad (9)$$

표 1. NCV 라이브러리의 양자 연산
Table 1. Quantum operations of NCV libraries

x	$NOT(x)$	$V(x)$	$V^{\dagger}(x)$
|0>	|1>	$\|v_0>$	$\|v_1>$
$\|v_0>$	$\|v_1>$	|1>	|0>
|1>	|0>	$\|v_1>$	$\|v_0>$
$\|v_1>$	$\|v_0>$	|0>	|1>

III. NCV-|V1> 라이브러리의 확장

본 장에서는 $n \le 2$인 $NCV-|v_1>$라이브러리의 특성을 고찰한 후 $n \ge 3$인 일반적 경우로 확장하고 새 라이브러리를 추가하였다.

3.1 2x2 $NCV-|v_1>$ 라이브러리 특성

$NCV-|v_1>$ 라이브러리는 임의 한 qudit의 4개 상위 상태벡터 |0|,|1>,|2>,|3> 각각에 대응하는 4개의 다치(multiple-valued) 기저상태 벡터 |0|,$|v_0>$,|1>, $|v_1>$을 갖는 4-치 논리 게이트들이다. $U \in \{V, V^\dagger\}$인 1 qudit U 연산자를 제어입력으로 갖고 $U|x>=U_x=v_1$인 경우에만 표적 $|p>$가 반전되는 그림 2는 2x2 통합 라이브러리로써 이를 $NCU-|v_1>$ 라이브러리라 명칭하자. $NCU-|v_1>$라이브러리는 $U=V$이면 $V|x>=V_x$에 의해 $x=1$인 제어입력에 대해 표적 $|p>$의 반전 값을 출력하는 기존의 2x2 $NCV-|v_1>$라이브러리로 작동한다.

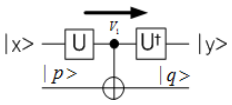


그림 2. 2x2 $NCU-|v_1>$ 라이브러리
Fig. 2 2x2 $NCU-|v_1>$ library

$NCU-|v_1>$라이브러리에서 $U=V^\dagger$인 경우는 $NCV-|v_1>$ 라이브러리에 대응하는 새로운 라이브러리로서 이를 $NCV^\dagger-|v_1>$ 라이브러리라 명칭하자. 2-qudit $NCV^\dagger-|v_1>$라이브러리의 논리 연산은 $V^\dagger|x>=V_x^\dagger$에 의해 $x=0$인 상수 입력에 국한해 표적 $|p>$을 반전시킨다.

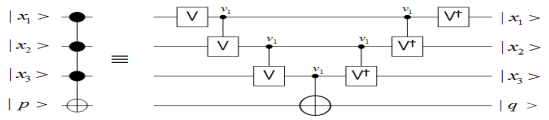
3.2 n×n NCV-$|v_1>$ 확장 라이브러리

식(10)은 4×4 PPMCT 게이트로써 $NCV-|v_1>$ 라이브러리 실현은 그림 3(a)과 같다[10-11]. 그림 3(a)에서 표적 입력 $|p>$는 세 개의 qudit 제어입력들에 의해 제어되는데 첫 번째 제어선의 제어출력이 두 번째 제어선의 제어입력이 되는 종속 결합이므로 $x_1 \wedge x_2 \wedge x_3 = 1$인 상수 입력의 경우에만 표적 $|p>$을 반전시킬 수 있다.

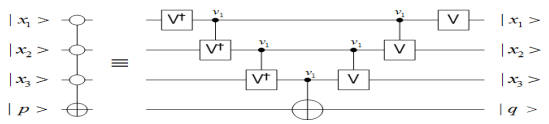
$$|q>=|\bigwedge_{k=1}^{3} x_k \oplus p> \tag{10}$$

그림 3(b)은 $U=V^\dagger$인 NPMCT로서의 $NCV^\dagger-|v_1>$라이브러리로서 모든 제어 qudit이 '0'인 상수 입력의 경우에만 $V^\dagger|0>=V_1$으로 $\overline{x_1} \wedge \overline{x_2} \wedge \overline{x_3}=1$의 종속 AND가 활성화되어 표적 $|p>$의 반전이 가능하며, 그 외의 균형(balanced) 입력에 대해서는 종속 AND가 "0"이 되므로 표적입력을 출력에 복사한다. 이와 같이 $|0>$인 제어 qudit들의 종속 AND 논리는 드 모르간(De Morgan) 정리에 의해 식(11)의 OR 논리로 등가 변환할 수 있다. 즉 $U=V^\dagger$일 때 그림 3(b)의 $NCV^\dagger-|v_1>$ 라이브러리는 p=1이면 OR 논리 그리고 p=0이면 NOR 논리 특성을 갖는 $NCV-|v_1>$ 라이브러리 게이트의 쌍대 라이브러리 게이트이다.

$$|q>=(\bigwedge_{k=1}^{3} \overline{x_k}) \oplus p = (\bigvee_{k=1}^{3}) \oplus \overline{p} \tag{11}$$



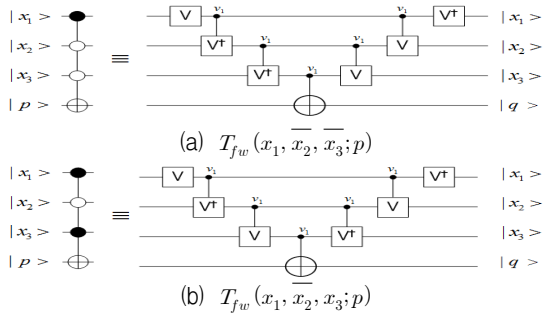
(a) 4×4 $NCV-|v_1>$ library



(b) 4×4 $NCV^\dagger-|v_1>$ library

그림 3. 4×4 $NCU-|v_1>$라이브러리의 쌍대 라이브러리
Fig. 3 Duality libraries of 4×4 $NCU-|v_1>$ library

그림 4는 대칭적 쌍대 특성을 갖는 $NCV-|v_1>$ 및 $NCV^\dagger-|v_1>$라이브러리를 사용하여 4×4 MPMCT 게이트를 순방향(forward, fw)으로 실현한 것이다. 그림 4에서 (a)와 (b)의 각 제어선 상의 좌측 게이트들은 $|x_1 x_2 x_3>$이 각각 |100>과 |101>인 MP 제어입력에 대해서만 표적 $|p>$을 $|p \oplus 1>$로 변환하는 MPMCT 게이트들이고 동일 제어선 상의 우측 게이트들은 해당 제어선 상에서 입출력 항등성 유지를 위해 잡동사니 qudit 제거용으로 삽입된 수반 게이트들이다.



(a) $T_{fw}(x_1, \overline{x_2}, \overline{x_3}; p)$

(b) $T_{fw}(x_1, \overline{x_2}, x_3; p)$

그림 4. 4×4 MPMCT 게이트

Fig. 4 4×4 MPMCT gates

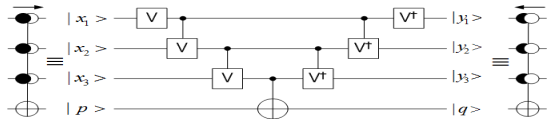
n-qudit 제어입력을 갖는 그림 5의 $(n+1)\times(n+1)$ $NCU-|v_1>$ 라이브러리는 식(12),(13)와 같은 직접적 확장이 용이하다. 그림 5에서 $U=V$인 경우가 기존의 $(n+1)\times(n+1)$ $NCV-|v_1>$ 라이브러리[10-11]로서 p=0과 p=1일 때 각각 AND와 NAND 게이트로 동작하며 식(12)과 같이 2n+1 개 게이트 비용으로 확장 실현할 수 있다.

$$q=\bigwedge_{k=1}^{n} x_k \oplus p \tag{12}$$

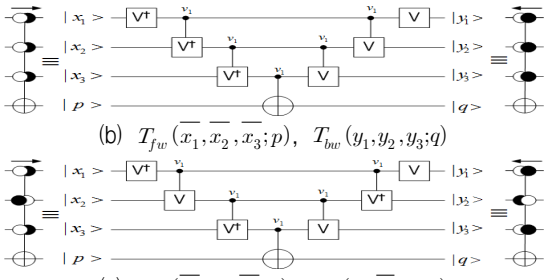
$U=V^{\dagger}$인 경우에는 $(n+1)\times(n+1)$ $NCV^{\dagger}-|v_1>$ 라이브러리로서 p=0이면 NOR 게이트이고 p=1 이면 OR 게이트로 동작하며 식(13)과 같이 2n+1 개 게이트 비용으로 확장 실현될 수 있다.

$$q=\bigvee_{k=1}^{n} x_k \oplus \overline{p}=\bigwedge_{k=1}^{n} \overline{x_k} \oplus p \tag{13}$$

그림 5의 역방향(backward, bw) 게이트 T_{bw}은 $U=V^{\dagger}$인 경우에 $U=V$인 T_{fw}에 대응하며, $U=V$인 역방향 게이트 T_{bw}은 $U=V^{\dagger}$인 T_{fw} 게이트에 대응한다. $(n+1)\times(n+1)$ $NCV^{\dagger}-|v_1>$ 라이브러리 게이트 기호는 그림 5와 같은 듀얼 게이트로 정의한다.



(a) $T_{fw}(x_1,x_2,x_3;p)$, $T_{bw}(\overline{y_1},\overline{y_2},\overline{y_3};q)$



(b) $T_{fw}(\overline{x_1},\overline{x_2},\overline{x_3};p)$, $T_{bw}(y_1,y_2,y_3;q)$

(c) $T_{fw}(\overline{x_1},x_2,\overline{x_3};p)$, $T_{bw}(y_1,\overline{y_2},y_3;q)$

그림 5. $(n+1)\times(n+1)$ $NCU-|v_1>$ 쌍대 게이트

Fig. 5 $(n+1)\times(n+1)$ $NCU-|v_1>$ duality gate

모든 $NCU-|v_1>$라이브러리는 연산 방향의 첫 번째 제어 qudit이 $NCU-|v_1>$라이브러리 게이트의 주 연산 특성을 결정하며, 이의 수반 게이트는 역방향 연산 시에 주 연산 게이트로 작용하게 되어 결과적으로 순방향과 역방향 연산이 대칭적 쌍대인 듀얼 게이트 특성을 갖는다.

Ⅳ. 비교 및 검토

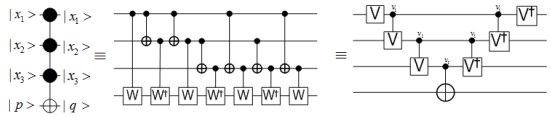
표 2는 본 논문이 제안한 새로운 $NCV^{\dagger}-|v_1>$ 라이브러리의 OR(및 NOR) 게이트에 대한 실현 비용을 기존의 방법과 비교한 것이다. n×1 OR 게이트의 PPRM형 함수 실현은 '0'이 아닌 2^n-1개 PPMCT 게이트들의 XOR 연산이므로 n이 증가할수록 고차수의 MCT 항들이 발생하는 매우 소모적 방법이다. 특히 n=2인 다수결(majority) 함수는 n=2인 경우에만 식(13)과 같은 OR 논리와 등가 기능을 보이지만 $n\geq3$인 경우에 OR 논리 구조의 확장성은 없다.

표 2. OR 게이트 실현을 위한 게이트 수

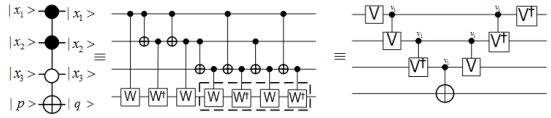
Table 2. Gate numbers to realize OR gate

n	reversible gate mapping to n×1 OR logic		
	[4,5]	[8-9]	This paper
1	1	1	3
2	7	5(NCV)	5
3	31	14	7
4	106	20	9
5	317	32	11

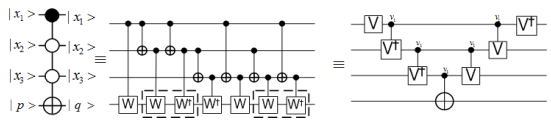
$$S^{1,2}(a,b) = S^1(a,b) \vee S^2(a,b) \equiv a \vee b \quad (13)$$



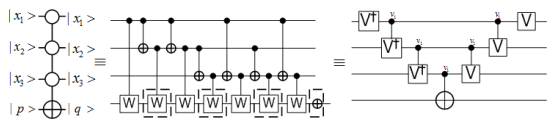
(a) $T(x_1, x_2, x_3; p)$



(b) $T(x_1, x_2, \overline{x_3}; p)$



(c) $T(x_1, \overline{x_2}, \overline{x_3}; p)$



(d) $T(\overline{x_1}, \overline{x_2}, \overline{x_3}; p)$

그림 6. $MPMCW$의 $NCVW$과 $NCU-|v_1>$라이브러리 실현

Fig. 6 Realizing $MPMCW$ by $NCVW$ and $NCU-|v_1>$library

그림 6의 좌측 열은 4×4 $MPMCW$ 함수이며, 중간 열은 Miller[9] 등이 $NCVW$ 라이브러리 게이트들을 이용해 게이트 비용 13~14로 실현한 것이고, 우측 열은 본 논문의 실현 방법으로서 게이트 비용이 7이다. 표 3은 양자게이트 라이브러리의 실현 가능한 RM 함수의 극성, 확장성, 그리고 게이트 유형에 대한 비교이다.

표 3. 실현 가능 방법의 비교

Table 3. Comparison of realizable methods

criterion	$NCV-\|v_1>$[10,11]	This paper	
		$NCV^+-\|v_1>$	$NCU-\|v_1>$
PPMCT	O	X	O
NPMCT	X	O	O
MPMCT	X	X	O
gate cost	2n+1	2n+1	2n+1
gate type	single	single	duality

그림 7은 $q=\overline{x_1}\,\overline{x_2}\,\overline{x_3}\oplus x_1x_2x_3$을 순방향 $NCU-|v_1>$ 라이브러리 게이트에 의해 게이트 비용 14로 실현한 것이다.

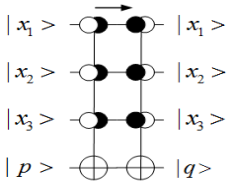


그림 7. $q=\overline{x_1}\,\overline{x_2}\,\overline{x_3}\oplus x_1x_2x_3$의 $NCU-|v_1>$ 실현

Fig. 7 Realizing $q=\overline{x_1}\,\overline{x_2}\,\overline{x_3}\oplus x_1x_2x_3$ using $NCU-|v_1>$ library

V. 결 론

본 논문에서는 기존의 $NCV-|v_1>$ 라이브러리와 쌍대 특성을 갖는 새로운 $NCV^+-|v_1>$ 라이브러리를 제안하였으며, 대칭적 쌍대인 두 라이브러리를 통합한 $NCU-|v_1>$라이브러리가 양방향 듀얼 게이트 속성을 갖고 있음을 밝혔다. $NCV^+-|v_1>$ 라이브러리는 모든 제어 qudit이 "0"의 AND 적인 종속 연결 시에만 표적 qudit을 반전시키므로 "1"의 AND 적인 종속 연결 특성을 갖는 $NCV-|v_1>$ 라이브러리와 쌍대 특성인 OR(및 NOR) 연산자 특성을 보인다. 더 나아가 서로 쌍대인 $NCV-|v_1>$ 라이브러리와 $NCV^+-|v_1>$ 라이브러리는 잡동사니 qudit 제거용으로 삽입한 수반 연산자들로 인해 순방향과 역방향 연산이 서로 다른 양방향 듀얼 게이트 속성을 갖고 있음을 확인할 수 있었다. 본 논문은 양자논리에서 가장 비싼 실현 비용을 갖는 OR 논리를 AND 논리 구조를 이용해 2n+1의 저비용 실현을 가능케 함으로써 SOP형 및 POS형 양자논리 회로의 저비용 실현에 기여할 것으로 사료된다. 향후 $NCU-|v_1>$라이브러리의 함수 합성을 위한 수학적 모델링과 양방향 듀얼 게이트의 활용에 대한 연구 필요성이 대두된다.

References

[1] D. Maslov and G. Dueck, "Reversible Cascades with Minimal Garbage," *IEEE Trans. CAD*, vol. 23, no. 11, 2004, pp. 1497-1509.

[2] R. Wille and R. Dreschler, "BDD-based Synthesis of Reversible Logic Circuits for Larger Functions," In *Design Automation Conf.*, San Francisco, USA, July 2009, pp. 270-275.

[3] D. Miller, R. Wille, and G. Dueck, "Synthesizing Reversible Circuits for Irreversible Functions," In *12th Euromicro Conf. on Digital System Design/Architectures, Methods and Tools,* Patras, Greece, August 2009, pp. 749-756.

[4] Z. Zilic, K. Radecka, and A. Khazamiphur, "Reversible circuit technology mapping from non-reversible specifications," In *Proc. Design Automation and Test in Europe,* Nice, France, April 2007, pp. 558-563.

[5] S. Sultana and K. Radecka, "Rev-Map: A Direct Gateway from Classical Irreversible Network to Reversible Network," In *IEEE 42th Int. Symp. on Multiple-Valued Logic*, Victoria, Canada, May 2012, pp. 147-152.

[6] D. Park and Y. Jeong, "A New Functional Synthesis Method for Macro Quantum Circuits Realized in Affine-Controlled NCV-Gates," *J. of the Korea Institute of Electronic Communication Science*, vol. 9, no. 4, 2014, pp. 447-454.

[7] D. Park and Y. Jeong, "Gate Cost Reduction Policy for Direct Irreversible-to-Reversible Mapping Method without Reversible Embedding," *J. of the Korea Institute of Electronic Communication Science*, vol. 9, no. 11, 2014, pp. 1233-1240.

[8] A. Barenco, C. Bennett, R. Cleve, D. DiVinchenzo, N. Margolus, P. Shor, T. Sleator, J. Smolin, and T. Weinfurter, "Elementary Gates for Quantum Computation," *The American Physical Society,* vol. 52, 1995, pp. 3457-3467.

[9] D. Miller and Z. Sasanian, "Recent Developments on Mapping Reversible Circuits to Quantum Gate Libraries," In *Int. Symp. on Electronic System Design (ISED),* Kolkata, India, December 2012, pp. 17-22.

[10] Z. Sasanian, R. Wille, and D. Miller, "Realizing reversible circuits using a new class of quantum gates," In *Design Automation Conf.,* San Francisco, USA, June 2012, pp. 36-41.

[11] A. Wille and R. Drechsler, "An examination of the NCV-|v_1> quantum library based on minimal circuits," In *Proc. IEEE 45th Int. Symp. on Multiple-Valued Logic,* Waterloo, Canada, May 2015, pp. 42-47.

[12] A. Muthukrishnan and C. Stroud Jr., "Mutivalued logic gates for quantum computation," *Physical Review A,* vol. *62,* no. *5* ,2000, pp. 1-8.

저자 소개

박동영(Dong-young Park)

1980년 인하대학교 전자공학과 졸업(공학사)
1985년 인하대학교 대학원 전자공학과 졸업(공학석사)
1995년 인하대학교 대학원 전자공학과 졸업(공학박사)
2016년 강릉원주대학교 정보통신공학과 교수
※ 관심분야 : 다치논리 회로, 양자정보통신

정연만(Yeon-Man Jeong)

1983년 숭실대학교 전자공학과 졸업(공학사)
1985년 숭실대학교 대학원 전자공학과 졸업(공학석사)
1991년 숭실대학교 대학원 전자공학과 졸업(공학박사)
2016년 강릉원주대학교 정보통신공학과 교수
※ 관심분야 : 통신신호처리, 무선통신시스템, RF IC 설계