

IoT 용 초저전력 터널링 트랜지스터 소자 기술

1. 서론

IoT의 구현을 위해서는 초저전력 반도체 소자 기술의 개발이 매우 중요한 이슈로 등장하고 있다. 금속-산화물 반도체 전계효과 트랜지스터 (metal-oxide-semiconductor field-effect transistor, MOSFET)가 개발된 이후로 지금까지도 반도체 소자 기술은 급격히 발전하여 왔다. 이는 1965년 무어의 법칙 (Moore's law)으로 설명되는 축소화에 따른 MOSFET의 고집적화, 고속화, 저 전력화에 힘입은 바 크다. 하지만 반도체 소자의 크기가 급속히 작아짐에 따라 단채널 효과 (short channel effect)가 심화되는 문제가 발생하고 있다. 이를 극복하기 위하여 고유 전막/금속 게이트 기술^[1], finFET을 비롯한 다중게이트 구조^[2], 스트레인드 실리콘 (strained silicon)^[3]등의 기술이 성공적으로 개발되어 왔다. 하지만 이러한 노력에도 불구하고 MOSFET의 전력 소모 (power consumption)는 급격하게 증가되어 왔다. 이는 구동전압 (V_{DD})과 관련이 있다. 반도체 소자의 전력소모는 크게 동적 (dynamic), 정적 (static) 전력 소모로 분류가 가능한데, 구동전압은 이 두가지 모두를 결정하는데 매우 중요한 역할을 한다^[4]. 따라서 낮은 구동전압의 구현은 IoT용 초저전력 반도체 소자의 핵심적인 기술이 된다.

하지만 기존의 MOSFET은 문턱전압이하 기울기 (subthreshold swing)가 상온에서 60mV/dec 이하로 낮아질 수 없는 물리적 한계가 있어 구동 전압을 낮추게 되면 성능의 저하를 피하기 어려운 문제가 있다. 이를 극복하기 위하여 양자역학적 현상인 밴드간 터널링 (band-to-band tunneling)을 활용한 터널링 전계효과 트랜지스터 (tunnel field-effect transistor, TFET)에 대해 활발한 연구가 이어지고 있다. 본 논문은 이에 관련된 연구의 동향을 개략적으로 설명하고자 한다. TFET의 구조와 특징, 동작원리에 대한 소개에 이어 IoT용 초저전력 용



박종한
서강대학교 전자공학과



최우영
서강대학교 전자공학과

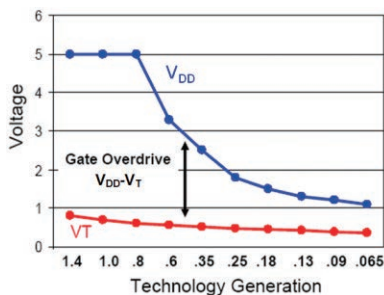
용을 위해 lateral TFET과 vertical TFET 구조와 터널링 효율의 증가 방법을 다룰 것이다.

II. TFET 소자 기술

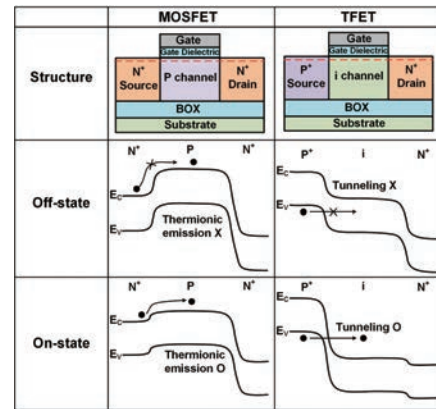
1. TFET의 구조

MOSFET의 경우 소자의 집적도와 처리 속도, 그리고 소모 전력의 개선을 위해 수직/수평적 크기와 더불어 구동 전압에 있어서도 축소화가 이루어져 왔다. 그러나 현재의 MOSFET은 <그림 1>과 같이 구동전압을 더 이상 줄이기 어려운 상황에 도달하였다^[4]. 이는 기존 MOSFET의 동작원리인 열전자 방출 (thermionic emission)의 물리적 특성상 상온에서 문턱전압이하 기울기가 60mV/dec 이하로 감소하는 것이 불가능하기 때문이다. 하지만 TFET은 열전자 방출과는 상이한 터널링 방식으로 전류의 흐름을 제어하므로 입력 전압의 미세한 변화가 출력 전류의 급격한 변화로 이어질 수 있게 되는 것이다^[5]. <그림 2>는 n형 SOI (silicon-on-insulator) MOSFET과 TFET의 구조와 동작원리를 비교하고 있다. 기존 MOSFET의 구조와 달리 TFET은 소스와 드레인 영역이 상이한 불순물 도핑 구조를 가지게 되며, 이를 통해 입력 전압 인가시 소스와 채널 간 터널링을 통해 전류의 흐름을 제어하게 된다.

<그림 3>은 TFET과 MOSFET의 전달 특성을 비교한



<그림 1> 소자 크기의 축소와 구동 전압 감소의 동향^[4]

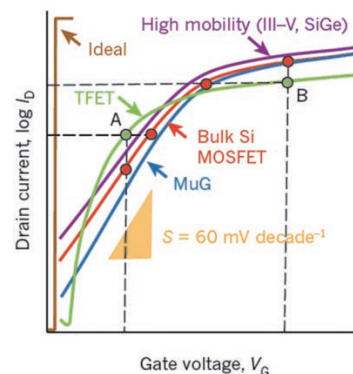


<그림 2> MOSFET과 TFET의 구조와 동작원리 비교

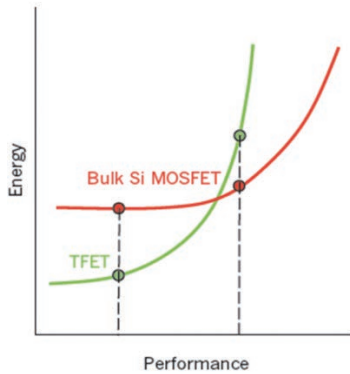
것이다. 그래프의 A점에서 확인 가능하듯 TFET의 향상된 문턱전압이하 기울기로 인해 저전압 구동시 유리한 전달 특성을 나타낸다. 따라서 <그림 4>와 같이 MOSFET에 준하는 성능을 훨씬 낮은 에너지를 소모하며 보일 수 있게 된다.^[6]

하지만 이러한 초저전력 응용의 장점에도 불구하고 TFET은 MOSFET에 비하여 현저히 낮은 on 전류로 인하여 실용화가 지연되고 있는 상황이다. TFET의 on 전류는 밴드간 터널링에 의하여 발생하게 되므로 터널링 전류의 향상이 매우 중요한 연구주제로 등장하고 있다. 이를 위해서는 밴드간 터널링 면적을 증가시키거나 밴드간 터널링 확률이 증가해야 한

기존 MOSFET의 동작원리인 열전자 방출의 물리적 특성상 상온에서 문턱전압이하 기울기가 60mV/dec 이하로 감소하는 것이 불가능하기 때문이다. 하지만 TFET은 열전자 방출과는 상이한 터널링 방식으로 전류의 흐름을 제어하므로 입력 전압의 미세한 변화가 출력 전류의 급격한 변화로 이어질 수 있게 되는 것이다.



<그림 3> MOSFET과 TFET의 전달특성 비교^[6]



〈그림 4〉 MOSFET과 TFET의 성능과 에너지 효율 비교^[6]

다. 밴드 간 터널링은 확률 함수로서 표현되며, 이때의 터널링 장벽은 이상적으로 삼각형의 형상으로 근사할 수 있다. Wentzel-Kramer-Brillouin (WKB) 근사를 통해 터널링 확률함수를 식으로 표현하면 아래 식과 같다.^[7]

$$P_{WKB} \approx \exp\left(-\frac{4\sqrt{2m^*}E_g^{3/2}}{3q\hbar F}\right)$$

$$F = \frac{E_g}{qW_{tun}}$$

여기서 m^* 는 유효 질량, E_g 는 에너지 대역 간극, \hbar 는 플랑크 상수, F 는 전계를 나타낸다.

따라서 터널링 전류의 증가를 위해서는 터널링 면적의 극대화, 구조 변경을 통한 전계의 집중, 물질 변경을 통한 유효 질량 및 에너지 대역 간극 감소가 필요하다. 지금부터 터널링 전류 증가를 위한 TFET 소자 기술에 대해 살펴해보도록 하겠다.

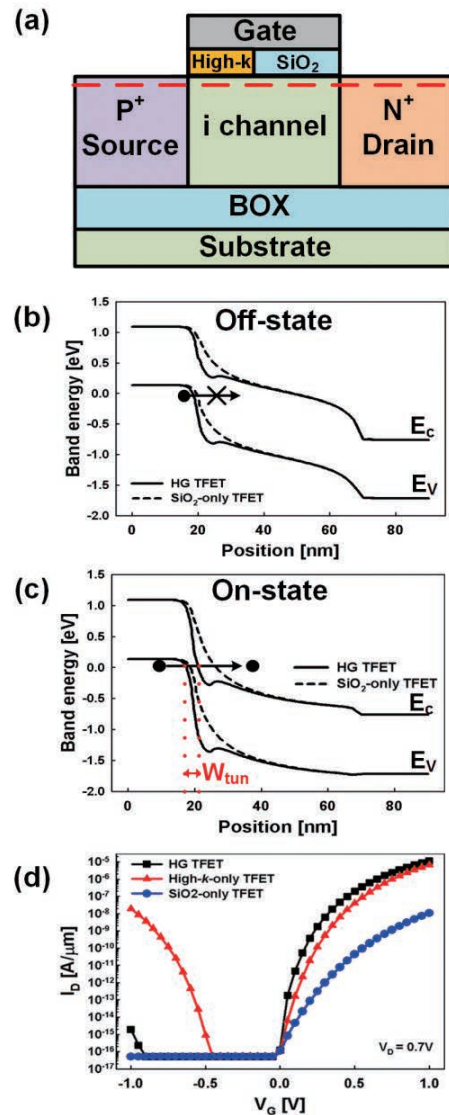
2. Lateral TFET

첫 번째로 살펴볼 TFET 소자는 lateral TFET으로

서 게이트에 평행한 방향으로 밴드 간 터널링이 발생하게 된다. 이러한 lateral TFET은 MOSFET과 유사하게 채널에 대한 게이트의 장악력을 증가시키기 위해 게이트 절연체로 high-k 물질을 적용하였다. 하지만, 채널 전 영역에 high-k 적

용 시 TFET의 독특한 현상인 양극성 전류 (ambipolar current)가 증가하여 누설전류가 급격히 증가하는 단점

lateral TFET는 게이트에 평행한 방향으로 밴드간 터널링이 발생하게 된다. 이러한 lateral TFET은 MOSFET과 유사하게 채널에 대한 게이트의 장악력을 증가시키기 위해 게이트 절연체로 high-k 물질을 적용하였다.

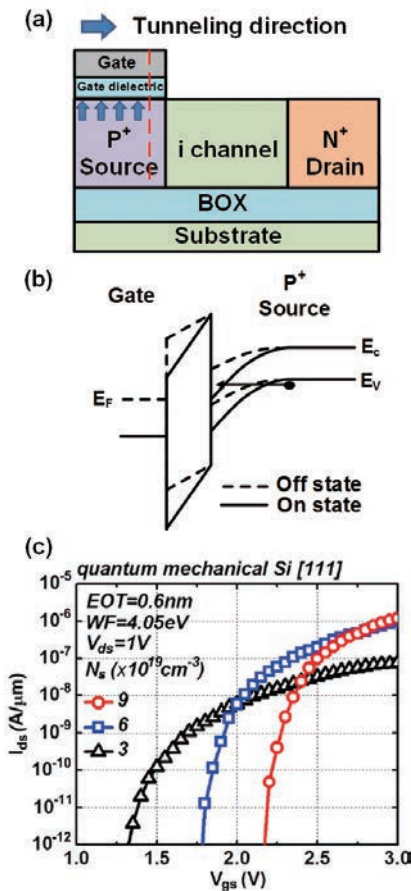


〈그림 5〉 (a) HG-TFET의 구조. (b) Off 상태의 에너지 대역. (c) On 상태의 에너지 대역. (d) SiO₂-only, high-k-only, HG TFET의 전달 특성 비교^[9]

이 있다.^[8] 이를 해결하기 위하여 채널의 국부적 영역에만 high-k 물질을 적용시킨 HG-TFET이 제안되었다.^[9]

〈그림 5(a)〉는 HG-TFET의 구조와 동작원리를 나타낸다. 〈그림 5(b), (c)〉와 같이 소스와 채널 간

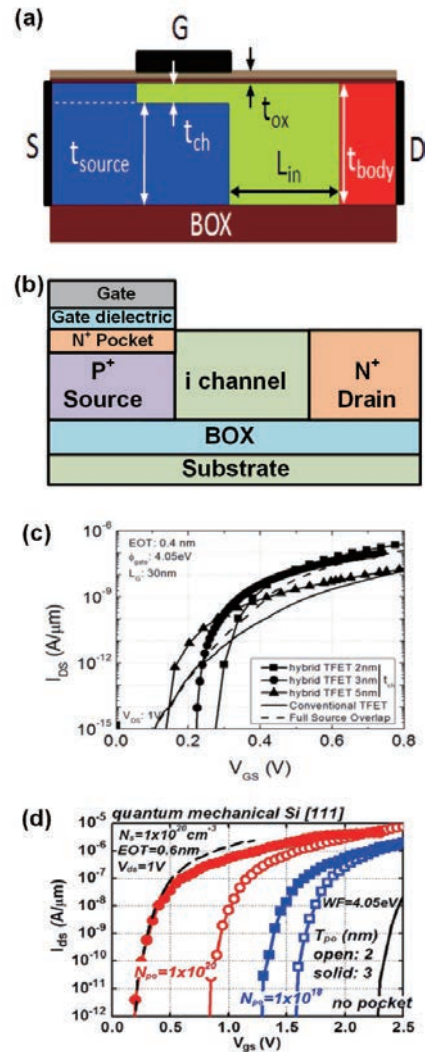
국부적으로 적용된 high-k 물질로 인해 전계의 집중 현상이 나타나게 되고 채널의 전도대에 국부적인 최소영역



〈그림 6〉 (a) Vertical TFET의 구조. (b) Vertical TFET의 동작원리. (c) Vertical TFET의 소스 도핑농도에 따른 문턱전압 및 문턱전압이하 기류기 변화^[12]

이 나타나게 된다. 그 결과 터널링 폭 감소로 인하여 터널링 효율이 증가하므로 〈그림 5(d)〉와 같이 문턱전압이하 기류기가 향상된다. 또한, 채널과 드레인 영역에는 상대적으로 낮은 유전율을 가진 SiO₂가 위치하므로 양극성 전류도 줄일 수 있게 되는 것이다. 따라서 HG-TFET은 전계의 집중을 통해 초저전력 구현을 위한 TFET 소자의 가능성을 제시했다. 이와 유사한 원리를 적용한 예로 서로 다른 일함수 (work function)를 갖는 물질을 게이트 전극으로 사용한 dual material gate TFET^[10], 소스와 채널 사이에 소스와 상이한 도핑을 적용한 p-n-i-n TFET 등이 있다.^[11] 지금까지 살펴본 lateral TFET은 초저전력, 고에너

Vertical TFET은 소스 영역 위에 게이트 절연체와 게이트 전극이 존재한다. vertical TFET은 상대적으로 넓은 면적에서 터널링이 발생하므로 동일한 터널링 확률에서도 터널링 전류를 증가시킬 수 있는 장점이 있다.



〈그림 7〉 (a) 소스 영역 위에 진성영역을 삽입한 vertical TFET의 구조.^[13] (b) 소스 영역 위에 반대 도전형의 pocket 영역을 활용한 vertical TFET의 구조. (c) 진성영역 두께에 따른 vertical TFET과 lateral TFET의 전달특성 비교.^[13] (d) Pocket 영역 도핑농도에 따른 vertical TFET의 전달특성 비교^[12]

지 효율의 반도체 소자에 대한 가능성을 보여주었다. 하지만 채널길이 축소시 드레인으로부터 채널로 침투하는 전계의 영향이 강해지므로 MOSFET에서의 Drain induced barrier lowering (DIBL)과 마찬가지로 Drain induced barrier thinning (DIBT) 같은 단채널 효과가 발생하는 단점이 있다.



3. Vertical TFET

다음으로 살펴볼 반도체 소자는 vertical TFET 이다. <그림 6(a)>는 vertical TFET의 구조를 나타낸 것이다. Vertical TFET은 소스 영역 위에 게이트 절연체와 게이트 전극이 존재한다. Lateral TFET은 소스와 채널 간 협소한 면적에서만 터널링이 발생하지만 vertical TFET은 상대적으로 넓은 면적에서 터널링이 발생하므로 동일한 터널링 확률에서도 터널링 전류를 증가시킬 수 있는 장점이 있다. <그림 6(b)>는 vertical TFET의 동작원리를 도시하며 lateral TFET과 달리 밴드간 터널링이 게이트에 수직으로 발생하는 특징이 있다. 하지만 <그림 6(c)>와 같이 vertical TFET의 경우 소스의 도핑농도가 낮을 경우 터널링 폭이 커져 문턱전압이하 기울기가 증가하며, 소스의 도핑농도가 클 경우 문턱전압이 높아 저 전력 소자로 사용이 힘들다는 단점이 존재하였다.^[12]

이를 해결하기 위해 <그림 7(a)>와 같이 게이트 절연체와 소스 영역 사이에 진성 영역을 성장시키거나^[13] <그림 7(b)>와 같이 소스와 반대 도전성의 채널을 형성시켜 문턱전압을 낮추었다. 그 결과 <그림 7(c), (d)>와 같이 lateral TFET에 비해 향상된 문턱전압이하 기울기를 가지며 문턱전압도 낮출 수 있으므로 초저전력 구동에 유리한 특징을 가진다.^[12-13] 하지만 vertical TFET의 경우 소자의 성능 향상을 위해 소스 영역과 소스와 게이트 절연물 사이의 진성영역의 길이를 증가시켜 터널링 면적을 증가시켜야 하나 이 경우 집적도가 감소하는 단점이 있다. 또한 이 경우 소스와 진성영역의 저항 성분도 같이 증가하게 되므로 오히려 구동 전류가 감소할 수 있다는 연구결과가 보고되었다.^[14]

VI. 향후 연구 및 결론

IoT의 급성장은 초저전력 반도체 소자기술을 요구하고 있다. 이러한 반도체 시장의 변화에 능동적으로 대응하고 변화를 주도하기 위해서는 고에너지 효율의 차세대 반

도체 소자 개발이 매우 중요하다. 지금까지 MOSFET을 대체 혹은 보완할 차세대 초저전력 반도체 소자에 대하여 살펴보았다. TFET은 낮은 문턱전압이하 기울기로 인해 기존의 MOSFET으로는 불가능한 초저전력 소모가 가능하여 전원의 공급이 제한된 분산형 센서 시스템과 같은 IoT 기술의 발전에 크게 공헌할 것으로 예상된다.

참고 문헌

- [1] K. Mistry, C. Allen, C. Auth, B. Beattie, D. Bergstrom, M. Bost, M. Buechler, A. Cappellani, R. Chau, C.-H. Choi, G. Ding, K. Fischer, T. Ghani, R. Grover, W. Han, D. Hanken, M. Hattendorf, J. He, J. Hicks, R. Huessner, D. Ingerly, P. Jain, R. James, L. Jong, S. Joshi, C. Kenyon, K. Kuhn, K. Lee, H. Liu, J. Maiz, B. MchIntyre, P. Moon, J. Neiryneck, S. Pae, C. Parker, D. Parsons, C. Prasad, L. Pipes, M. Prince, P. Ranade, T. Reynolds, J. Sandford, L. Schifren, J. Sebastian, J. Seiple, D. Simon, S. Sivakumar, P. Smith, C. Thomas, T. Troeger, P. Vandervoorn, S. Williams, and K. Zawadzki, "A 45nm Logic Technology with High-k+Metal Gate Transistors, Strained Silicon, 9 Cu Interconnect Layers, 193nm Dry Patterning, and 100% Pb-free Packaging", Int. Electron Devices Meeting Technical Dig., IEDM 2007, pp. 247-250, 2007.
- [2] D. Hisamoto, W. C. Lee, J. Kedzierski, H. Takeuchi, K. Asano, C. Kuo, T. -J. K. Liu, J. B. Bokor, and C. Hu, "FinFET—a self-aligned double-gate MOSFET scalable to 20 nm", IEEE Trans. Electron Devices, vol. 47, pp. 2320-2325, 2000.
- [3] K. Rim, J. L. Hoyt, and F. Gibbons "Fabrication and Analysis of Deep Submicron Strained-Si N-MOSFETs", IEEE Trans. Electron Devices, vol. 47, pp. 1406-1415, 2000.
- [4] P. Packan, "Device and Circuit Interactions," Int. Electron Devices Meeting., IEDM 2008, Short Course: Performance Boosters for Advanced CMOS Devices.
- [5] W. Y. Choi, B.-G. Park, J.D. Lee and T. -J. K. Liu, "Tunneling Field-Effect Transistors (TFETs) with Subthreshold Swing (SS)

**TFET은 낮은 문턱전압이하
기울기로 인해 기존의 MOSFET으로는
불가능한 초저전력 소모가 가능하여
IoT 기술의 발전에 크게 공헌할 것으로
예상한다.**



- Less than 60 mV/dec”, IEEE Electron Device Lett., vol. 32, no. 4, pp.437–439, 2011.
- [6] A. M. Ionescu, H. Riel, “Tunnel Field–Effect Transistors as Energy–Efficient Electronic Switches”, Nature 479 (2011), 329–337.
- [7] J. Appenzeller, J Knoch, M Bjoerk, H. Riel, H. Schmid, “Toward Nanowire Electronics”, IEEE Trans. Electron Devices vol. 55, pp. 2827–2845, 2008.
- [8] J. –S. Jang and W. Y. Choi, “Ambipolarity Factor of Tunneling Field–Effect Transistors (TFETs)”, J.Semicond. Technol. Sci., vol. 11, no. 4, pp 272–277, 2011
- [9] W. Y. Choi and W. Lee, “Hetero–Gate–Dielectric Tunneling field–effect Transistors”, IEEE Trans. Electron Devices, vol. 57, no. 9, pp. 2317–2319, 2010.
- [10] S. Saurabh and M. J. Kumar, “Novel Attributes of a Dual Material Gate Nanoscale Tunnel Field–Effect Transistor”, IEEE Trans. Electron Devices, vol. 58, no. 2, pp. 404–410, 2011.
- [11] A. Tura, Z. Zhang, P. Liu, Y. –H. Xie and J. C. S. Woo, “Vertical Silicon p–n–p–n Tunnel nMOSFET With MBE–Grown Tunneling Junction”, IEEE Trans. Electron Devices, vol. 58, no. 7, pp. 1907–1913, 2011.
- [12] K. –H. Kao, A. S. Verhulst, W. G. Vandenberghe, B. Soree, W. Magnus, D. Leonelli, G. Groeseneken and K. D. Meyer, “Optimization of Gate–on–Source–Only Tunnel FETs With Counter–Doped Pockets”, IEEE Trans. Electron Devices, vol. 59, no. 8, pp. 2070–2077, 2012.
- [13] D. Leonelli, A. Vandooren, R. Rooyackers, A. S. Verhulst, C. Huyghebaert, S. D. Gendt, M. M. Heyns and G. Groeseneken, “Novel Architecture to Boost the Vertical Tunneling in Tunnel Field Effect Transistors”, in Proc. IEEE Int. SOI Conf., 2011, pp. 1–2.
- [14] Y. Morita, T. Mori, S. Migita, W. Mizubayashi, A. Tanabe, K. Fukuda, T. Matsukawa, K. Endo, S. I. Ouchi, Y. Liu, M. Masahara, and H. Ota, “Performance Evaluation of Parallel Electric Field Tunnel Field–Effect Transistor by a distributed–element circuit model”, Solid–State Electron., vol. 102, no. 3, pp. 82–86, 2014.



박종한

- 2013년 2월 세종대학교 전자공학과 학사 졸업.
- 2013년~현재 서강대학교 전자공학과 석사과정

〈관심분야〉

CMOS or COMS-compatible semiconductor devices



최우영

- 2000년 2월 서울대학교 전기공학부 학사 졸업
- 2002년 2월 서울대학교 전기컴퓨터공학부 석사 졸업
- 2006년 2월 서울대학교 전기컴퓨터공학부 박사 졸업
- 2006년 8월~2006년 12월 미국 UC Berkeley 방문연구원
- 2007년 1월~2008년 8월 미국 UC Berkeley 박사후연구원
- 2008년 9월~현재 서강대학교 전자공학과 부교수

〈관심분야〉

CMOS or CMOS-compatible semiconductor devices, nano-electromechanical relays and memory cells