

# 예측제어를 이용한 T-형 3-레벨 인버터의 중성점 전압제어

## The DC-link Voltage Balancing of the Three-Level T-type Inverter Using the Predictive Control

김 태 훈\* · 이 우 철\*  
(Tae-Hun Kim · Woo-Cheol Lee)

**Abstract** - This paper is a study on the neutral point voltage balancing of the three-phase 3-level T-type inverter using the predictive control techniques. Recently, multi-level inverter has been attracting attention as the advantages such as efficiency improving and harmonic reduction. Especially, the T-type inverter topology is advantageous in low DC-link voltage. However, in case of the prediction control, it takes a lot of time, because there exist 27 voltage vectors and it has to be calculated according to the respective voltage vectors. Therefore, in this paper, we propose a method to implement predictive control techniques while reducing the operation time. In order to reduce the operation time, the predictive control is implemented by using the minimum voltage vector except for the unnecessary voltage vector. The result of the implemented predictive control is added to the SPWM by using the offset voltage. It was verified through simulation and experimental results.

**Key Words** : 3-Level inverter, T-type inverter, Voltage balancing, Predictive control

### 1. 서 론

멀티 레벨 인버터란 인버터의 출력전압 파형이 기존의 2레벨이 아닌 3 레벨 이상의 멀티레벨을 갖는 인버터로 장점으로는 기존의 2 레벨 인버터에 비해 큰 고조파 저감효과, 스위칭 손실 저감, 폴 전압의 단계별 변동 폭이 작으므로 부하가 느끼는 전압충격 (dv/dt stress)도 줄일 수 있고, 전자기 장애 (EMI : electromagnetic interference) 의 크기도 줄어드는 여러 장점이 있다. 3레벨 인버터로의 종류로는 NPC (Neutral Point Clamped) 인버터, ANPC (Active Neutral Point Clamped) 인버터, H-bridge 인버터, T-type 인버터 등 여러 토폴로지가 연구되어지고 있다. T-type을 제외한 3 레벨 토폴로지들이 두 개의 스위치를 통해 출력전압이 결정되기 때문에 고전압 (DC-link voltage : 2500V 이상) 이나 중 전압 (DC-link voltage : 270V ~ 600V) 에서 유리하다. 그러나, 스위칭 손실이 절반으로 줄어들지만 도통 손실이 두 배로 늘어나기 때문에 저 전압 (DC-link voltage : 270V 미만) 응용분야에는 적절하지 않다. 따라서 T-type 인버터가 제안되었다[1,2,3].

최근 T-type 인버터에서 주된 연구주제는 저 전압에서의

T-type 인버터 적용, 인버터의 성능과 효율향상, 신뢰성 향상방법 등 여러 연구가 이루어지고 있다[2, 4, 5]. 특히, NPC 인버터나 T-type 인버터의 경우 중성점 전압의 밸런싱 문제가 발생하기 때문에 중성점전압 밸런싱 방법에 대한 연구가 활발히 이루어지고 있다[6]. PWM (Pulse Width Modulation) 기법으로 SPWM (Sinusoidal Pulse Width Modulation)을 사용하는 시스템의 경우 주로 PWM 에 offset 전압을 주입하는 중성점 밸런싱 기술이 연구되었다[7]. 최근 offset 전압을 결정하는 연구로 PWM의 duty 를 이용하여 중성점의 전류를 예측하여 중성점 전압 제어에 관한 연구가 진행되고 있다[8].

본 논문에서는 UPS (Uninterruptible Power Supply) 에 적용하기 위하여 일정 출력 상 전압 제어를 수행하며 또한 상 전압을 이용하기 위하여 space vector PWM 기법 대신 SPWM 방식을 사용하였다. 회로 모델링을 통하여 전압 벡터를 이용한 예측 제어기법을 제안하여 DC -link 중성점 전압 밸런싱 문제를 해결하였다. 예측제어를 위해 시스템을 모델링 하고 27개의 전압벡터를 이용하여 각 벡터의 예측 값을 계산 후 최적의 벡터를 찾는다. 그러나 이는 연산시간이 많이 소요되어 실제 시스템에 적용시키기 어려운 문제가 발생한다. 따라서 본 연구에서는 실험 시스템에 적용 가능하게 하기 위해 불필요한 전압벡터를 제외하고 최소한의 전압벡터를 이용하여 예측제어를 구현하는 방법 역시 제안한다. 즉 시스템 모델링을 통해 최소한의 전압벡터를 이용하여 다음상태의 DC-link 커패시터의 전압 값을 예측함으로써 정확한 제어가 가능하다. 전압벡터에 따른 예측 값을 계산 후 예측 제어의 결과는 offset으로 SPWM 에 더해 주는 방법을 사용하였고 offset 값은 PWM 주기마다 SPWM의 기준파에 더해져 빠른 중성점 전압 제어가 가능하다.

\* Corresponding Author : Dept. of Electrical Electronic & Control Engineering, Institute for information technology convergence, Hankyong National University, Korea

E-mail : woocheol@hknu.ac.kr

\* Dept. of Electrical Electronic & Control Engineering, Hankyong National University, Korea

Received : October 7, 2015; Accepted : January 13, 2016

## 2. 본 론

### 2.1 3-레벨 T-type 인버터의 SPWM 기법

그림 1은 3상 3 레벨 T-type 인버터의 구성을 나타낸다. 3 레벨 인버터는 각 상마다 4개의 스위칭 소자가 포함되어 총 12 개의 스위칭 소자 IGBT (Insulated Gate Bipolar Transistor) 를 사용하게 된다. 또한 DC-link 단의 커패시터가 두 개의 단으로 구성되어 있고 스위치 Sx2와 Sx3가 중성점인 O점에 연결되기 때문에 DC-link 의 중성점 전압 불균형 문제가 발생할 수 있다. 중성점의 불균형 문제는 안정성, 신뢰성 향상과 관련하여 매우 중요한 문제로 다루지기 때문에 Multi-Level 시스템에서는 중성점 전압 밸런싱이 필수적이다.

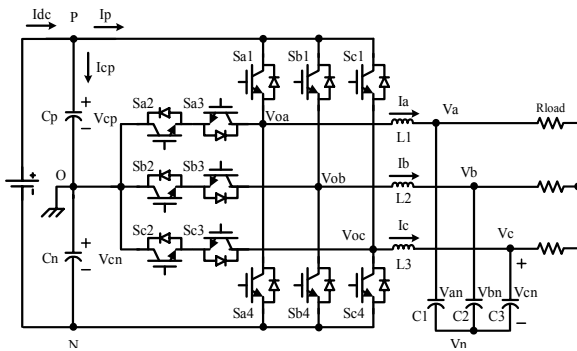


그림 1 3상 3레벨 T-type 인버터의 구성  
Fig. 1 Construction of 3-phase 3-level T-type inverter

3상 T-type 3 레벨 인버터에서 많이 사용되어지고 있는 PWM 방식중 CBPWM (Carrier Based Pulse Width Modulation)은 2 레벨 인버터에서와 같이 정현파를 기준값으로 하는 SPWM과 3고 조파를 주입하여 사용하는 THIPWM (Third Harmonic Injection PWM)으로 나누어 진다. THIPWM 방식의 경우 선간전압파형은 정현파가 출력되지만 상 전압 출력파형에 3고조파가 포함되게 된다. 따라서 UPS (Uninterruptible Power Supply) 에 사용하기 위하여 상 전압 사용이 가능한 SPWM 을 사용하였다. 이 방식은 3 레벨의 경우 두 개의 반송파 (Carrier Wave) 와 한 개의 기준파 (Reference Wave) 를 비교하여 두 개의 PWM 파형을 생성한다.

그림 2에 3 레벨 인버터의 SPWM 방식에 대해 나타내었다. 반송파 Carrier A 와 기준파 Vref 의 양의 반주기를 비교하여 Sx1, Sx3 스위치의 동작을 결정하는 PWM 파형을 생성하여 O, P 상태를 출력한다. 이 때의 스위칭 상태는 Sx1 : On, Sx3 : Off 상태가 되며, Vref는 항상 Carrier B 보다 크기 때문에 Sx2 는 On 상태, Sx4는 Off 상태가 유지된다. 그리고, 반송파 Carrier B 와 기준파 Vref 의 음의 반주기를 비교하여 Sx1, Sx3 스위치의 동작을 결정하는 PWM 파형을 생성하여 O, N 상태를 출력한다. 이 때의 스위칭 상태는 Sa2 : On, Sa4 : Off상태가 된다. 이 때 Vref 는 항상 CarrierA 보다 작기 때문에 Sx1 은 On 상태,

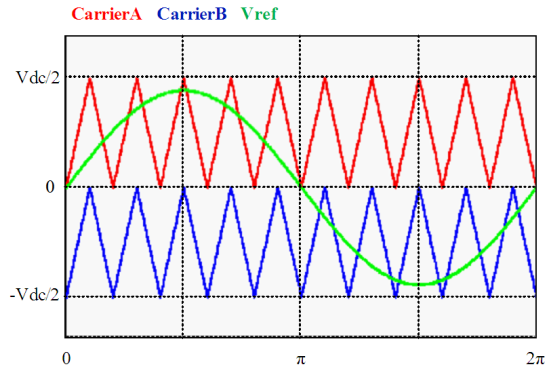


그림 2 3 레벨 인버터의 SPWM  
Fig. 2 SPWM of 3-level T-type inverter

Sx3 는 Off 상태가 유지된다. 인버터의 출력선간전압은 P 상태에서 Vdc/2[V], O 상태에서 0[V], N 상태에서 -Vdc/2[V] 인 3 레벨의 파형이 출력된다.

### 2.2 3-레벨 T-type 인버터의 예측제어 기법

중성점 전압 밸런싱을 위해서 그림 1의 Cp와 Cn의 전압 Vcp 와 Vcn이 동일한 값이 되어야 한다. 본 논문에서는 DC-link 커패시터 Cp와 Cn에 흐르는 각각의 전류 Icp와 Icn을 이용해 커패시터의 미분방정식으로 Vcp와 Vcn의 다음 상태 값을 계산하였다. 먼저 커패시터 Cp의 방정식을 세워보면 (1)과 같은 수식을 찾을 수 있다.

$$\frac{dV_{Cp}}{dt} = \frac{1}{C_p} i_{Cp} \quad (1)$$

이때 미분방정식으로 표현되기 때문에 Vcp 를 찾아 근사화 과정을 거치게 된다. 간단하게 근사화 하기 위해 수식 (2)의 Euler method 를 사용하였다. (2)의 수식으로 근사화 과정을 거치게 되면 수식 (3)을 얻을 수 있다. (k+1) 항에 해당하는 값은 다음 샘플링 시간의 예측 값이 된다. Vcp(k) 는 현재의 Cp의 전압크기가 되고 우측에 있는 항이 Vcp 의 변화량이 된다.

$$\frac{dV_{Cp}}{dt} \approx \frac{V_{Cp}(k+1) - V_{Cp}(k)}{T_s} \quad (2)$$

$$V_{Cp}^p(k+1) = V_{Cp}(k) + \frac{1}{C_p} i_{Cp}(k) T_s \quad (3)$$

이 때의 Icp(k) 는 Idc 와 Ip 의 차로 나타낼 수 있으며, Ip 는 스위칭 상태와 상전류로 나타낼 수 있다. Ip 를 구하기 위해 먼저 스위칭의 동작에 따른 전류를 나타내면 식 (4), 식 (5)와 같다. 이 때 Hxn 은 스위치 Sx1 과 Sx4 의 동작상태를 나타내는데, 식 (6)과 같이 Sxn 이 on 상태인 경우 1, off 상태인 경우를 0으로 나타내었다.

$$i_{Cp}(k) = i_{dc}(k) - H_{a1}i_a(k) - H_{b1}i_b(k) - H_{c1}i_c(k) \quad (4)$$

$$i_{Cn}(k) = i_{dc}(k) + H_{a2}i_a(k) + H_{b2}i_b(k) + H_{c2}i_c(k) \quad (5)$$

$$H_{xn} = \begin{cases} 1 & \text{if}(S_{xn} = on) \\ 0 & \text{if}(S_{xn} = off) \end{cases} \quad (6)$$

$$V_{dcerr}(k+1) = V_{Cp}(k+1) - V_{Cn}(k+1) \quad (7)$$

식 (6)의 Hxn 함수에 의해 각각의 스위칭 벡터에 대한 예측 값의 계산이 가능해진다. 전압벡터를 각각 대입하여 Vcp, Vcn 의 예측 값의 차를 계산하게 되면, 식 (7)의 Vdcerr(k+1) 값을 구할 수 있다. 각각의 벡터에 대한 Vdcerr(k+1) 값을 비교한 후 가장 오차가 작은 벡터를 선택하여 offset 으로 환산하여 PWM 의 기준파에 인가하여 준다. 중성점 모델링에 대해서는 Vcp 와 Vcn 에 동일하게 적용하여 계산할 수 있다.

Vcp와 Vcn의 (k+1) 상태의 예측값을 각 전압벡터에 대해 계산하여 비교하게 되는데, 이때 3-레벨 인버터의 스위칭 상태는 a,b,c상 각각 3가지 상태가 존재하기 때문에 총 27가지 전압벡터가 존재한다. 그림 3에 27가지 공간벡터를 나타내었다.

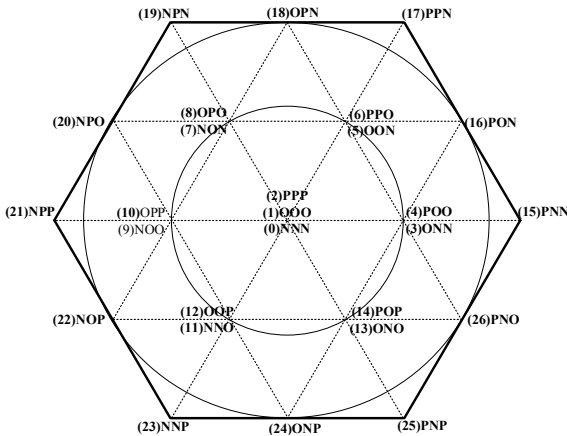


그림 3 3 레벨 인버터의 공간벡터  
Fig. 3 space vectors of 3-level inverter

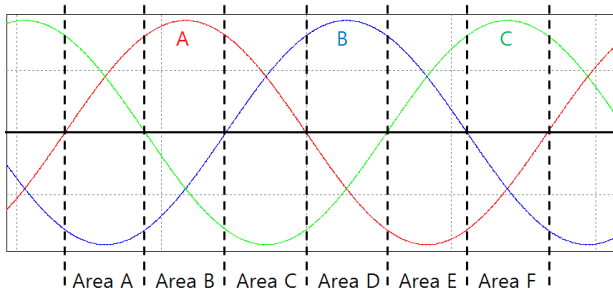


그림 4 3 상 전압에 따른 영역 구분  
Fig. 4 Area division of the 3-phase voltage

계산 시 그림 3의 27가지 벡터를 모두 고려하게 되면 계산시간이 많이 소요된다. 그러나 예측제어 시에는 PWM 주기가 짧을 수록 정확한 제어가 가능하기 때문에 10kHz 이상의 스위칭이 필

요하다. 150MHz 의 클럭을 사용하는 DSP TMS320F28335 을 이용할 경우 연산시간으로 인하여 10kHz 이상의 PWM 구현은 불가능하다. 따라서 그림 4와 같이 구간을 나누어 SPWM 에 맞게 전압벡터를 줄이는 것을 제안하였다. 즉 그림 4의 Area A에서 A 상은 P, O 상태, B 상은 O, N 상태, C 상은 P, O 상태의 벡터를 사용하기 때문에 각 상마다 2가지 상태를 고려하게 되면 그림 5의 Area A 처럼 8개의 벡터로 줄일 수 있다. 표 1은 영역에 따른 8개의 전압 벡터에 나타내고 이를 그림 5에 공간벡터도로 나타냈다.

표 1 영역에 따른 8개의 전압 벡터  
Table 1 8 voltage vectors according to the area

Area	Voltage Vector
A	1, 4, 12, 13, 14, 24, 25, 26
B	1, 3, 4, 5, 13, 15, 16, 26
C	1, 4, 5, 6, 8, 16, 17, 18
D	1, 5, 7, 8, 9, 18, 19, 20
E	1, 8, 9, 10, 12, 20, 21, 22
F	1, 9, 11, 12, 13, 22, 23, 24

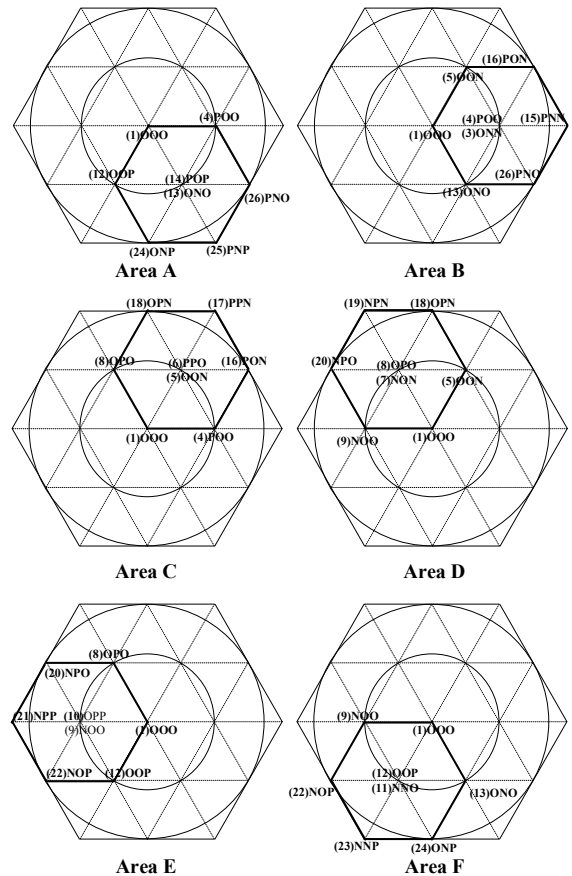


그림 5 8개의 전압 벡터에 따른 공간벡터도  
Fig. 5 Space vectors of the eight voltage vectors

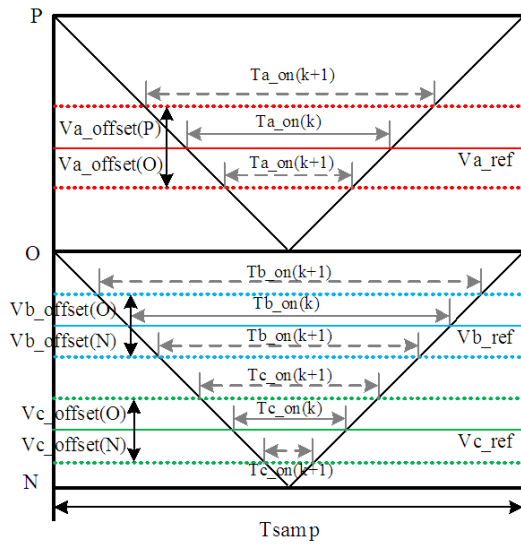


그림 6 Offset을 고려한 PWM 방법  
Fig. 6 PWM method considering the offset

### 2.3 Offset을 주입한 PWM 기법

제안된 예측제어 방법은 모델링된 예측제어 수식으로 8개만의 벡터에 대해 계산하고, 최적의 벡터 값을 일정전압 제어를 하는 SPWM에 offset 으로 더해주는 것이다. 그림 6에 offset을 고려한 PWM 방법을 그림으로 나타내었다. 한 상의  $V_{x\_ref}$  값이 양수일 경우 그림 5의 P와 O 상태 사이에 위치하게 되는데, 이 때에는 P와 O 상태에 해당되는 벡터만 고려하게 된다. 따라서 P와 O 상태중 하나의 상태가 선택되고, P 상태라면  $V_{x\_offset}$  값은 양수, O 상태라면  $V_{x\_offset}$  값은 음수로 인가된다. 마찬가지로  $V_{x\_ref}$ 의 값이 음수일 경우에는 O와 N에 해당되는 벡터만 계산하며, O 상태일 경우  $V_{x\_offset}$ 은 양수로 인가되고 N 상태일 경우  $V_{x\_offset}$ 은 음수로 인가된다.

$V_{x\_offset}$ 의 크기는 DC-link 단 커패시터  $C_p$ 와  $C_n$ 의 전압 차의 크기에 따라 결정된다.  $V_{x\_offset}$ 의 크기에 따라 출력파형이 결정되는데, 값이 큰 경우 DC-link 전압 밸런싱은 빠르게 이루어지나 SPWM에 주입되는 offset 값이 크기 때문에 상 전압 파형은 왜곡이 발생된다. 반대로  $V_{x\_offset}$ 의 값이 작은 경우 상 전압 파형이 좋은 반면 DC-link 전압 제어는 약해지게 된다. 따라서 왜곡이 적은 파형과 빠른 DC-link 전압 밸런싱을 얻기 위해서  $V_{x\_offset}$ 의 크기가 중요한 역할을 한다. 본 논문에서는 DC-link 단의 불평형성분에 따라 식 (8)과 같이  $V_{x\_offset}$ 의 크기를 결정하였다. 두 개의 커패시터의 오차가 3V이상인 경우  $V_{x\_offset}$ 의 크기를 10V 크기로 주었고, 3V 이하인 경우 오차의 크기인  $V_{dcerr}$  만큼  $V_{x\_offset}$ 의 크기를 적용하여 오차가 적을 경우 상 전압 파형의 일그러짐을 방지하였다. 이 때 offset은 그림 10에서 확인할 수 있듯이  $S_{x1}$ ,  $S_{x3}$ 에 적용되는  $Offset_{x1}$ 과  $S_{x2}$ ,  $S_{x4}$ 에 적용되는  $Offset_{x2}$ 로 나누어 각각의 기준전압에 추가하였다. 3V 내로 DC-link 전압을 제어하기 위해  $V_{dcerr}$ 의 기준을 3V로 적용하였다. offset의 크기에 대한 기준은 시물

레이션 및 실험을 통하여 상 전압 파형이 좋고, DC-link 전압이 잘 제어되는 값으로 결정 하였다. 그 결과 offset 전압이 DC-link 전압의 약 5% 이내일 때 출력 상 전압이 안정적이고 DC-link 전압제어가 잘 되는 것을 확인하였다.

$$V_{Offset} = \begin{cases} 10 & \text{if } (V_{dcerr} \geq 3) \\ V_{dcerr} & \text{if } (V_{dcerr} < 3) \end{cases} \quad (8)$$

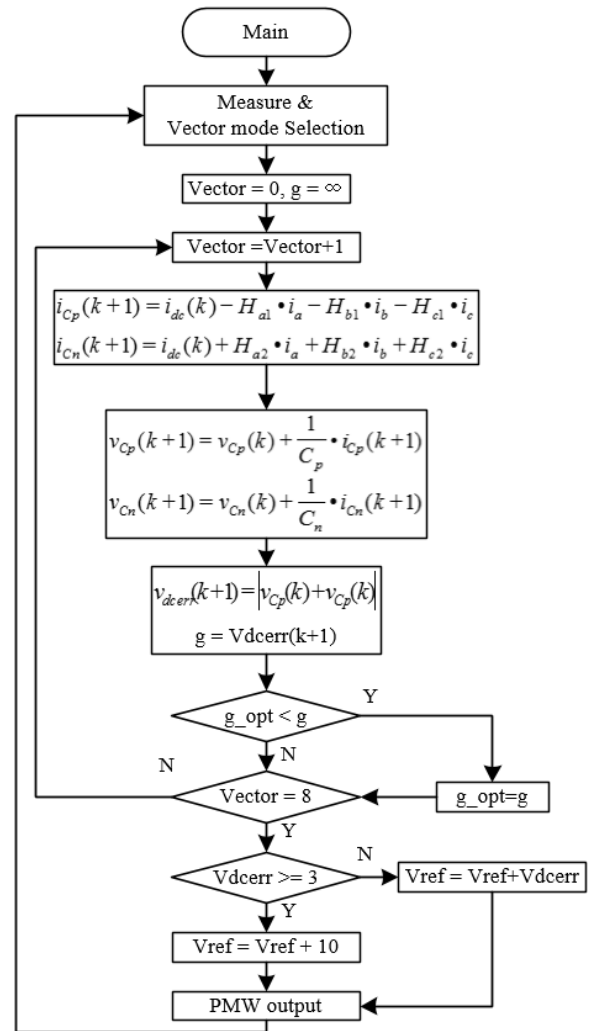


그림 7 제안된 방식의 시스템 흐름도  
Fig. 7 Flow chart of proposed method

그림 7은 제안된 방식의 시스템 흐름도를 보여준다. 예측제어의 계산에 필요한 전압, 전류 값들을 먼저 측정하고 그림 4에 있는 Vector Area를 먼저 선택한다. Vector Area 내의 총 8개 벡터의 각각에 대한 예측전압을 계산한 cost function  $g$ 를 비교한 후 오차가 작은 벡터를 최종적으로 선택하게 된다. Vector Area 내의 모든 벡터에 대한 비교를 마치면 식 (8)과 같이  $V_{dcerr}$  값에 따라  $V_{offset}$ 의 크기를 결정한 후 SPWM에 더해지게 된다.

### 3. 시뮬레이션 및 실험

#### 3.1 시뮬레이션 결과

본 논문에서는 PSIM 시뮬레이션을 사용하였다. 그림 8은 시뮬레이션에 사용된 3상 3 레벨 T-type 인버터의 회로도를 나타낸다. 그림 1과 같이 구성하였다.

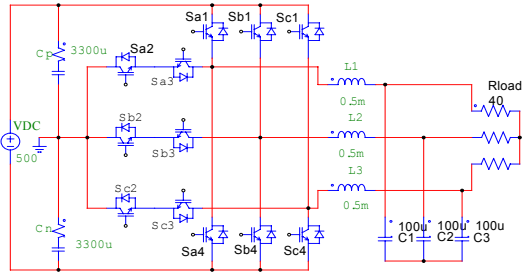


그림 8 시뮬레이션 회로도

Fig. 8 Simulation circuit

표 2는 시뮬레이션과 실험에 사용된 시스템 파라미터를 나타낸다. DC 입력전압은 500 Vdc 이며 Vcp 와 Vcn 은 정상상태에서 각각 250 Vdc 이다. 출력전압은 220 Vrms 이며, 저항부하로는 40 Ω 을 사용하였고, 스위칭 주파수는 11 kHz 이다.

표 2 시스템 파라미터

Table 2 System parameter

Parameter	Value
DC Source Voltage ( $V_{dc}$ )	500 V
Output Voltage ( $V_{LL}$ )	3상, 220 Vrms, 60 Hz
Switchin Frequency ( $F_s$ )	11 kHz
DC-link Capacitor ( $C_p, C_n$ )	3,300 µF
Filter Inductor $L_1, L_2, L_3$	0.5 mH
Filter Capacitor $C_1, C_2, C_3$	100 µF
Load Register $R_{load}$	40 Ω

그림 9는 DC 전압 밸런싱이 없을 때 시뮬레이션을 보여준다. Vdc+와 Vdc-는 각각 Vcp, Vcn을 나타내고, Voa는 a상의 인버터 출력전압을 나타낸다. Van, Vbn, Vcn 은 각각 출력 상 전압 파형이다. DC-link 전압을 100 V 불평형 상태로 시뮬레이션 하였다. 중성점 전압 밸런싱을 하지 않았기 때문에 중성점 전압제어에 시간이 매우 오래 걸리게 된다.

그림 10은 제안된 중성점 전압 밸런싱을 할 경우 시뮬레이션 파형을 보여준다. Offset\_a1은 Sa1, Sa3의 Va\_offset이고, Offset\_a2는 Sa2, Sa4의 Va\_offset 이다. 시뮬레이션은 0.15초 까지는 중성점 전압제어를 하지 않고, 0.15초 이후엔 제안된 offset 방식을 적용시켜 제어하게 되어 빠르게 DC-link 밸런싱이 이루어지는 것을 확인할 수 있다. 시뮬레이션 결과에서 알 수 있듯이 offset

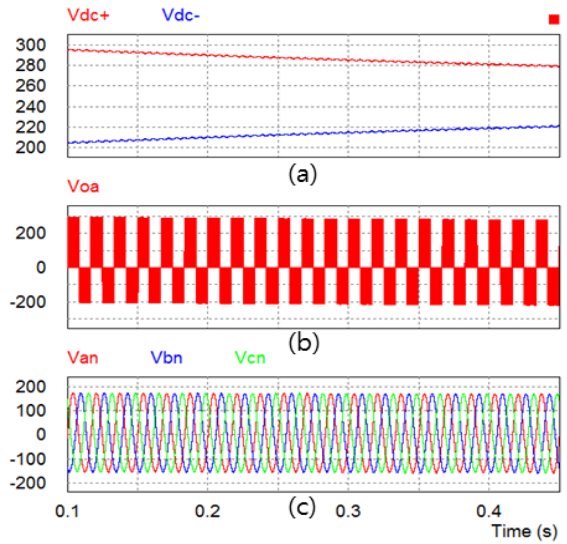


그림 9 DC 전압 밸런싱이 없을 때 시뮬레이션

((a) Vdc+ : Cp 전압, Vdc- : Cn 전압, (b) Voa : a상 폴전압, (c) Van, Vbn, Vcn : 3상 출력 상 전압)

Fig. 9 Simulation When there is no DC voltage balancing

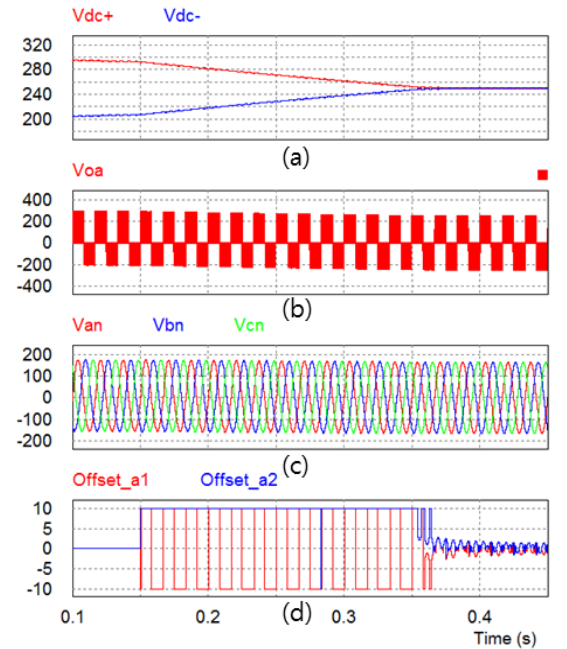


그림 10 Offset 을 주입한 경우 DC전압 밸런싱 시뮬레이션

((a) Vdc+ : Cp 전압, Vdc- : Cn 전압, (b) Voa : a상 폴전압, (c) Van, Vbn, Vcn : 3상 출력전압, (d) Offset\_an : Van에 주입되는 offset 전압)

Fig. 10 DC voltage balancing simulation with offset injected

의 크기에 따라 동작특성이 달라지게 되는데, offset 이 커진다면 DC-link 밸런싱은 빠르지만 출력 상 전압 파형은 왜곡이 되고,

offset 이 작을수록 출력파형이 좋지만 DC-link 밸런싱이 느리게 동작한다. 따라서 시뮬레이션 결과에서 알 수 있듯이 DC 전압 차이에 따라 offset 값을 가변 하여 DC-link 밸런싱과 출력파형의 왜곡을 줄일 수 있었다.

### 3.2 실험 결과

실험 시스템 구성에 사용된 IGBT 모듈과 Gate driver 로는 Vincotech 사의 70-W212NMA300SC-M208P 모듈과 DG M400 MASTER를 사용하였다. DSP로는 TMS320F28335 를 사용하였다. 구성된 3상 3 레벨 인버터의 프로토타입을 그림 11에 나타내었다. 실험에서 사용된 파라미터 값은 시뮬레이션과 동일한 값을 사용하였다. DC 전원장치로는 Ametek사의 Sorensen SGI 1000V, 10A power supply를 사용하였다.

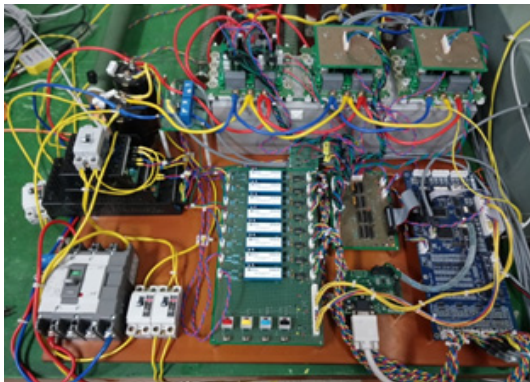


그림 11 3 상 3 레벨 인버터 프로토타입  
 Fig. 11 3-phase 3-level inverter prototype

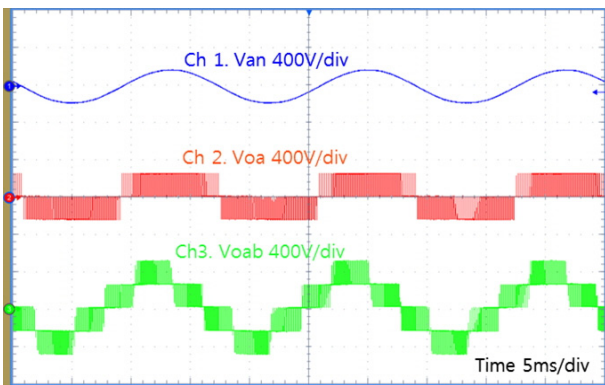


그림 12 3 레벨 인버터 출력파형  
 (Ch 1. Van : a 상 출력 상 전압, Ch 2. Voa : a상 폴 전압, Ch 3. Voab : a - b 선간전압)  
 Fig. 12 3-level inverter output waveform

그림 12에 부하 상 전압 Van, 인버터 폴 상 전압 Voa, 인버터 선간전압 Voab 를 나타내었다. 인버터의 상 전압 파형은 3 레벨의 출력을 갖고, 따라서 선간전압 파형은 5 레벨로 출력되는 것

을 확인하였다.

그림 13에 DC-link 전압제어를 하지 않은 경우 DC-link 전압 파형과 출력 상 전압 파형을 나타내었다. DC-link 전압은  $V_{dc\_p} = 300V$ ,  $V_{dc\_n} = 200V$ 로 100V의 불평형을 주었다. 100V 차이의 불균형 전압을 동일하게 맞추기 위해 약 2s 정도의 시간이 소요되었다. DC-link 전압 불균형을 인위적으로 주기위하여  $V_{dc\_n}$  단에 1kΩ의 저항과 스위치를 사용하였다. 동작 시작으로부터 약 3.5s 이후에 계속해서저항 1kΩ 을  $V_{dc\_n}$  커패시터에 연결하여 밸런싱이 얼마나 잘 되는지 확인하였다. 이때 약 40V 정도의 중성점 전압 불균형이 발생 하였다.

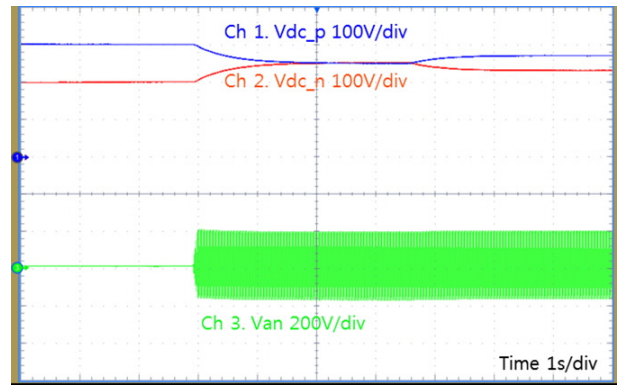


그림 13 DC 전압 밸런싱이 없을 때 실험파형  
 (Ch 1. Vdc\_p : Cp 전압, Ch 2. Vdc\_n : Cn 전압, Ch 3. Van : a상 출력 상 전압)  
 Fig. 13 experimental waveform When there is no DC voltage balancing

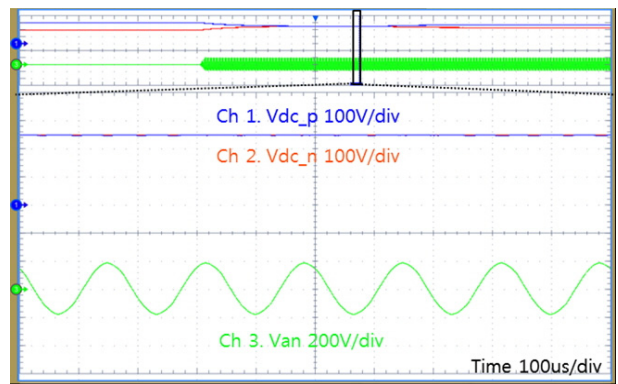


그림 14 그림 13의 확대 파형(정상상태)  
 (Ch 1. Vdc\_p : Cp 전압, Ch 2. Vdc\_n : Cn 전압, Ch 3. Van : a상 출력 상 전압)  
 Fig. 14 Enlarge the waveform Fig. 13(steady state)

그림 14에는 그림 13의 파형에서 밸런싱 후 정상동작 범위에서의 확대 파형을 나타내었다. 정상상태에 도달할 때 까지 2s 정도의 시간이 소요되지만 일단 정상상태에 도달하게 되면 출력 상 전압 제어기를 사용하기 때문에 DC-link 단의 전압 밸런싱이 잘

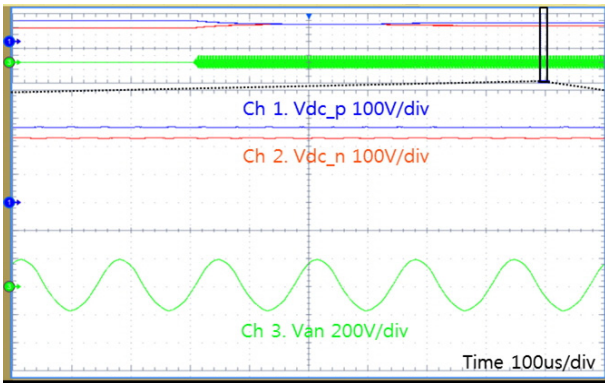


그림 15 그림 13의 확대 파형(저항 인가)  
(Ch 1. Vdc\_p : Cp 전압, Ch 2. Vdc\_n : Cn 전압,  
Ch 3. Van : a상 출력 상 전압)

Fig. 15 Enlarge the waveform Fig. 13(Resistance is applied)

유지되며 정상상태에서 상전압도 일정하게 출력되는 것을 확인할 수 있다. 그러나 불평형이 다시 발생되면 정상상태에 도달하는데 많은 시간이 소요된다.

그림 15은 그림 13의 파형에서 밸런싱 후 정상 동작 후 인위적으로 Vdc\_n 에 1kΩ의 저항을 인가하여 불평형을 주었을 때의 확대 파형으로 Vdc\_p와 Vdc\_n 의 전압 차는 다시 벌어져 불균형 상태가 나타나는 것을 확인할 수 있다. 또한 상 전압 Van 은 Vdcerr 에 비례하여 offset 전압이 발생하여 Vdc\_p 를 이용하는 +측 전압파형과 Vdc\_n 을 이용하는 -측 전압 파형이 대칭이 되지 않는다.

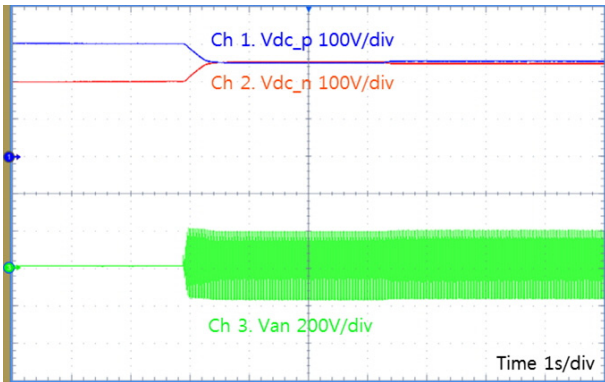


그림 16 Offset을 주입한 경우 DC 전압 밸런싱 시험  
(Ch 1. Vdc\_p : Cp 전압, Ch 2. Vdc\_n : Cn 전압,  
Ch 3. Van : a상 출력 상 전압)

Fig. 16 DC voltage balancing when offset injected

그림 16은 제안된 DC-link 밸런싱 기법을 사용하였을 때 DC-link 전압파형과 출력 상 전압 파형을 나타내었다. DC-link 밸런싱 기법을 사용하지 않았을 때 보다 정상상태로의 수렴 시간은 약 0.5s 이내로 줄어들게 되었다. DC-link 밸런싱 기법을 사용하지 않았을 때와 마찬가지로 약 3s후 불균형 실험을 위해

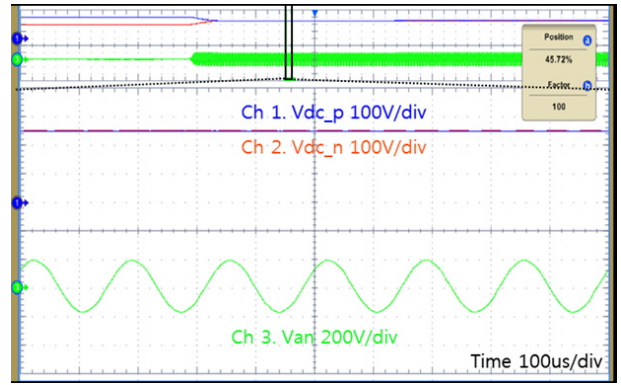


그림 17 그림 16의 확대파형(정상상태)  
(Ch 1. Vdc\_p : Cp 전압, Ch 2. Vdc\_n : Cn 전압,  
Ch 3. Van : a상 출력 상 전압)

Fig. 17 Enlarge the waveform Fig. 16(steady state)

Vdc\_n 커패시터에 1kΩ의 저항을 연결하였을 때에도 약 3V 정도의 중성점 전압 불균형이 발생하여 DC-link 밸런싱 제어되는 것을 확인하였다.

그림 17과 그림 18에서는 offset이 없는 경우의 실험과 마찬가지로 정상상태와 저항 인가시의 확대파형을 나타내었다. 정상상태의 동작은 그림 14와 같지만 Vdc\_n에 1kΩ의 저항을 인가시에 DC-link 전압 밸런싱이 잘 맞는 것을 그림 18에서 확인할 수 있다.

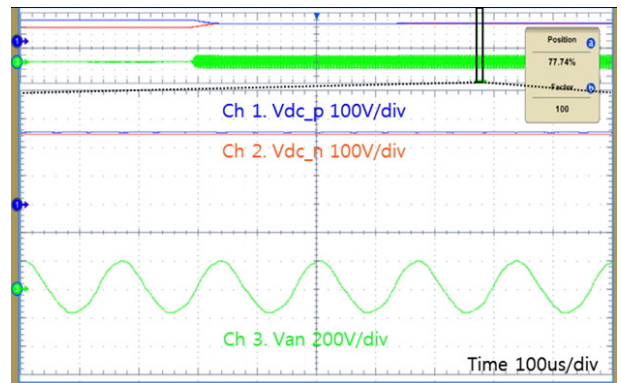


그림 18 그림 16의 확대파형(저항 인가)  
(Ch 1. Vdc\_p : Cp 전압, Ch 2. Vdc\_n : Cn 전압,  
Ch 3. Van : a상 출력 상 전압)

Fig. 18 Enlarge the waveform Fig. 16(Resistance is applied)

### 3. 결 론

본 논문에서는 3상 3 레벨 T-type 인버터의 DC-link 중성점 전압 밸런싱을 위한 예측제어기법에 대해 연구하였다. T-type 시스템의 회로 모델링을 통하여 27개의 전압벡터에 대해 계산하고 최적의 벡터값을 구한다. 이는 연산시간이 많이 소요되어 실제

시스템에 적용시키기 어렵기 때문에, 본 연구에서는 구간을 나누어서 불필요한 전압벡터를 제외하고 최소한의 전압벡터를 이용하여 예측제어를 구현하는 방법을 제안하였다. 전압벡터의 구간을 나누어서 총 8개의 벡터에 대해 계산하고 계산결과는 offset 전압으로 SPWM에 더해 주어 중성점 전압 밸런싱을 구현 하였다. offset 의 크기에 따라 중성점 밸런싱과 출력파형특성이 다르게 나타나기 때문에 적당한 offset 값을 구하여 정상 구간에서는 DC-link 전압 오차에 따라 offset 값을 변화시켜 출력 상 전압 파형을 유지하도록 하였다. PSIM 시뮬레이션과 실험을 통해 제안된 방법을 검증하였다.

### 감사의 글

본 연구는 경기도의 경기도지역협력연구센터(GRRC) 사업의 일환으로 수행하였음. [(GRRC한경2011-B04), 클린 및 농식품 물류센터를 위한 에너지 절약형 전력변환장치 상용화 개발]

### References

[1] Seung-Min Shin, Jung-Hoon Ahn, Byoung-Kuk Lee, "Maximum Efficiency Operation of Three-Level T-type Inverter for Low-Voltage and Low-Power Home Appliances", J Electr Eng Technol, vol. 10, no. 2 pp. 586-594, 2015

[2] Kwanghee Lee, "Comparative Analysis of Power Losses for 3-Level NPC Inverter and T-type Inverter Modules", Master's Thesis, Chungbuk University, 2015.

[3] J. Rodriguez, S. Bernet, P. K. Steimer, and I. E. Lizama, "A Survey on Neutral-Point-Clamped Inverters," IEEE Trans. Ind. Electron., vol. 57, no. 7, pp. 2219-2230, Jul. 2009.

[4] Dong-Hyun Kim, Dae-Wook Kang, Yo-Han Lee, Dong-seok Hyun, "The analysis and comparison of carrier-based PWM method for 3-level inverter", IEEE, vol.2 pp.1316-1321, Oct, 2000.

[5] Dong-Hyun Kim, "A study on Carrier-based PWM Methods for 3-level inverters", Master's Thesis, Hanyang University, 2000.

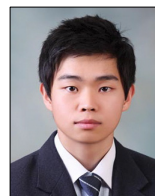
[6] C. Newton and M. Sumner, "Neutral point control for multi-level inverters: Theory, design and operational limitations," in Proc. Ind. Appl. Soc. (IAS), New Orleans, LA, Oct. 1997, vol. 2, pp. 1336 - 1343.

[7] W. Song, X. Feng, K. M. Smedley, "A Carrier-Based PWM Strategy With the Offset Voltage Injection for Single-Phase Three-Level Neutral-Point-Clamped Converters," IEEE Trans. Power Electron., Vol. 28, No. 3 pp.

1083-1095, Mar 2013.

[8] Yoon Hyuk Ko, Kui-Jun Lee, Rae-Young Kim, Dong-Seok Hyun, "A simple space vector PWM scheme for neutral point voltage balance of three-level neutral point clamped inverter" Master's Thesis, Hanyang University, 2014.

## 저 자 소 개



### 김 태 훈 (Tae\_Hun Kim)

1989년 3월 6일생. 2014년 한경대학교 전기공학과 졸업, 현재 동 대학원 전기전자제어공학과 석사

Tel : 031-670-5328

Email : light411@naver.com



### 이 우 철 (Woo-Cheol Lee)

1964년 3월 24일생. 1987년 한양대학교 전기공학과 졸업. 1989년 한양대학교 대학원 전기공학과 졸업. 1988~1998년 효성중공업 기술연구소 책임연구원. 1995~2001년 한양대학교 대학원 전기공학과 졸업(박사). 2007~2009년 Virginia Polytechnic Institute and State University USA Visiting Professor. 현재 한경대학교 전기전자제어공학과 교수. 2016년~현재 전력전자학회 학술위원장.

Tel : 031-670-5323

Email : woocheol@hknu.ac.kr