

차량 충돌 방지 레이더용 24-GHz 전력 증폭기 설계

노석호¹ · 류지열^{2*}

Design of 24-GHz Power Amplifier for Automotive Collision Avoidance Radars

Seok-Ho Noh¹ · Jee-Youl Ryu^{2*}

¹Department of Electronics Engineering, Andong National University, Andong-si 36729, Korea

²Department of Information and Communications Engineering, Pukyong National University, Busan 48513, Korea

요 약

본 논문에서는 차량 충돌 방지 단거리 레이더용 24-GHz CMOS 고주파 전력 증폭기 (RF power amplifier)를 제안한다. 이러한 회로는 클래스-A 모드 증폭기로서 단간 (inter-stages) 공역 정합 (conjugate matching) 회로를 가진 공통-소스 단으로 구성되어 있다. 제안한 회로는 TSMC 0.13- μm 혼성신호/고주파 CMOS 공정 ($f_T/f_{MAX}=120/140\text{GHz}$)으로 설계하였다. 2볼트 전원전압에서 동작하며, 저전압 전원에서도 높은 전력 이득, 낮은 삽입 손실 및 낮은 잡음지수를 가지도록 설계되어 있다. 전체 칩 면적을 줄이기 위해 넓은 면적을 차지하는 실제 인덕터 대신 전송선 (transmission line)을 이용하였다. 설계한 CMOS 고주파 전력 증폭기는 최근 발표된 연구결과에 비해 0.1mm^2 의 가장 작은 칩 크기, 40mW의 가장 적은 소비전력, 26.5dB의 가장 높은 전력이득, 19.2dBm의 가장 높은 포화 출력 전력 및 17.2%의 가장 높은 최대 전력부가 효율 특성을 보였다.

ABSTRACT

In this paper, we propose 24-GHz CMOS radio frequency (RF) power amplifier for short-range automotive collision avoidance radars. This circuit contains common source stage with inter-stages conjugate matching circuit as a class-A mode amplifier. The proposed circuit is designed using TSMC 0.13- μm mixed signal/RF CMOS process ($f_T/f_{MAX}=120/140\text{GHz}$). It operates at the supply voltage of 2V, and it is designed to have high power gain, low insertion loss and low noise figure in the low supply voltage. To reduce total chip area, the circuit used transmission lines instead of the bulky real inductor. The designed CMOS power amplifier showed the smallest chip size of 0.1mm^2 , the lowest power consumption of 40mW, the highest power gain of 26.5dB, the highest saturated output power of 19.2dBm and the highest maximum power-added efficiency of 17.2% as compared to recently reported results.

키워드 : 24-GHz, 차량 충돌 방지, CMOS 전력증폭기, 전송선

Key word : 24GHz, automotive collision avoidance, CMOS power amplifier, transmission lines

접수일자 : 2015. 09. 09 심사완료일자 : 2015. 10. 05 게재확정일자 : 2015. 10. 19

* **Corresponding Author** Jee-Youl Ryu(E-mail: ryujy@pknu.ac.kr, Tel:+82-51-629-6239)

Department of Information and Communications Engineering, Pukyong National University, Busan 48513, Korea

Open Access <http://dx.doi.org/10.6109/jkiice.2016.20.1.117>

print ISSN: 2234-4772 online ISSN: 2288-4165

©This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.
Copyright © The Korea Institute of Information and Communication Engineering.

I. 서 론

최근 많은 반도체 업체들이 통신, 바이오 및 자동차 분야에 시스템-온-칩 (SoC, System-on-a-Chip) 기술을 적용하기 위한 타당성 검토를 본격적으로 하고 있는 중이며, 일부에서는 개발 및 연구가 상당히 진행되고 있다. 21세기 중추적인 전자 부품 및 시스템 산업으로 각광을 받고 있으며, 이러한 기술은 다양한 제품의 부가가치를 높이는 핵심 기술로 또는 기반 기술로 크게 기대 받고 있다. 이러한 기술을 24GHz 차량용 감지 레이더 센서 개발에 접목하기 위한 연구가 활발히 진행 중이다[1-5]. 자동차 레이더 부품 기술의 대표적인 활용 예인 차량안전시스템이란 지능형 교통시스템을 구현하기 위한 필수 기술로 열악한 기상조건 또는 운전자의 부주의로 인해 발생 가능한 사고를 미연에 방지할 목적으로 개발된 차량의 안전 운행 시스템을 의미한다[1]. 이러한 차량용 레이더는 물체의 거리 및 움직이는 속도 등을 검출하기 위한 것으로 측후방 감시용 단거리 레이더 (SRR, Short Range Radar)와 충돌 방지용 전방 감시 장거리 레이더 (LRR, Long Range Radar)로 분류된다. 충돌 방지 레이더에 대한 연구는 미래 지능형 자동차 개발과 잘 조화되어 안정성과 편의성을 제공하기 때문에 자동차 산업이 발달된 미국, 유럽 및 일본을 중심으로 완성차 업체, 부품업체, 학계 및 연구계가 공동으로 연구개발에 박차를 가하고 있는 중이다[2-6].

본 논문에서는 차량 측후방 감시용 단거리 레이더를 위한 24-GHz 전력 증폭기를 제안한다. 이러한 회로는 CMOS 공정을 이용하여 설계되어 있기 때문에 저가로 제작이 가능하고 저 전력 동작의 장점을 가진다. 24GHz의 초고주파 대역에서 성능 저하에 상당한 영향을 미치는 기생용량 성분들을 최소로 하기 위해 초고주파 회로 설계 기술과 레이아웃 기술을 연구하였다.

II. 회로설계

2.1. 24GHz 차량용 레이더 송신기 개요

그림 1은 본 논문에서 설계한 24GHz CMOS 전력 증폭기가 적용될 차량 충돌 방지 레이더 송신기를 나타낸 것이다. 이러한 레이더는 30m 이내의 차량 측후방 물체를 감지할 수 있고, 직접 변환 (direct conversion) 특성

을 가진다. 본 논문에서 제안하는 전력증폭기가 직접 변환 송신기 응용에 적합하도록 설계되어 있다. 레이더 송신기에서 전력 증폭기는 송신 신호를 증폭시키는 역할을 한다.

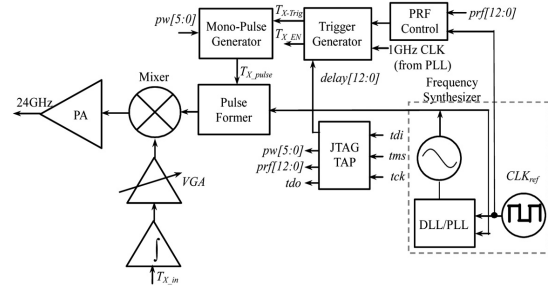


Fig. 1 Automotive collision avoidance radar transmitter

2.2. 제안하는 회로

고주파 전력증폭기의 중요한 성능변수로는 선형성 (linearity 또는 출력 1dB compression, P_{1dB}), 전력 이득 (power gain), 출력 전력 (output power) 및 효율 (efficiency, PAE) 등을 들 수 있다. 이러한 변수들은 서로 tradeoffs 관계가 있기 때문에 시스템의 목표 성능 사양을 충족시키기 위해 세심한 설계 및 레이아웃 기술이 필요하다. 그림 2는 본 연구에서 제안하는 24-GHz 2단 CMOS 고주파 전력 증폭기를 나타낸 것이다. 설계한 증폭기는 24-GHz의 초고주파수에서 높은 전압 이득을 제공하기 위해 캐스코드 구조로 설계되어 있다. 전력증폭기는 클래스-A 모드 증폭기로서 단간 (inter-stages) 공액 정합 (conjugate matching) 회로를 가진 공통-소스 단으로 구성되어 있다. 제안한 회로는 TSMC 0.13- μ m 혼성신호/고주파 CMOS 공정 ($f_T/f_{MAX}=120/140$ GHz)으로 설계하였다. 2볼트 전원전압에서 동작하며, 저전압 전원 공급에서도 높은 전력 이득, 낮은 삽입 손실 및 낮은 잡음지수를 가지도록 설계하였다. 전체 칩 면적을 줄이기 위해 임피던스 정합용으로 사용하는 넓은 면적을 차지하는 실제 인덕터 대신 전송선 $T_1 \sim T_{12}$ 를 사용하였다. 고주파 잡음, 전원 잡음 및 EMI를 줄이기 위해 decoupling 커패시터 $C_2 \sim C_3$ 및 C_3 를 사용하였다. V_{bias} 에는 전류원 회로가 연결될 수 있도록 회로를 설계하여 MOSFET의 게이트 바이어스 전압을 조절하였다. M_2 및 M_3 의 드레인 영역으로 안정된 직류 전력 공급과 함께 일정한 전류가 흐를 수 있도록 세심히 설계하였다.

전력 증폭기에 대한 정량적 분석을 위해 고주파 소신호 등가 모델을 도출하였다. 또한 목표로 하는 전력이득과 소비전력을 고려하여 $W/L=39/0.13$ 가 되도록 M_1 및 M_3 을 설계하였고, M_2 는 $W/L=26/0.13$ 의 값을 가진다. M_1 의 게이트-드레인 커패시턴스를 무시할 경우 M_1 의 게이트로의 입력임피던스는 식 (1)로 표현할 수 있다.

$$Z_{in} \approx \frac{1}{sC_{gs1}} \left(1 + \frac{g_{m1}}{s} \right) \quad (1)$$

여기서 간략화를 위해 전송선의 감쇠 저항은 무시하였다. C_{gs1} 은 트랜지스터 M_1 의 게이트와 소스간 커패시턴스로서 $C_{gs1} = 2W_1L_1C_{ox}/3 + W_1C_{gs0}$ 를 가진다.

또한 첫 번째 단의 단방향(unilateral) 전력이득은 식 (2)와 같이 표현이 가능하다.

$$G_{AU} = \frac{g_{m1}^2 R_{ds1}}{4\omega^2 R_{g1} C_{gs1}^2} \approx \frac{R_{ds1}}{4R_{g1}} \left(\frac{f_T}{f} \right)^2 \quad (2)$$

여기서

$$f_T = \frac{g_{m1}}{2\pi C_{gs1}}$$

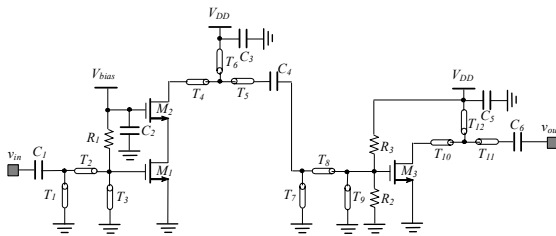


Fig. 2 24GHz CMOS power amplifier

MOSFET의 게이트에 바이어스 전압을 공급하기 위해 $R_1 \sim R_3$ 을 사용하였다. 회로에 사용된 커패시터는 금속-절연체-금속 (MIM) 형태로 구현하였다. CMOS 공정 기술을 이용하여 원하는 속도와 성능을 구현하기 위해서는 기생용량성분이 최소가 되도록 초고주파 회로 설계 기술 및 레이아웃 기술이 필요하다. 본 논문에서는 각 블록의 하위구성 요소인 트랜지스터들의 배열을 접힘형 (Folded) 구조로 구성하여 기생성분의 영향을 최소화하였다[2,7].

본 논문에서는 전력 증폭기의 전체 칩 면적을 줄이고

정확한 선 위상 천이를 얻기 위해 넓은 면적을 차지하는 실제 인덕터 대신 전송선 면적 최적화를 통해 최소 면적의 전송선을 구현하였다. 표 1은 실제 인덕터를 사용한 경우와 전송선을 사용한 경우에 대한 면적 비교를 한 것이다. 본 논문에서 제안하는 전력 증폭기의 전체 칩 면적은 0.1mm^2 의 특성을 보였다. 표 1로부터 알 수 있듯이 전송선의 경우 $0.14 \times 0.21\text{mm}^2$ 의 면적을 보였고, 전력 증폭기 면적 대비 약 29%의 점유율을 보였다. 실제 인덕터를 사용할 경우 약 73%의 점유율을 보였기 때문에 전송선을 사용한 경우 약 44%의 더 작은 공간을 차지하였다.

Table. 1 Comparison of transmission line areas

Transmission Lines	Area ($\mu\text{m} \times \mu\text{m}$)	Inductor	Area ($\mu\text{m} \times \mu\text{m}$)
$T_1 (=T_3=T_4=T_5=T_7=T_9=T_{10}=T_{11})$	20×150	$L_1 (=L_3)$	120×120
$T_2 (=T_6=T_8=T_{12})$	30×150	$L_2 (=L_4)$	150×150
Total Transmission Lines	140×210	Total Inductor	270×270
Amplifier	300×335	Amplifier	300×335
Occupation ratio (%)	29	Occupation ratio (%)	73

III. 시뮬레이션 결과

회로 성능을 위해 시뮬레이션 툴로서 Agilent사의 ADS를 이용하였고, 모든 수동 구조들에 대해 전파 EM 분석을 수행하였다. 바이어스 메커니즘의 속도는 바이어스 저항과 그림 2에서의 트랜지스터 (M_1)의 게이트에서 게이트-소스 기생 커패시터에 의해 결정된다. 따라서 전력 증폭기의 입력 전력을 -30dBm 에서 0dBm 까지 변화를 주면서 시간 영역 시뮬레이션에 근거하여 약 5ns의 정착 시간을 설정하였다. 표 2는 시뮬레이션을 위한 조건을 정리한 것이다.

Table. 2 Simulation condition

Parameter	Value
RF frequency range, f (GHz)	17~33
RF operation frequency, f_{RF} (GHz)	24
RF power range (dBm)	-30~0
V_{DD} (V)	2
Two tones test space (MHz)	1

그림 3은 입력 반사계수 (S11, input reflection coefficient), 역방향 격리 (S12, reverse isolation), 전력 이득 (S21, G_p , power gain) 및 출력 반사계수 (S22, output reflection coefficient)를 각각 나타낸 것이다. 반사손실은 알려진 수식에서도 알 수 있듯이 입력임피던스 정합과 밀접한 관계를 가진다[2]. 측정된 입력임피던스가 전송선의 이상적인 특성임피던스 값 (Z_0)인 50Ω 에 가까울수록 반사계수는 0에 가까워짐을 의미하며, 회로는 입력 임피던스 정합 특성이 우수함을 나타낸다.

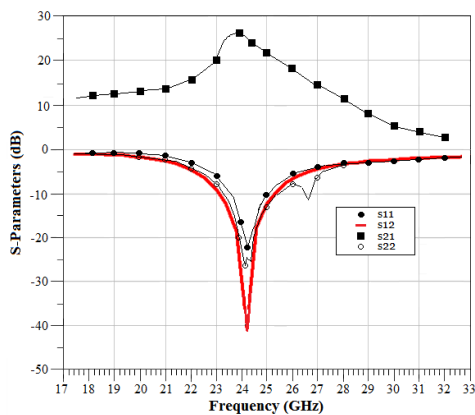


Fig. 3 S-parameters characteristics

그림 3에서 전력 증폭기의 전력이득 부하에 전달된 전력 (power delivered to load)과 네트워크로 입력되는 전력 (power to input the network)의 비로 나타낸다. 또한 G_T 는 송신전력 (transducer gain)으로서 부하에 전달된 전력 (power delivered to load)과 소스로 부터 이용 가능한 전력 (power available from the source)의 비로 나타낸다. 만약 전력 소스가 네트워크와 완전히 정합이 되었을 때, $G_T=G_p$ 의 특성을 보인다. 24GHz의 초고주파 동작주파수에서 높은 전력 이득을 제공하기 위해 최적화된 W/L 을 가진 $M_1\sim M_3$ 을 사용하였고, 전송선들을 삽입하였다. 그림 3에서도 알 수 있듯이 동작주파수 24GHz에서 -22.2dB 의 입력 반사계수, -40.5dB 의 역방향 격리, 26.5dB 의 전력이득 및 -25.1dB 의 출력 반사계수 특성을 보였다.

그림 4는 주파수에 따른 포화 출력 전력 (P_{sat}) 및 최대 전력부가 효율 (Power Added Efficient, PAE) 특성을 나타낸 것이다. 22~28GHz에 대해 $17.5\sim 18\text{dBm}$ 의 출력 전력 특성과 $12.3\sim 13.5\%$ 의 최대 전력부가 효율 특성을

각각 보였다. 특히 24GHz에서 19.2dBm 의 높은 출력 전력 특성과 17.2% 의 우수한 최대 전력부가 효율 특성을 보였다.

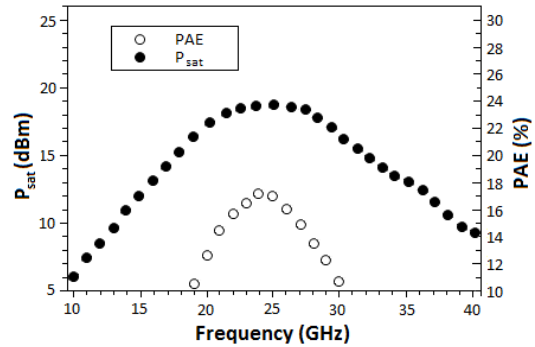


Fig. 4 Saturated power(P_{sat}) and PAE versus input power

그림 5는 24GHz에서 전력 증폭기의 입력 전력에 대한 출력 전력 및 전력 이득을 나타낸 것이다. 전력증폭기는 허용 가능한 동적 범위 (dynamic range)를 가지고 있기 때문에, 입력 전력에 따라 출력 전력과 전력 이득이 변경된다. 그림 5로부터 알 수 있듯이 설계한 증폭기는 26.5dB 의 우수한 전력 이득을 보였고, -17dBm 의 입력 1-dB 압축 점 (input 1-dB compression point, $IP_{1\text{dB}}$)에 대해 14.6dBm 의 출력 1-dB 압축 점 ($OP_{1\text{dB}}$) 특성을 각각 보였다. 이러한 결과는 제안한 전력 증폭기가 다양한 입력 전력에 대해 우수한 전력 이득 및 출력 전력 특성을 가짐을 증명한다.

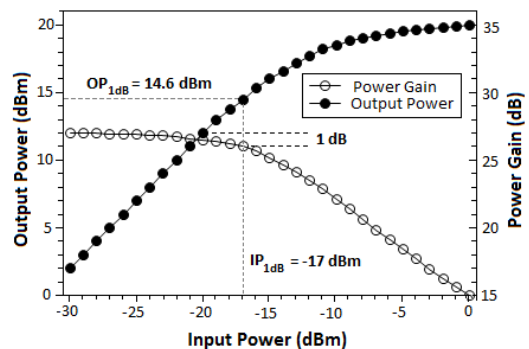


Fig. 5 Output power and power gain versus input power

그림 6은 24GHz에서 전력 증폭기의 입력 전력에 대한 출력 전력 및 최대 전력부가 효율 특성을 나타낸 것

이다. 24GHz에서 19.2dBm의 높은 출력 전력 특성과 17.2%의 우수한 최대 전력부가 효율 특성을 보였다. 본 연구에서 제안하는 차량 추돌 방지 레이더용 전력 증폭기는 펄스를 이용한 레이더 시스템에 적용된다. 이러한 시스템의 경우 안테나를 통해 펄스를 전송함에 있어 펄스의 형태를 유지하기 위해 좋은 위상 선형성 (즉, 작은 그룹 지연 변동)이 요구된다 [8]. 출력 전력 및 최대 전력부가 효율 특성이 우수할수록 위상 선형성이 우수함을 증명한다[8].

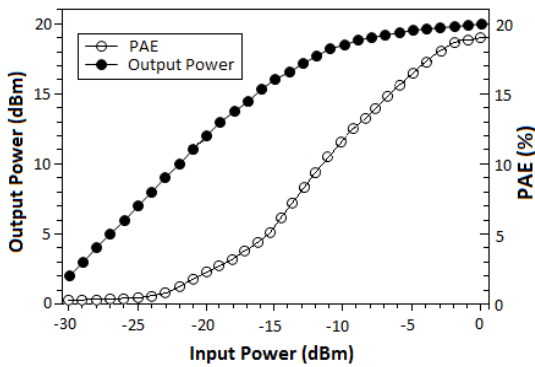


Fig. 6 Output power and PAE versus input power

Table. 3 Comparison for recently reported 24GHz CMOS power amplifier

Reference	[8]	[9]	[10]	[11]	This Work
Process(μ m)	0.18	0.18	0.18	0.20	0.13
Frequency (GHz)	24	22	24	24	24
OIP3(dBm)	7	15.4	14	23	18
Power Gain (dB)	22.8	11.9	7	19	26.5
P_{sat} (dBm)	15.9	17.4	14.5	15	19.2
DC Power Consumption (mW)	163.8	108	280	939	40
S11/S22(dB)	-14.3/ -17	-8/-10	-6.9/ -16	-12.4/ -	-22.2/ -25.1
S12(dB)	-64	-	-40	-10.5	-40.5
Maximum PAE(%)	14.6	12	6.5	13	17.2
Chip Area (mm^2)	0.84	0.4	1.26	6.003	0.1

표 3은 본 논문에서 제안한 24GHz CMOS 전력 증폭기와 최근 발표된 연구 결과들을 비교한 것이다. 본 논문에서는 제작공정, OIP3, 전력 이득, 포화 출력 전력, 입력/출력 반사 계수, 역방향 격리, 최대 전력부가 효율 및 칩 크기를 각각 비교하였다. 표 3에서 알 수 있듯이 설계한 CMOS 고주파 전력 증폭기는 최근 발표된 연구 결과에 비해 0.1mm²의 가장 작은 칩 크기, 40mW의 가장 적은 소비전력, 26.5dB의 가장 높은 전력이득, 19.2dBm의 가장 높은 포화 출력 전력 및 17.2%의 가장 높은 최대 전력부가 효율 특성을 보였다. 또한 우수한 S 파라미터 특성을 보였다.

IV. 결론

본 논문에서는 차량 추돌 방지 단거리 레이더를 위한 CMOS 전력 증폭기를 제안하였다. 이러한 회로는 24GHz의 동작주파수를 가지며, 2V의 전원전압에서 동작하였다. 또한 제안하는 회로는 TSMC 0.13 μ m 혼성신호/고주파 CMOS 공정 ($f_T/f_{MAX}=120/140$ GHz)으로 설계 및 제작되었다. 넓은 면적을 차지하는 실제 인덕터 대신 전송선을 사용하여 전체 칩 면적을 줄이고 정확한 선 위상 천이 특성을 확보하였다. 제안한 회로는 최근 발표된 연구결과에 비해 40mW의 가장 적은 소비전력, 26.5dB의 가장 높은 전력이득, 0.1mm²의 가장 작은 칩 크기와 19.2dBm의 가장 높은 포화 출력 전력 및 17.2%의 가장 높은 최대 전력부가 효율 특성을 보였다. 또한 우수한 S 파라미터 특성을 보였다. 이러한 특성으로 인해 향후 단거리 레이더의 전력 증폭기 설계 기술에 적용되리라 기대된다.

ACKNOWLEDGMENTS

This work was supported by a 2014 Research Grant of Andong National University.

REFERENCES

- [1] J. Wenger, "Automotive Radar-Status and Perspectives", *IEEE Compound Semiconductor Integrated Circuit Symposium*, vol. 2, no. 1, pp. 21-24, Oct. 2005.
- [2] S. G. Kim, H. Rastegar, M. Yoon, C. W. Park, K. Y. Park, S. K. Joung and J. Y. Ryu, "High-Gain and Low-Power Power Amplifier for 24-GHz Automotive Radars", *International Journal of Smart Home*, vol. 9, no. 2, pp. 27-34, Feb. 2015.
- [3] S. Y. Park, J. Y. Ryu, S. U. Kim, D. H. Ha, and Y. W. Choe, "Built-In Self-Test Circuit and Algorithm for 24GHz Automotive Collision Avoidance Radar System- on-Chip", *Journal of Korean Institute of Information Technology*, vol. 9, no. 8, pp. 33-39, Aug. 2011.
- [4] G. H. Choi, S. K. Choi, C. H. Kim, M. U. Sung, S. G. Kim, J. H. Lim, H. Rastegar, J. Y. Ryu, and S. H. Noh, "Power Amplifier for Short Range Radar Application of Automotive Collision Avoidance", *Proceedings of Conference on Information and Communication Engineering*, vol. 18, no. 1, pp. 765-767, 2014.
- [5] S. Sharma and S. Akashe, "Class - AB CMOS Buffer with Low Power and Low Leakage Using Transistor Gating Technique", *International Journal of Advanced Science and Technology*, vol. 58, no. 9, pp. 1-12, Sep. 2013.
- [6] A. Z. Yonis, M. F. L. Abdullah, and M. F. Ghanim, "Effective Carrier Aggregation on the LTE - Advanced Systems", *International Journal of Advanced Science and Technology*, vol. 57, no. 4, pp. 15-26, Apr. 2012.
- [7] B. Razavi, *Design of Analog CMOS Integrated Circuits*, 1st ed. New York, NY: McGraw-Hill, 2001.
- [8] Y. S. Lin and J. N. Chang, "A 24-GHz power amplifier with Psat of 15.9 dBm and PAE of 14.6 % using standard 0.18 μ m CMOS technology", *Analog Integrated Circuits and Signal Processing*, vol. 79, no. 3, pp. 427-435, Jun. 2014.
- [9] N.C. Kuo, J.C. Kao, C.C. Kuo, and H. Wang, "K-band CMOS power amplifier with adaptive bias for enhancement in back-off efficiency", *IEEE MTT-S International Microwave Symposium Digest*, vol. 11, no. 1, pp. 1-4, Jun. 2011.
- [10] A. Komijani, A. Natarajan, and A. Hajimiri, "A 24-GHz, +14.5-dBm Fully Integrated Power Amplifier in 0.18- μ m CMOS", *IEEE Journal of Solid-State Circuits*, vol. 40, no. 9, pp. 1901-1908, Sep. 2005.
- [11] T. S. D. Cheung, and J. R. Long, "A 21 - 26-GHz SiGe Bipolar Power Amplifier MMIC", *IEEE Journal of Solid-State Circuits*, vol. 40, no. 12, pp. 2583-2597, Dec. 2005.



노석호(Seok-Ho Noh)

1982년 : 한양대학교 전자공학과 졸업(공학사)
 1990년 : 일본 동경공업대학교 물리정보공학 졸업(공학석사)
 1993년 : 일본 사이타마대학교 생산정보공학 졸업(공학박사)
 1993년 ~ 1998년 2월 : 한국전자통신연구소 위성방송시스템연구실 선임연구원
 1998년 3월 ~ 현재 : 안동대학교 전자공학전공 교수(산돌고덕L, 7,5)
 ※ 관심분야 : 디지털방송시스템, DSP, 반도체회로설계 및 검사



류지열(Jee-Youl Ryu)

1993년 2월 : 부경대학교 전자공학과(공학사)
 1997년 2월 : 부경대학교 전자공학과(공학석사)
 2004년 12월 : 애리조나 주립대학교 전기공학과(공학박사)
 2009년 3월 ~ 현재 : 부경대학교 정보통신공학과 교수
 ※ 관심분야 : System-on-Chip 설계, 고주파 회로 설계, 임베디드 시스템 설계