

스마트 LED Driver ICs 패키지용 700 V급 Power MOSFET의 설계 최적화에 관한 연구

강이구^a

극동대학교 태양광공학과

Study on the Design of Power MOSFET for Smart LED Driver ICs Package

Ey Goo Kang^a

Department of Photovoltaic Engineering, Far East University, Eumseong 27601, Korea

(Received January 20, 2016; Accepted January 24, 2016)

Abstract: This research was designed 700 level power MOSFET for smart LED driver ICs package. And we analyzed electrical characteristics of the power MOSFET as like breakdown voltage, on-resistance and threshold voltage. Because this research is important optimal design for smart LED ICs package, we designed power MOSFET with design and process parameter. As a result of this research, we obtained 60 μm N-drift layer depth, 791.29 V breakdown voltage, 0.248 $\Omega\cdot\text{cm}^2$ on resistance and 3.495 V threshold voltage. We will use effectively this device for smart LED driver ICs package.

Keywords: Smart LED, Power MOSFET, Breakdown voltage, On-resistance, Driver

1. 서 론

2000년대부터 발전된 LED 산업의 급속한 발전으로 LED를 광원으로 이용한 응용제품들이 일반조명 분야 뿐 아니라 자동차, 해양 조신, 디스플레이, 농업, 의료 장비 등 다양한 분야에 전 세계적으로 개발되고 있다 [1-3]. 현재 대부분의 LED 조명용 PSU (power supply unit)는 SMPS (switch mode power supply)와 LED 정전류 구동회로로 구성되는 2단계 전력변환방식임. 한편 상용교류 전원으로부터 급전을 받는 LED 조명 기기의 경우, 고 입력 역률이 요구될 때는 전원 입력단에 PFC (power factor correction) 회로를 구비해야 하므로 전체적으로 3단계 전력변환 방식이 됨. 이

러한 다단계 전력변환 회로는 회로구성이 복잡하기 때문에 고장률이 높고 전력변환 효율이 낮다는 단점을 갖고 있다. 따라서 회로구성을 간단히 함으로써 경제적인 제조가 가능함과 동시에 고장률을 최소화 시킬 수 있고 또한 전력 변환 효율을 높일 수 있는 기술 개발이 요구되고 있다 [4-7]. 이와 동시에 LED 드라이버 ICs의 핵심기술로 인정되고 있는 파워 MOSFET의 중요성은 증가하고 있기 때문에 본 논문에서는 스마트 일체형 LED 드라이버 ICs를 구현하기 위한 700 V급 파워 MOSFET에 대해서 소자 및 공정 시뮬레이터를 이용하여 최적 설계를 하고자 하였다.

2. 실험 방법

2.1 700 V급 MOSFET의 설계

그림 1은 설계하고자 하는 700 V 전력 MOSFET의

a. Corresponding author; keg@kdu.ac.kr

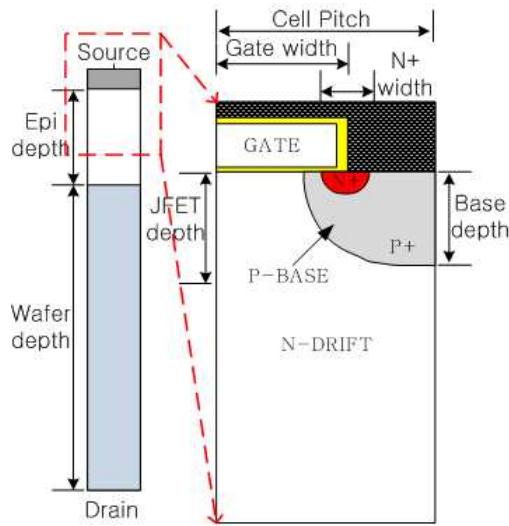


Fig. 1. The structure of 700 V MOSFET .

Table 1. 700 V power MOSFET design parameter.

Parameter	Value
Cell Pitch	8.25 μm
N-Drift Epi Depth	43 μm
N-Drift Concentration	$3.21 \times 10^{14} \text{ cm}^{-2}$
JFET dose	$1 \times 10^{13} \text{ cm}^{-2}$
P base dose	$6.5 \times 10^{13} \text{ cm}^{-2}$
Gate Length	4.25 μm

구조를 보여주고 있다. 항복전압 700 V를 갖는 power MOSFET을 설계하기 위해 표 1과 같이 설계 파라미터를 설정하였다. 전력 MOSFET의 항복전압을 결정하는 주요 변수는 N-drift 깊이와 N-drift의 농도이며, 깊이가 클수록, 농도가 낮을수록 항복전압은 커지지만 온 저항이 증가하기 때문에 트레이드 오프(Trade-off)를 고려하여 설계하여야 한다.

전력 MOSFET의 동작특성 및 공정 마진을 10% 이상 고려하여 소자를 설계하여 최소 770 V 이상의 항복전압 특성이 확보되도록 설계 변수를 설정하였고, N-드리프트 깊이를 50~80 μm 의 사이에서 10 μm 씩 변화를 주었으며, N-드리프트 농도를 3.0×10^{14} 이하의 값으로 감소를 시키면서 시뮬레이션을 진행하였다.

2.2 N-드리프트 및 농도변화에 따른 항복전압 특성

본 절에서는 N-드리프트 및 농도변화에 따른 항복전압

Table 2. The breakdown voltage according to depth and dose of N-drift.

Depth (μm)	N-drift		Breakdown Voltage (V)
	Depth (μm)	dose (cm^{-2})	
50		2.993×10^{14}	643.96
50		2.237×10^{14}	748.56
50		1.786×10^{14}	803.07
50		1.486×10^{14}	834.47
60		2.993×10^{14}	644.87
60		2.237×10^{14}	791.29
60		1.786×10^{14}	877.47
60		1.486×10^{14}	929.02
70		2.993×10^{14}	644.40
70		2.237×10^{14}	800.71
70		1.786×10^{14}	924.63
70		1.486×10^{14}	1000.00
80		2.993×10^{14}	644.47
80		2.237×10^{14}	800.55
80		1.786×10^{14}	944.11
80		1.486×10^{14}	1000.00

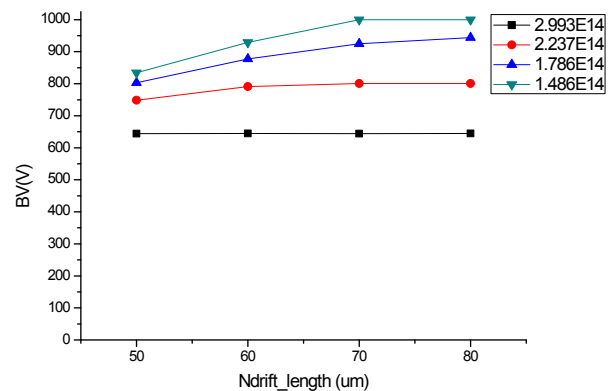


Fig. 2. The variation of breakdown voltage according to depth of N-drift at the dose of N-drift.

특성을 고찰하였다. 설계하고자 하는 전력 MOSFET가 700 V 급 항복전압을 갖도록 하기 위해 표 2에서 나타난 것처럼 세 가지 경우로 최적화가 가능하였다. 도출된 설계조건을 토대로 시뮬레이션을 수행 하였을때 그림 2와 같이 각 N-드리프트 농도와 N-드리프트 길이에 따른 항복전압 변화를 보여줄 수 있다.

그림 2에서 보여준 것처럼 농도가 낮을수록 항복전압의 값이 크고 해당되는 일정한 농도에서 N-드리프트 길이가 길수록 항복전압이 증가하다가 일정한 값으로

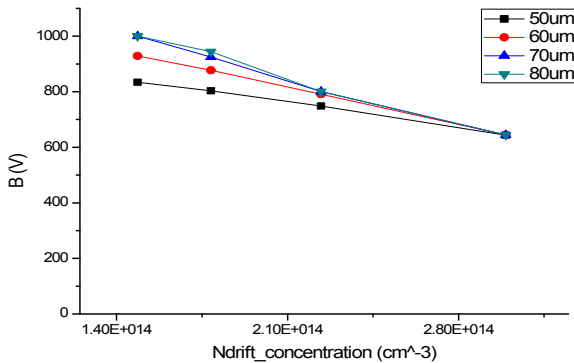


Fig. 3. The variation of breakdown voltage according to dose of N-drift at the depth of N-drift.

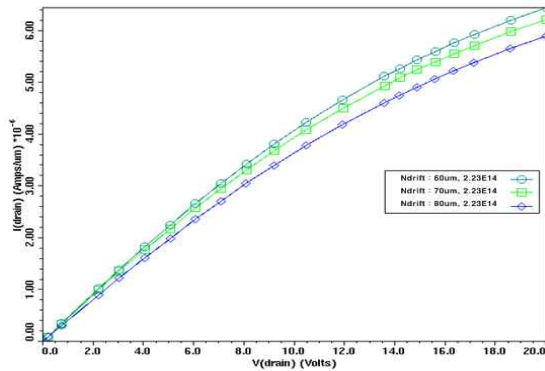


Fig. 4. The variation of breakdown voltage and on resistance according to dose and depth of N-drift.

포화되는 것을 볼 수 있다. 따라서 각 농도별 포화되는 지점에서 N-드리프트 길이를 효율적으로 사용하여 최적의 항복전압을 얻을 수 있는 것을 볼 수 있다. N-드리프트 길이별 항복전압이 포화되는 최소농도를 기준으로 하여 N-드리프트 농도에 따른 항복전압의 변화는 그림 3에서 보여주고 있다.

그림 3에서 예상한 바와 같이 N-drift 길이가 길수록 항복전압은 큰 값을 가지게 되며, 일정 길이의 N-drift 영역에서 농도가 커질수록 항복전압은 감소하며, $3 \times 10^{14} \text{ cm}^{-2}$ 이상의 농도에서는 길이에 관계없이 일정한 항복전압으로 수렴되는 것을 알 수 있다. N-drift 농도가 클수록 온 상태 저항은 작기 때문에 N-drift 농도를 효율적으로 큰 값을 유지하면서 항복전압을 크게 하는 지점은 농도의 증가에 따라 항복전압이 급격히 감소하기 시작하는 지점일 것으로 예상할 수 있다. 시뮬레이션 결과 N-drift의 농도는 $2.23 \times 10^{14} \text{ cm}^{-2}$ 에서

Table 3. The on state current and breakdown voltage of power MOSFET at depth and dose of N-drift.

N-drift		Breakdown Voltage (V)	On state current (A/ μm) at $V_d=20 \text{ V}$
Depth (μm)	Dose (cm^{-2})		
60	2.23×10^{14}	791.29	6.44×10^{-6}
70	2.23×10^{14}	800.71	6.2×10^{-6}
80	2.23×10^{14}	800.55	5.89×10^{-6}

전력 MOSFET의 항복전압 특성 및 공정마진을 고려한 770 V 이상의 항복전압을 확보할 수 있었다.

그림 4의 I_d-V_d curve는 앞선 시뮬레이션 결과에서 700 V급 항복전압을 갖는 세 가지 경우의 설계조건 60 μm , $2.23 \times 10^{14} \text{ cm}^{-2}$, 70 μm , $2.23 \times 10^{14} \text{ cm}^{-2}$, 80 μm , $2.23 \times 10^{14} \text{ cm}^{-2}$ 을 나타내고 있다. 각각의 N-drift 길이, 농도 조건하에서의 V_d 에 20 V까지 전압을 인가할 때, 즉 온 상태에서 전류의 크기는 표 3에서 보여주고 있다. 표 3의 결과에서 알 수 있듯이 N-drift가 60 μm , $2.23 \times 10^{14} \text{ cm}^{-2}$ 의 길이와 농도조건 일 때 전류가 가장 크고, 따라서 온 상태 저항이 가장 작으므로 같은 항복전압에 있어 가장 최적임을 확인할 수 있었다. 또한 이는 앞에서 예측하였던 항복전압 변화 그래프의 포화가 시작되는 부근의 영역임을 확인할 수 있었다.

2.3 항복전압의 최적설계를 위한 N-드리프트 영역의 농도 세분화

이전에 수행한 실험 결과 중 온 상태 저항이 가장 작은 700 V급 설계조건에서 항복전압은 803.07 V이므로 항복전압을 700 V로 맞추기 위해 N-drift 길이는 60 μm 로 고정시킨 상태에서 농도를 증가시켜 온 상태 저항을 줄일 수 있다. 표 4에서 나타낸 바와 같이 농도를 세분화하여 실험한 결과에 따라 최종적인 농도를 $1.781 \times 10^{14} \text{ cm}^{-2}$ 로 할 때 $R_{on,sp}=0.249 \Omega \cdot \text{cm}^2$ 그리고 항복전압은 803.07 V로 설계하였다.

Table 4. N-drift dose with 800 V breakdown voltage.

N-Drift		On state current at $V_d=20$ (A/ μm)	$R_{on,sp}$ ($\Omega \cdot \text{cm}^2$)	Break down voltage (V)
depth (μm)	dose (cm^{-2})			
60	1.486×10^{14}	6.44×10^{-6}	0.257	784.07
	1.781×10^{14}	6.65×10^{-6}	0.249	803.71
	2.237×10^{14}	6.86×10^{-6}	0.241	834.55

2.4 P-base 농도의 세분화를 통한 문턱전압의 최적설계

P-base 농도 변화가 항복전압 변화에 미치는 영향은 매우 작으며, P-base 영역의 농도변화는 주로 온저항과 문턱전압에 영향을 미친다. 따라서 기존의 목표 항복전압을 위한 설계 파라미터를 고정 한 후 P-base 농도를 변화시키면서 그림 5와 같은 I_d-V_g 특성을 살펴보았다. 또한 게이트 산화막 두께는 드레인 전압 1 V 당 0.15 nm로 계산 후 10% 정도의 여유를 두기 위해서 1,000 Å로 하여 설계하였다. 설계 후 실험한 결과 표 5와 같이 p-base dose가 $4.5 \times 10^{14} \text{ cm}^{-2}$ 일 때 문턱전압이 3.49 V 임을 확인하였으며, 700 V 전력MOSFET의 보편적인 값을 얻을 수 있었다.

Table 5. The variation of threshold voltage according to p-base dose.

N-Drift depth (μm)	N-Drift dose (cm^{-2})	P-base dose (cm^{-2})	Gate Oxide thickness (\AA)	V_{th} (V)
60	2.231×10^{14}	4.0×10^{13}	1000	3.14
		4.5×10^{13}		3.49
		5.0×10^{13}		3.71
		5.5×10^{13}		3.93
		6.0×10^{13}		4.21

3. 결과 및 고찰

이전의 실험을 통하여 N-drift 길이와 농도를 조절하여 설계목표치로 했던 700 V의 항복전압을 설계할 수 있었으며, p-base 농도를 조절하여 문턱전압을 설계 목표치에 맞게 설정하였다. 두 실험의 결과를 표 6에 정리하였다.

Table 6. The optimal parameter of 700 V power MOSFET.

Parameter	Value
N-drift depth	60 μm
N-drift dose	$2.231 \times 10^{14} \text{ cm}^{-2}$
P-base dose	$4.5 \times 10^{13} \text{ cm}^{-2}$
Gate oxide thickness	1000 \AA
V_{th}	3.49
Breakdown voltage	791.29 V
On state resistance	0.248 $\Omega\text{-cm}^2$

표 6에서 나타낸 바와 같이 700 V의 항복전압을 얻기 위해서 10%의 마진을 두고 설계했기 때문에 목표로 하던 항복전압 791.29 V를 얻을 수 있었으며, 그때의 N-drift의 농도와 깊이는 각각 $2.231 \times 10^{14} \text{ cm}^{-2}$, 60 μm 의 설계 변수를 얻을 수 있었다. 이때의 중요한 변수인 온 저항은 $0.248 \Omega\text{-cm}^2$ 을 나타내고 있다.

4. 결론

본 논문에서는 스마트 LED Driver ICs 패키지용 700 V급 전력 MOSFET을 설계하고, 그 전기적인 특성을 분석하였다. 일체형 드라이버 ICs에 있어서는 전력반도체의 최적 설계가 매우 중요하기 때문에 각종 설계 변수를 적용하여 전력 MOSFET을 설계하였다. 연구결과, 항복전압에 큰 영향을 주는 N-drift 층의 깊이는 60 μm 로 도출되었으며, 이때 항복전압은 791.29 V이며, 온 상태 저항은 $0.248 \Omega\text{-cm}^2$ 문턱전압은 3.49 V이다. 최적화 설계가 이루어진 700 V급 전력 MOSFET은 일체형 Smart LED Driver ICs 패키지 설계 때 충분히 활용할 수 있을 것으로 판단된다.

REFERENCES

- [1] S. M. Sze, G. Gibbons, *Solid-State Electronics*, **9**, 831 (1966). [DOI: [http://dx.doi.org/10.1016/0038-1101\(66\)90033-5](http://dx.doi.org/10.1016/0038-1101(66)90033-5)]
- [2] G. P. Sim, B. S. Ann, Y. H. Kang, Y. S. Hong, and E. G. Kang, *J. Korean Inst. Electr. Electron. Mater. Eng.*, **26**, 190 (2013). [DOI: <http://dx.doi.org/10.4313/JKEM.2013.26.3.190>]
- [3] D. G. Bae, S. K. Chung, *Solid-State Electronics*, **42**, 354 (1998). [DOI: [http://dx.doi.org/10.1016/S0038-1101\(97\)00201-3](http://dx.doi.org/10.1016/S0038-1101(97)00201-3)]
- [4] Y. S. Hang, E. S. Jung, and E. Y. Kang, *J. Korean Inst. Electr. Electron. Mater. Eng.*, **25**, 276 (2012). [DOI: <http://dx.doi.org/10.4313/JKEM.2012.25.4.276>]
- [5] J. H. Lee, E. S. Jung, E. Y. Kang, *J. Korean Inst. Electr. Electron. Mater. Eng.*, **25**, 270 (2012). [DOI: <http://dx.doi.org/10.4313/JKEM.2012.25.4.270>]
- [6] C. Hu, M. H. Chi, and V. M. Patel, *IEEE Trans. Elec. Dev.*, **31**, 1693 (1984). [DOI: <http://dx.doi.org/10.1109/T-ED.1984.21773>]
- [7] N. Keskar, M. Trivedi, and K. Shenai, *Microelectron. Reliab.*, **39**, 1121 (1999). [DOI: [http://dx.doi.org/10.1016/S0026-2714\(99\)00159-6](http://dx.doi.org/10.1016/S0026-2714(99)00159-6)]