

서로 다른 소스/드레인 전극물질을 이용한 비정질 In-Ga-Zn-O 박막트랜지스터 성능향상

김승태, 조원주^a

광운대학교 전자재료공학과

Performance Improvement of Amorphous In-Ga-Zn-O Thin-film Transistors Using Different Source/drain Electrode Materials

Seung-Tae Kim and Won-Ju Cho^a

Department of Electronic Materials Engineering, Kwangwoon University, Seoul 01897, Korea

(Received January 8, 2016; Revised January 22, 2016; Accepted January 24, 2016)

Abstract: In this study, we proposed an a-IGZO (amorphous In-Ga-Zn-O) TFT (thin-film transistor) with off-planed source/drain structure. Furthermore, two different electrode materials (ITO and Ti) were applied to the source and drain contacts for performance improvement of a-IGZO TFTs. When the ITO with a large work-function and the Ti with a small work-function are applied to drain electrode and source contact, respectively, the electrical performances of a-IGZO TFTs were improved; an increased driving current, a decreased leakage current, a high on-off current ratio, and a reduced subthreshold swing. As a result of gate bias stress test at various temperatures, the off-planed S/D a-IGZO TFTs showed a degradation mechanism due to electron trapping and both devices with ITO-drain or Ti-drain electrode revealed an equivalent instability.

Keywords: a-IGZO (amorphous In-Ga-Zn-O), TFT (thin-film transistor), Work function

1. 서론

산화물 반도체 기반의 박막트랜지스터 (thin-film transistor, TFT)는 기존의 비정질 실리콘 (a-Si:H) 기반의 TFT와 비교하여 차세대 디스플레이 구동회로를 구성하기 위한 소자로 최근 많은 관심을 받고 있다 [1]. 비정질 실리콘 TFT는 디스플레이 픽셀 회로에 적용될 때 구조가 복잡하고 $1 \text{ cm}^2/\text{V}\cdot\text{s}$ 이하의 낮은 전자 이동도를 가지기 때문에 디스플레이 구동소자로 적

합하지 않다 [2]. 이와 같은 비정질 실리콘 TFT의 문제점을 해결하기 위해 다결정 실리콘 TFT가 제안되었지만, 공정 온도가 높고 소자 특성의 균일도가 떨어지며 누설전류가 크다는 문제가 있다 [3,4]. 따라서, 낮은 임계전압 이하 드레인 누설전류 기울기(subthreshold slope, SS), 낮은 문턱치 전압(threshold voltage, V_{TH}), 높은 온-오프 전류비(on/off current ratio)와 큰 전계효과 이동도(field-effect mobility, μ_{FE})를 가지는 전기적인 특성이 우수하고 저온에서 공정이 가능한 산화물 반도체 기반의 TFT가 차세대 디스플레이 구동소자로 주목받고 있다 [5-7]. 특히, 능동 매트릭스 방식 디스플레이(active matrix display) 응용을 위해서는 10^6 이상의 큰 on/off current ratio가 요구되고 있다 [8]. 이와 같은 특성을 달성하기 위하여 다양한 산화물 반도체 중에서 특히 a-IGZO 박막이 비정질 상

a. Corresponding author; chowj@kw.ac.kr

태에서도 우수한 전기적인 특성과 화학적 안정성을 지니기 때문에 [11] 많은 주목을 받고 있으며, 고품질의 박막을 얻기 위하여 산소 분압 조절을 이용한 a-IGZO 박막 증착이나 PLD (pulsed laser deposition)과 같은 진보된 공정을 이용하여 a-IGZO TFT를 제작하는 연구들이 보고되고 있다 [9,10]. 또한, a-IGZO TFT의 구동전류 및 누설전류, 스위칭 특성과 같은 트랜지스터 소자의 전기적 성능에 중요한 영향을 미치는 소스와 드레인 접합의 금속전극 재료들에 대한 연구도 진행되고 있다 [12-14]. 일반적으로, a-IGZO 채널 위에 접촉 저항이 크거나 일함수가 큰 금속 물질을 소스와 드레인 전극으로 적용하게 되면 구동전류가 감소하게 된다. 반대로 일함수가 작은 금속 물질을 전극으로 사용하게 되면 누설전류가 증가한다. 따라서, 다양한 물질들 중에 a-IGZO 채널과 안정적인 반응을 가지며 적절한 크기의 일함수를 가지는 전극재료의 선정이 중요하다. 추가적으로, a-IGZO TFT가 디스플레이의 구동소자로 사용될 때, 픽셀 휘도에 따라 안정성이 변하므로 신뢰성 평가는 매우 중요하다 [15]. 본 논문에서는 소스와 드레인 전극이 동일 평면상에 위치한 기존의 a-IGZO 박막트랜지스터(in-planed S/D a-IGZO TFT)와는 다르게 소스와 드레인 전극이 서로 다른 평면에 위치한 새로운 구조의 a-IGZO 박막트랜지스터(off-planed S/D a-IGZO TFT)를 제안하고자 한다. 기존의 in-planed S/D a-IGZO TFT는 일반적으로 소스와 드레인 전극이 동일한 물질로 구성되지만, 본 연구에서 제안하는 off-planed S/D a-IGZO TFT는 소스와 드레인 전극에서 서로 다른 물질을 쉽게 적용할 수 있다는 장점이 있다. 다양한 전극 물질들 중에 a-IGZO 채널과 안정적인 반응을 가지는 ITO (indium-tin oxide)와 Ti (titanium)가 S/D 전극으로 많이 사용되고 있으므로 본 연구에서는 소스와 드레인 전극에서 서로 다른 Ti 또는 ITO를 적용함으로써 S/D 전극 엔지니어링된 a-IGZO TFT의 동작 특성에 미치는 접합의 영향을 평가하여 높은 구동전류와 낮은 누설전류, 그리고 우수한 스위칭 특성을 얻을 수 있는 새로운 구조의 off-planed S/D a-IGZO TFT를 제안하였다. 또한, 다양한 측정 온도에서 게이트 바이어스 스트레스에 의한 불안정성(gate bias stress induced instability) 측정을 통하여 off-planed S/D a-IGZO TFT 소자의 신뢰성을 평가하였다.

2. 실험 방법

본 실험에서는, 1~10 Ω·cm의 비저항을 가지는 (100) p-type 단결정 실리콘 웨이퍼 기판 위에 하부

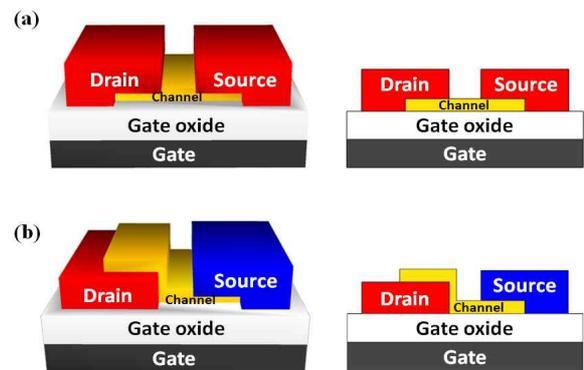


Fig. 1. Schematic illustrations of (a) conventional in-planed S/D structure TFTs and (b) proposed off-planed S/D structure TFTs.

게이트 구조의 상부 소스/드레인 접촉(bottom-gate top-contact)을 가지는 a-IGZO TFT를 제작하였다.

그림 1은 conventional in-planed S/D 구조의 a-IGZO TFT (a)와 본 연구에서 제안한 off-planed S/D 구조의 a-IGZO TFT (b)의 소자 구조를 나타낸다. 기존의 conventional in-planed S/D 구조의 a-IGZO TFT가 그림 1(a)와 같이 동일한 평면에서 동일한 재료를 사용하여 소스 및 드레인 전극이 형성되는 반면 [13], 본 연구에서 제안한 off-planed S/D 구조의 a-IGZO TFT는 그림 1(b)와 같이 서로 다른 면에 소스 및 드레인 전극을 형성함으로써 각각 다른 재료를 이용하여 S/D 접합의 일함수를 자유롭게 조절할 수 있으며, 적절한 일함수의 조합을 선택하여 누설전류를 줄이면서 동시에 구동전류를 증가시켜서 스위칭 특성을 향상시킬 수 있다는 독특한 특징을 가진다 [16].

먼저 표준 RCA세정을 이용하여 단결정 실리콘 기판을 세정한 후, 열산화 방법을 통해서 두께 100 nm의 게이트 절연막(SiO₂)을 성장시켰다. 150 nm 두께의 ITO (In₂O₃:SnO₂=9:1 mol%) 막을 100 W의 RF power와 20 sccm의 아르곤 (Ar) 가스, 3 mTorr의 압력 하에서 RF magnetron sputter 장비를 이용하여 증착한 다음, 포토리소그래피와 습식각 공정으로 드레인 전극을 형성하였다. 순차적으로 50 nm 두께의 a-IGZO (In₂O₃:Ga₂O₃:ZnO=1:1:1 mol%)를 100 W의 RF power와 30 sccm의 Ar 가스, 6 mTorr의 압력 하에서 RF magnetron 스퍼터 장비를 이용하여 증착하고, 포토리소그래피와 습식각 공정을 통하여 TFT의 채널층을 형성하였다. 다음으로 150 nm 두께의 Ti를 전자빔 증착(E-beam evaporation)으로 증착하고 리프트 오프(lift-off) 공정을 통하여 소스 전극을 형성하

였다. 최종적으로, a-IGZO 채널의 결함들을 제거하고 SiO₂ 절연막과의 계면 상태를 개선시키기 위하여 퍼니스에서 질소(N₂) 가스 분위기, 300°C, 30 분의 조건으로 후속 열처리 공정을 실시하였다. 제작된 소자의 전기적인 특성 평가는 Agilent 4156B Precision Semiconductor Parameter Analyzer 장비를 이용하였고, 빛과 외부 환경에 의한 영향을 피하기 위해 암상자 안에서 측정하였다.

3. 결과 및 고찰

그림 2는 제작된 off-planed S/D 구조의 a-IGZO TFT에서 드레인 전극이 ITO 인 경우와 Ti 인 경우의 전달특성곡선(transfer characteristic curves)을 나타낸다. a-IGZO 채널과 S/D 전극 사이에는 반도체와 금속 간의 일함수 차이에 따른 전위장벽이 형성된다. 만약, 소스와 드레인이 동일한 일함수를 가지고 금속 전극의 일함수가 작은 경우에는 반도체와 금속 간의 전위 장벽차이가 줄어들기 때문에 구동전류가 증가하지만 동시에 누설전류도 증가한다. 반면에 일함수가 큰 경우에는 반도체와 금속 간의 전위 장벽차이가 커져서 누설전류를 줄일 수 있지만 구동전류도 감소하는 문제점이 있다. 따라서 구동전류를 키우고 누설 전류를 줄이기 위해서는 서로 다른 일함수를 가지는 소스와 드레인 전극을 적절하게 선택할 필요가 있다. 본 연구에서 제안한 off-planed S/D 구조의 a-IGZO TFT는 서로 다른 일함수를 가지는 소스와 드레인 전극을 적용하기 적합한 소자이며 드레인 전극에 일함수가 큰 ITO (일함수 $\Phi_{ITO} \approx 4.8$ eV)와 소스 전극에 일함수가

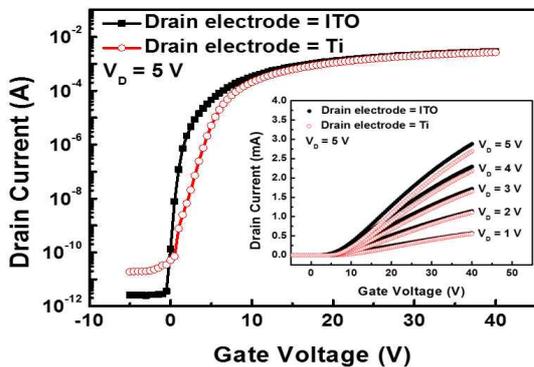


Fig. 2. Transfer characteristic curves of off-planed S/D structure a-IGZO TFTs according to drain electrode materials.

작은 Ti(일함수 $\Phi_{Ti} \approx 4.3$ eV)를 적용한 경우에 구동전류가 증가하였으며 누설전류는 감소하였다. 또한, 드레인 전극이 ITO와 Ti인 경우에 문턱치 전압(threshold voltage)은 각각 -0.21 V와 0.5 V이며, 임계전압 이하 드레인 누설전류 기울기(subthreshold slope)는 281.19 mV/dec와 380.21 mV/dec로 ITO 드레인 전극이 Ti 드레인 전극보다 우수한 스위칭 특성을 가지는 것을 확인하였다.

$$\mu_{FE} = \frac{Lg_m}{WC_{ox}V_{DS}} \quad (1)$$

또한, 식 (1)을 이용하여 전계효과이동도를 추출하여 비교하였다. 식 (1)에서 W와 L은 채널의 폭과 길이, C_{ox}는 절연막의 정전용량이며 g_m은 상호 컨덕턴스를 의미한다. 드레인 전극이 ITO와 Ti인 경우의 전계 효과 이동도는 각각 8.8 cm²/V·s, 8.3 cm²/V·s로 ITO 전극이 약간 더 큰 값을 나타냈다.

그림 3(a)는 드레인 전압을 1 V부터 5 V까지 인가했을 때 ITO 드레인 전극과 Ti 드레인 전극의 구동전류와 누설전류를 나타낸 것이다.

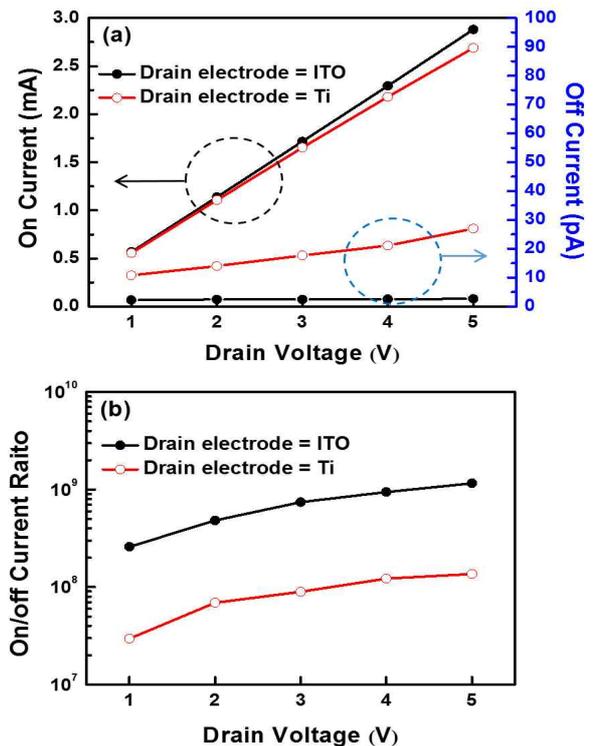


Fig. 3. (a) The on/off current level and (b) on/off current ratio of off-planed S/D structure a-IGZO TFTs according to drain electrode materials.

Table 1. Electrical parameters of off-planed S/D structure a-IGZO TFTs according to drain electrode materials.

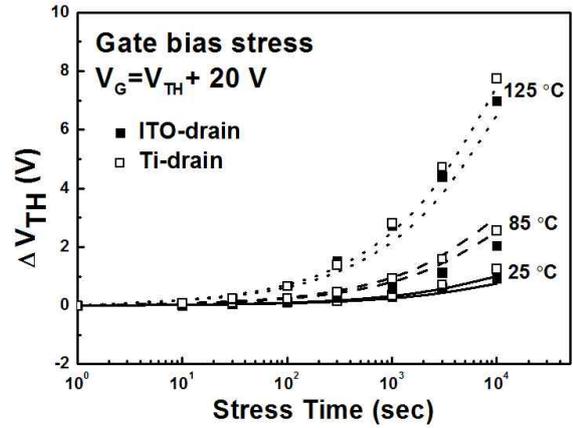
	ITO drain	Ti drain
SS [mV/dec]	281.2	380.2
μ_{FE} [cm^2/Vs]	8.8	8.3
I_{on}/I_{off} ratio	1.2×10^9	1.3×10^8
D_{it} [$\text{cm}^2\text{eV}^{-1}$]	1.02×10^{12}	1.38×10^{12}
N_t [$\text{cm}^{-3}\text{eV}^{-1}$]	1.46×10^{17}	1.97×10^{17}

구동전류의 경우에는 드레인 전압이 증가할수록 ITO 전극과 Ti 전극 모두 증가하는 특성을 보였다. 한편, 누설전류의 경우에는 드레인 전압이 증가해도 ITO 드레인 전극이 약 2 pA로 일정하였지만, Ti 드레인 전극은 10 pA에서 27 pA로 드레인 전압에 따라서 증가하는 것을 알 수 있다. 그림 3(b)는 드레인 전압에 따른 구동전류와 누설전류의 비(on/off current ratio)를 나타내며, ITO 드레인 전극이 on/off current ratio가 Ti 드레인 전극보다 약 10 배 정도 높았다. 따라서 제작된 a-IGZO TFT에서 일함수가 큰 물질을 드레인 전극, 일함수가 작은 물질을 소스 전극으로 적용하게 되면 보다 우수한 전기적 특성을 얻을 수 있다는 것을 확인하였다.

표 1은 드레인 전극에 따른 off-planed S/D 구조의 a-IGZO TFT의 전기적인 특성을 나타내는 파라미터 값들을 나타낸 것이다. 임계전압 이하 드레인 누설전류 기울기(SS)를 나타내는 식 (2)를 이용하여 채널과 절연막 사이의 계면 트랩 밀도(D_{it}) 및 채널의 트랩 밀도(N_t)를 추출하였다 [17].

$$SS = \frac{qk_B T(N_t t_{ch} + D_{it})}{C_i \log(e)} \quad (2)$$

여기서 q 는 전자 전하량, k_B 는 볼츠만 상수, T 는 절대온도, C_i 는 단위 면적당 게이트 절연막 정전용량이며 t_{ch} 는 a-IGZO 채널 층의 두께를 의미한다. 산화물 반도체의 소자는 동작 조건에 따라서 이동도, 임계전압 이하 드레인 누설전류 기울기, 문턱전압 등과 같은 전기적 특성의 열화를 겪게 된다. 그림 4는 제작된 off-planed S/D a-IGZO TFT 소자의 안정성을 평가하기 위하여 다양한 온도에서 게이트에 일정 시간동안 전압을 인가한 다음, 시간에 따른 소자의 열화를 관찰한 PBTS(positive bias temperature stress) 테스트 결과를 나타낸다.

**Fig. 4.** Time dependence of ΔV_{TH} under different stress temperatures. Fitting to stretched-exponential are shown as lines.

소자에 가해진 스트레스 조건은 게이트에 $V_{GS}=V_{TH0}+20$ V, 드레인-소스 사이에 $V_{DS}=0$ V의 전압을 10,000초 동안 인가하며 a-IGZO TFT의 V_{TH} 변화과정을 측정하였다. V_{TH0} 는 소자의 초기 문턱치 전압이며, 게이트 바이어스 스트레스 테스트가 진행되는 동안 전달 특성곡선의 SS 값과 전하이동도는 거의 일정하게 유지되었지만 V_{TH} 는 스트레스 시간에 따라서 계속 증가하였다. 이와 같이 TFT 소자가 게이트 스트레스에 의하여 SS 나 이동도의 변화없이 V_{TH} 만 커지는 이유는 전자의 포획에 의한 것으로 알려져 있다 [18]. 한편, 문턱치 전압의 변화량 (ΔV_{TH})은 바이어스 스트레스 테스트 온도가 높아질수록 커졌으며, 드레인 전극의 재료에 따른 차이는 크지 않았다. 게이트 바이어스 스트레스 조건에 따른 V_{TH} 의 시간적 변화 과정은 a-Si TFT나 high-k 절연막을 가지는 MOSFET에서 전하포획에 의한 열화 과정으로 유도되어진 stretched-exponential 관계식으로 나타낼 수 있다.

$$\Delta V_{TH}(t) = V_0 \{1 - \exp[-(t/\tau)^\beta]\} \quad (3)$$

여기서 $V_0=V_{GS}-V_{TH0}$, τ 는 전자가 채널에서 절연막으로 트랩되는 시간(characteristic trapping time)이며 β 는 stretched-exponential 지수를 나타낸다 [16]. 그림에서 보는 것처럼 각각의 온도에서 측정된 ΔV_{TH} 은 식 (3)의 stretched exponential 관계식으로 잘 피팅(fitting) 되었음을 알 수 있다. 전자포획에 의한 문턱치 전압 변화는 stretched-exponential 모델로 나타

낼 수 있고 τ 는 시간에 따른 ΔV_{TH} 의 측정치를 식 (3)으로 피팅시켜서 구할 수 있으므로, 전자가 채널에서 절연막으로 진입하기 위하여 극복해야 하는 유효 에너지 장벽의 평균높이(average effective energy barrier height) E_τ 는 다음과 같이 τ 와 온도(T)의 관계를 이용하여 추출할 수 있다.

$$\tau = \tau_0 \exp\left(\frac{E_\tau}{k_B T}\right) \quad (4)$$

$$\ln(\tau) \propto \left(\frac{E_\tau}{k_B T}\right) \quad (5)$$

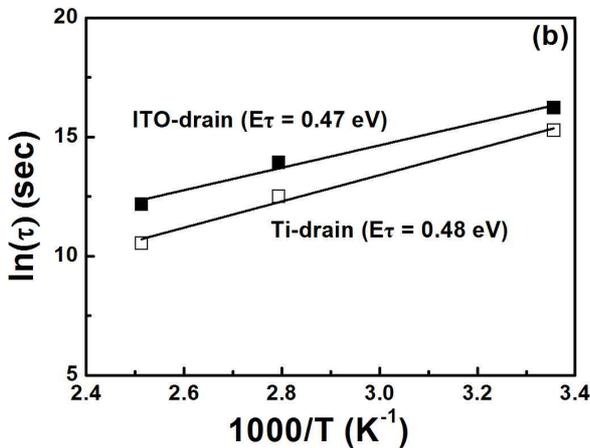


Fig. 5. Characteristic trapping time τ as a function of reciprocal temperature. τ is thermally activated with an average effective energy barrier E_τ from the slope of the straight lines.

그림 5는 식(5)와 같이 $\ln(\tau)$ 를 온도의 역수(reciprocal temperature)로 나타낸 것으로 전자포획 과정이 열적 활성화(thermal activation)에 의해서 이루어지는 아레니우스 관계(Arrhenius relationship)를 따른다는 것을 알 수 있다. 추출된 E_τ 는 ITO 드레인과 Ti 드레인에 대해서 각각 0.47 eV와 0.48 eV로 비슷하였다. 따라서, off-planed S/D a-IGZO TFT의 신뢰성은 소스 및 드레인 전극의 재료에 크게 관계가 없음을 알 수 있었다. 결과적으로, 제작된 a-IGZO TFT에서 일함수가 큰 물질이 드레인 전극에 적용되고 일함수가 작은 물질이 소스 전극에 적용되면 소자의 신뢰성에는 영향을 미치지 않고 전기적인 특성을 향상시킬 수 있었다.

4. 결론

본 논문에서는 소스와 드레인 전극이 서로 다른 평면에 위치한 새로운 구조의 off-planed S/D a-IGZO TFT를 제안하였다. 기존의 in-planed S/D a-IGZO TFT는 소스와 드레인 전극이 동일한 물질로 구성되지만 제작된 off-planed S/D a-IGZO TFT는 드레인 전극을 먼저 형성한 후, 순차적으로 채널과 소스 전극이 형성되므로 소스와 드레인 전극에 서로 다른 물질을 적용할 수 있다는 장점이 있다. 소스와 드레인 전극에 Ti와 ITO를 적용한 결과, 일함수가 큰 ITO와 일함수가 작은 Ti를 각각 드레인과 소스 전극으로 사용하면 누설전류는 감소하고 구동전류는 증가하여 높은 온-오프 전류비가 증가하였고 SS가 감소하여 우수한 스위칭 특성을 얻을 수 있었다. 또한, 다양한 온도에서 측정한 PBTS 테스트 결과, 신뢰성 평가에서는 ITO와 Ti가 각각 드레인 전극에 적용된 경우 모두 비슷한 안정성을 보였다. 따라서, 본 논문에서 제안한 off-planed S/D a-IGZO TFT는 소스 및 드레인 전극 엔지니어링을 통해서 트랜지스터 소자의 성능을 크게 개선시킬 수 있는 유망한 기술이라고 판단된다.

감사의 글

이 논문은 2013년도 정부(미래창조과학부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업(No.2013R1A1A2A10011202)과 2015년도 정부(미래창조과학부)의 재원으로 한국연구재단-나노·소재 기술개발 사업의 지원을 받아 수행된 연구(2009-0082580)임.

REFERENCES

- [1] M. Ito, M. Kon, C. Miyazaki, N. Ikeda, M. Ishizaki, Y. Ugajin, and N. Sekine, *IEICE transactions on electronics*, **90**, 11 (2007).
- [2] T. Kamiya, K. Nomura, and H. Hosono, *Science and Technology of Advanced Materials*, **11**, 4 (2010).
- [3] K. Sera, F. Okumura, H. Uchida, S. Itoh, S. Kaneko, and K. Hotta, *Electron Devices, IEEE Transactions on*, **36**, 12 (1989). [DOI: <http://dx.doi.org/10.1109/16.40970>]
- [4] S. J. Lim, S. J. Kwon, H. Kim, and J. S. Park, *Applied Physics Letters*, **91**, 18 (2007).
- [5] H. Yabuta, M. Sano, K. Abe, T. Aiba, T. Den, H.

- Kumomi, and H. Hosono, *Applied physics letters*, **89**, 11 (2006). [DOI: <http://dx.doi.org/10.1063/1.2353811>]
- [6] A. Suresh and J. F. Muth, *Applied Physics Letters*, **92**, 3 (2008). [DOI: <http://dx.doi.org/10.1063/1.2824758>]
- [7] S. Y. Park, J. H. Song, C. K. Lee, B. G. Son, C. K. Lee, H. J. Kim, and H. J. Kim, *Electron Device Letters, IEEE*, **34**, 7 (2013).
- [8] B. Yaglioglu, H. Y. Yeom, R. Beresford, and D. C. Paine, *Applied physics letters*, **89**, 6 (2006). [DOI: <http://dx.doi.org/10.1063/1.2335372>]
- [9] V. Subramanian, M. Toita, N. R. Ibrahim, S. J. Souri, and K. C. Saraswat, *Electron Device Letters, IEEE*, **20**, 7 (1999). [DOI: <http://dx.doi.org/10.1109/55.772370>]
- [10] A. Suresh, P. Wellenius, A. Dhawan, and J. Muth, *Applied physics letters*, **90**, 12 (2007). [DOI: <http://dx.doi.org/10.1063/1.2716355>]
- [11] K. Nomura, A. Takagi, T. Kamiya, H. Ohta, M. Hirano, and H. Hosono, *Japanese Journal of Applied Physics*, **45**, 5S (2006).
- [12] Y. Shimura, K. Nomura, H. Yanagi, T. Kamiya, M. Hirano, and H. Hosono, *Thin Solid Films*, **516**, 17 (2008). [DOI: <http://dx.doi.org/10.1016/j.tsf.2007.10.051>]
- [13] W. S. Kim, Y. K. Moon, K. T. Kim, J. H. Lee, and J. W, *Thin Solid Films*, **518**, 22 (2010). [DOI: <http://dx.doi.org/10.1016/j.tsf.2010.03.028>]
- [14] J. H. Na, M. Kitamura, and Y. Arakawa, *Applied Physics Letters*, **93**, 6 (2008).
- [15] J. M. Lee, I. T. Cho, J. H. Lee, and H. I. Kwon, *Applied Physics Letters*, **93**, 9 (2008).
- [16] S. H. Rha, U. K. Kim, J. S. Jung, H. K. Kim, Y. S. Jung, E. S. Hwang, Y. J. Chung, M. J. Lee, J. H. Choi, and C. S. Hwang, *Electron Devices, IEEE Transactions on*, **60**, 3 (2013). [DOI: <http://dx.doi.org/10.1109/TED.2012.2236558>]
- [17] K. W. Jo, AND W, J. Cho, *Applied Physics Letters*, **105**, 21 (2014).
- [18] A. Suresh, and J. F. Muth, *Applied Physics Letters*, **92**, 3 (2008). [DOI: <http://dx.doi.org/10.1063/1.2824758>]