

폐 CPU 칩의 해체장치 제작 및 성능 평가

조아람 · 박승수 · 김보람 · *박재구

한양대학교 자원환경공학과

Manufacture of Dismantling Apparatus for Waste CPU Chip and Performance Evaluation

Aram Joe, Seungsoo Park, Boram Kim and *Jaikoo Park

Department of Earth Resources and Environmental Engineering, Hanyang University

요 약

본 연구에서는 F-PGA 타입의 CPU 칩과 W-BGA 타입의 CPU 칩을 대상으로 금(Au)의 함량 및 분포 상태를 확인하였다. 그 결과 F-PGA 칩의 경우, 금의 80.8%가 칩 터미널(terminal)부분에, W-BGA 칩의 경우에는 베어다이(bare die)에 금이 89.8% 편재되어 있는 것을 확인하였다. 이와 같이 대부분의 금이 칩의 특정 부분에 존재하는 사실로부터 CPU 칩의 해체장치를 고안하게 되었다. CPU 칩 해체실험의 조작변수는 롤러 회전속도, IR 히터의 가열 온도, 가열 시간으로 하였다. F-PGA 칩의 경우에는 가열 온도 300°C, 가열 시간 90초 조건, 그리고 W-BGA 칩의 경우에는 롤러속도 90 rpm, 가열온도 300°C, 가열 시간 180초 조건에서 칩 터미널과 베어다이를 각각 완전하게 분리/회수할 수 있었다.

주제어 : 금, CPU 칩, 해체공정, 칩 해체장치

Abstract

In this study, Au distribution in F-PGA chip and W-BGA chip were examined to recover Au effectively from CPU chips. The result showed that 80.8% and 89.8% of Au exist in terminal of F-PGA chip and bare die of W-BGA chip, respectively. Based on the fact that Au exists in specific parts of the chips, an CPU chip dismantling apparatus was developed. The experimental variables were roller rotating speed, heat temperature of IR heater and heating time. Terminals of F-PGA chips were completely recovered under the temperature of 300°C and the residence time of 90 s. Bare dies of W-BGA chips were completely recovered as well under the temperature of 300°C, the roller rotating rate of 90 rpm and the residence time of 90 s.

Key words : Au, CPU chip, Dismantling process, Chip dismantling apparatus

· Received : July 22, 2016 · 1st Revised : August 17, 2016 · 2nd Revised : September 22, 2016 · Accepted : October 27, 2016

*Corresponding Author : Jaikoo Park (E-mail : jkpark@hanyang.ac.kr)

Department of Earth Resources and Environmental Engineering, Hanyang University, 222 Wangsimri-ro, Seongdong-gu, Seoul 04763, Korea

©The Korean Institute of Resources Recycling. All rights reserved. This is an open-access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0/>), which permits unrestricted non-commercial use, distribution and reproduction in any medium, provided the original work is properly cited.

1. 서 론

집적회로 칩(IC chip)은 트랜지스터, 다이오드, 저항 등의 기능을 베어다이(Bare die)에 집적시킨 전자부품으로 CPU 칩, GPU 칩, Memory 칩 등 다양한 형태로 존재한다. 이 가운데 CPU 칩은 금 함유량이 약 200 ppm에서 5,000 ppm으로 일반 금광석에 비하여 매우 높다. 그러나 금은 비싼 가격으로 인해 CPU 칩 표면에 도금되거나 칩 내부를 연결하는 가는 선의 형태로 국부적인 지점에 존재한다¹⁻³⁾. CPU 칩은 베어다이, IC 기판(Substrate), 터미널(Terminal) 등 세 부분으로 구성되어 있다. 이들은 베어다이와 IC 기판 사이를 연결시키는 방법에 따라 Wire bonding과 Flip chip bonding 등으로 나뉘고 외부단자 형태에 따라 PGA (Pin Grid Array), BGA (Ball Grid Array), LGA (Land Grid Array) 등으로 구분된다.

CPU 칩으로부터 금을 회수하기 위한 침출의 전처리 공정으로는 약 700°C이상의 분위기에서 CPU 칩 내 탄소성분을 제거하는 열처리 방법⁴⁻⁹⁾과 CPU 칩을 해머밀과 같은 충격식 분쇄기를 이용하여 미분으로 만드는 분쇄방법¹⁰⁻¹³⁾이 있다. 이 중 열처리를 통한 전처리법은 CO₂와 유해가스의 발생으로 인해 가스 포집 장치를 설치하는 등 2차적인 처리를 요구하는 단점을 가지고 있다. 파분쇄에 의한 전처리 공정은 금이 미립한 분쇄산물과 함께 비산으로 인해 손실되는 문제점을 가지고 있다. 이러한 점으로 미루어 볼 때, 폐 CPU 칩의 처리 과정에서 발생하는 금의 손실 및 환경적인 측면 등의 문제를 개선하기 위해 적절한 전처리 기술 개발이 필수적이라 할 수 있다.

본 연구에서는 CPU 칩 내 금이 국부적으로 존재한다는 사실로부터 CPU 칩의 해체공정을 전처리 방법으로써 제안하고자 한다. 먼저 CPU 칩을 베어다이, IC 기판, 터미널로 구분한 뒤 각 부분에 대한 금의 분포 형태를 확인하였다. 그리고 칩 해체장치를 제작하여 가열온도, 롤러 회전속도, 가열시간 등의 조건을 변화시켜 주며 최적의 조건을 도출하였다. 마지막으로 최적의 조건 하에서 CPU 칩을 해체하고 각 부분에 대하여 금과 이외의 금속 품위를 확인함으로써 해체처리의 당위성을 다시 한 번 확인하였다.

2. 실험방법

2.1. 시료

본 연구에서 사용된 CPU 칩은 F-PGA 타입과 W-

BGA 타입이다. 대상 CPU 칩은 Fig. 1에서와 같이 베어다이, IC 기판, 터미널 등 세 부분으로 구성되어 있다. F-PGA 칩의 경우 1 cm 내외 정방형의 베어다이가 IC 기판에 부착된 형태를 하고 있으며 터미널은 핀(Pin) 형태를 띠고 있다. W-BGA 칩은 베어다이가 수지로 몰딩된 패키지 형식이고 터미널은 F-PGA 칩과 달리 뿔납 볼의 형태이다.

Table 1은 F-PGA 칩과 W-BGA 칩의 성분을 ICP-OES (Inductively Coupled Plasma Optical Emission Spectrometer) 분석을 통해 정리한 것이다. 분석 결과 F-PGA 칩의 경우 금과 구리의 함유량이 각각 1,083 ppm, 23.1%로 나타났으며 철, 니켈 등의 금속이 소량 함유되어 있는 것으로 확인되었다. W-BGA 칩의 경우 금의 함유량이 4,511 ppm으로 매우 높게 나타났고 구리의 함유량도 28.4%로 비교적 높은 것으로 나타났다. 기타 철, 니켈 등의 금속은 F-PGA 칩에 비해 상대적으로 적은 것으로 확인되었다.

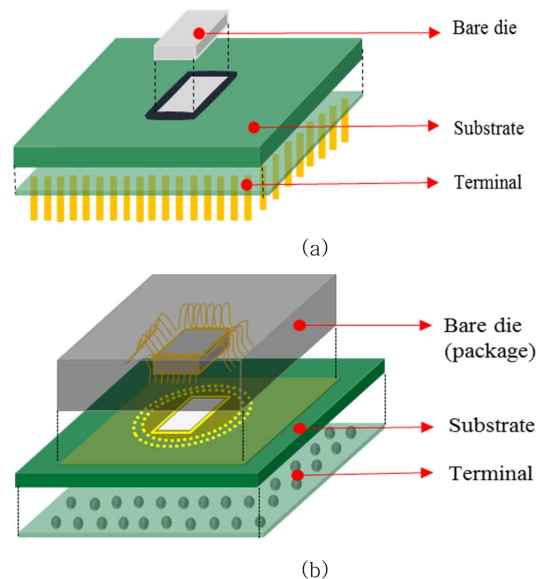


Fig. 1. Structure of CPU chip: (a) F-PGA type, (b) W-BGA type.

Table 1. Chemical composition of CPU chip (Unit: wt.%)

	Au(ppm)	Cu	Fe	Ni	Sn
F-PGA	1,083	23.1	11.6	9.2	3.2
W-BGA	4,511	28.4	0.1	0.3	0.7

2.2. CPU 칩 내 금 분포 형태

CPU 칩 내 금의 분포 형태를 구체적으로 확인하기 위하여 금이 존재할 것으로 예상되는 곳을 세분화하여 선정된 뒤 각 부분의 금 함유량을 알아보았다. 금 함유율의 평가 대상은 1) 터미널, 2) 베어다이, 3) IC 기판 내부, 4) IC 기판의 표면, 5) 베어다이와 IC 기판 사이 경계면을 포함하는 총 다섯 부분이다. 각 부분의 금 함유량을 평가하기 위해 CPU 칩을 순차적으로 해체 및 침출하였다. Fig. 2는 CPU 칩 내 금의 분포 형태를 정량적으로 확인하기 위해 실시한 본 실험의 공정도이다.

침출 용액으로는 왕수(HCl : HNO₃ = 3:1, Vol. ratio)를 사용하였으며 침출 조건은 고액비 1:20, 온도 60°C, 침출 시간 3시간으로 고정하였다¹⁴⁻¹⁷. 반응기는 내부용량 0.5 L의 Double-jacket Pyrex Glass 용기를 사용하였고 항온조(CW-05G, JEIO TECH)를 설치하여 일정한 온도를 유지할 수 있도록 하였으며 냉각기를 설치하여 침출 공정 중 높은 온도에 의한 침출 용액의 기화 현상이 최소화되도록 하였다. 분쇄 시료(터미널, 베어다이)의 경우 magnetic bar를 이용하여 200 rpm으로 교반과 동시에 침출을 실시하였고, CPU 칩 표면의 침출 실험에서는 침출시 발생하는 기포가 교반의 효과를 대신할 것으로 기대되어 기계적인 교반을 실시하지 않았다. 침출 용액 내 주요금속의 성분 조성은 ICP-OES를 통해 분석하였다.

이상의 실험 방법을 F-PGA 칩, W-BGA 칩에 공통적으로 적용하여 부품간의 금 분포 및 함유량을 비교 분석하였다.

2.3. 칩 해체장치 제작

CPU 칩의 해체작업을 용이하게 하기 위하여 칩 해체장치를 제작하였다. Fig. 3은 본 연구에서 개발한 칩 해체장치의 모식도이다. 본 장치는 상단은 터미널의 해체, 하단은 베어다이의 해체에 적합하도록 두 개 구역으로 설계되었는데 이는 터미널과 베어다이의 IC 기판과의 접착력 차이를 반영한 것이다. 터미널의 경우 200°C 내외에서 IC 기판과의 연결면에 있는 뿔납(Sn-Pb 합금)이 기계적 강도가 매우 약하고 낮은 용점으로 인해 쉽게 해체가 일어나지만 베어다이의 경우 IC 기판과 수지 성분의 접착제로 상호간 고정되어 있어 좀 더 높은 열과 강한 외력을 필요로 한다. 이러한 점을 고려하여 터미널과 베어다이를 효율적으로 해체시키기 위해 각 연결 부위의 부착성분에 따라 온도와 외부로부터 작용하는 힘을 다르게 주고자 하였다.

첫번째 터미널 해체 구간에서는 IR 히터와 분리날을 설치하여 터미널이 분리날에 걸려진 상태에서 일정시간 동안 표면을 가열해주도록 하였다. 이 후 CPU 칩의 자중 및 연이어 투입되는 CPU 칩의 무게와 분리날이 터미널을 밀어내는 힘에 의해 터미널이 해체가 되도록 하였다.

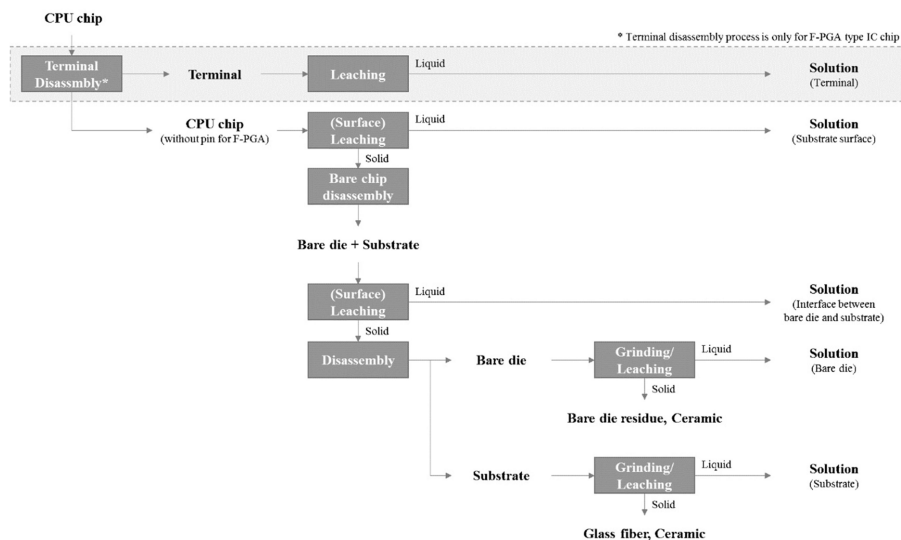


Fig. 2. Flowsheet for Au content analysis in each part of CPU chip.

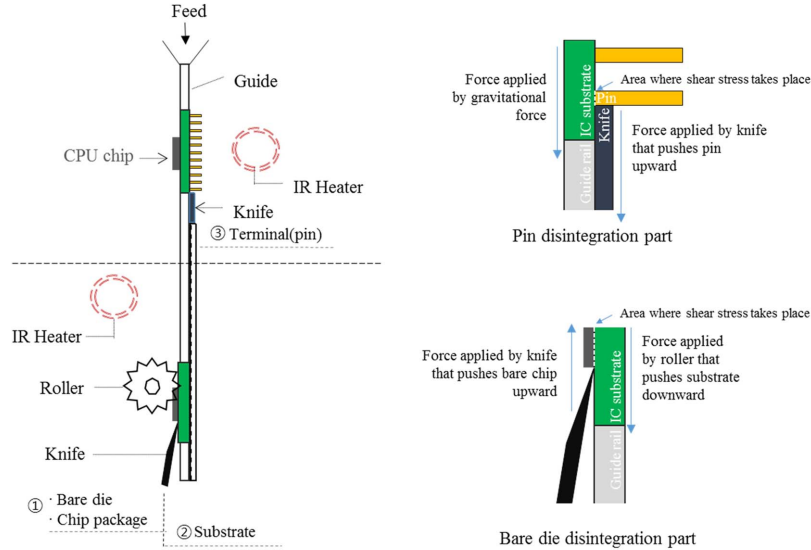


Fig. 3. Schematic diagram of chip dismantling apparatus and the detailed view of each dismantling parts.

하단의 베어다이 해체 구간은 IR 히터, 톱니모양의 롤러 및 분리날로 구성하였다. IR 히터를 이용하여 온도를 높여줌과 동시에 톱니모양의 롤러를 설치하여 CPU 칩의 베어다이가 분리날에 의해 해체될 수 있는 충분한 외력이 가해질 수 있도록 하였다. 특히 분리날 끝을 날카롭게 하여 좁은 범위에 힘이 집중될 수 있도록 설계하였다.

2.4. 성능 평가

칩 해체장치의 상·하단의 공통된 조작변수는 IR 히터 온도 및 가열시간이며 하단의 경우 롤러 회전 속도 영향을 추가로 확인하였다.

IR 히터 온도는 150°C에서 300°C까지 가열시간은 30초에서 180초까지 변화시켜가며 실험을 진행한 뒤 해체율을 측정하였다. 베어다이 해체실험 시에는 일차적으로 IR 히터의 온도에 따른 해체율을 평가해 최적의 온도 조건을 설정 후 다른 운전변수인 롤러회전속도를 50 rpm, 70 rpm, 90 rpm으로, 가열시간은 30초에서 240초까지 바꾸어가며 해체율을 평가하였다. 각 조건에서 3번의 반복실험을 통하여 해체율의 평균값을 도출하였으며 해체율이 최대가 되는 조건을 최적의 운전조건으로 선정하였다.

2.5. 침출 실험

칩 해체장치를 이용해 분리된 베어다이, IC 기판, 터

미널 세 부분에 대해서 구리, 철, 니켈, 주석 금속 함유량을 확인하였다. 그리고 온전한 CPU 칩의 금속 품위와 해체된 CPU 칩의 각 부분에 대한 금속 품위를 비교하였다. 해체된 CPU 칩 시료는 부분별로 분쇄하여 분쇄 산물을 고액비 1 : 20로 하여 온도 60°C의 왕수에서 3시간 침출한 후 금속 함유량을 ICP-OES를 통해 분석하였다.

3. 실험 결과 및 고찰

3.1. CPU 칩 내 금 분포

Table 2는 F-PGA 칩과 W-BGA 칩 내 각 부분에 대한 금 함유량 분석결과를 나타낸 것이다. F-PGA 칩의 경우 전체 금 함량 중 80.8%가 터미널 부분에 존재하는 것으로 확인되었다. 그 외에 14.9%는 IC 기판 표면, 3.8%는 베어다이와 IC 기판의 경계면에 각각 존재하는 것을 확인하여 표면의 침출만으로도 상당량의 금을 회수할 수 있을 것으로 나타났다. W-BGA 칩의 경우 전체 금 함량의 약 90% 가까이가 베어다이 내부에 존재하는 것으로 확인되었으며 나머지 약 10%의 금은 해체된 IC 기판 표면에 존재하는 것으로 나타났다.

상술한 바와 같이 F-PGA 칩과 W-BGA 칩 내 금의 분포는 그 차이가 매우 큰 것으로 확인되었다. 두 종류의 CPU 칩 모두 80% 이상의 금이 특정 부분에 편재

Table 2. Au fraction for each part of CPU chip

Parts		Fraction, Au(%)	
		F-PGA	W-BGA
Bulk	Bare die	Not detected	89.8
	Substrate	0.5	Not detected*
	Terminal	80.8	Not detected*
Surface	Interface between bare die and substrate	3.8	6.6
	Surface of substrate	14.9	3.6
Total		100	100

*Au fraction of terminal in W-BGA is included in Au fraction of substrate surface

되어 있으나 편재된 부분은 각각 터미널과 베어다이로 상이했다. 터미널의 경우 표면의 침출만으로도 금의 회수가 가능하지만 베어다이의 경우 분쇄를 통해서만 금의 침출이 가능하다는 차이점 등으로 인해 각 CPU 칩의 처리 방법이 다르게 적용되어야 할 것으로 예상된다. 한편 두 CPU 칩 모두 베어다이와 IC 기판의 경계면에 존재하는 금의 양이 5% 내외로 나타나 금의 회수율을 높이기 위해 침출 공정이 필요할 것으로 판단된다. 이를 위해서는 침출 공정에 앞서 베어다이와 IC 기판의 접촉면을 노출시키기 위한 해체공정이 필수적이다. 한편 IC 기판 내부의 금 함량은 공히 1% 미만으로 나타나 이들로부터 금을 회수하기 위한 공정은 불필요하다고 생각된다.

3.2. 해체장치 평가

칩 해체장치 내 조작변수에 따라 CPU 칩을 베어다이, IC 기판, 터미널 세 부분으로 해체하는 실험을 진행하였다. 본 연구에서는 해체 성능을 정량적으로 평가하기 위하여 ‘터미널 해체율’ 및 ‘베어다이 해체율’ 개념을 도입하였다.

터미널 해체율(η_t)은 전체 터미널 개수 대비 칩 해체장치를 거치는 과정에서 해체된 터미널 개수의 백분율로 정의하였다. 이를 식으로 표현하면 아래와 같다.

$$\text{Dismantling ratio of Terminal } (\eta_t) = \frac{\text{Number of terminal after disintegration}}{\text{Total number of terminal}} \times 100(\%)$$

베어다이 해체율(η_b)은 해체 전/후 베어다이의 디지털 회상을 촬영 후 면적을 구하여 이들 면적의 백분율로서 평가하였다. 이를 식으로 표현하면 아래와 같다.

$$\text{Dismantling ratio of Bare die } (\eta_b) = \frac{\text{Area of die after disintegration}}{\text{Total area of bare die}} \times 100(\%)$$

한편 베어다이의 면적은 촬영된 베어다이 회상의 pixel 개수를 카운팅하여 구하였으며 이를 위해 범용 이미지처리소프트웨어인 LAS(Leica Application Suite)를 사용하였다.

3.2.1. F-PGA 칩의 해체 효율

Fig. 4는 F-PGA 칩을 대상으로 해체장치 내 IR 히터 온도와 가열시간에 따른 터미널의 해체율을 나타낸 것이다. 해체율은 온도가 높아지고 가열시간이 길어질

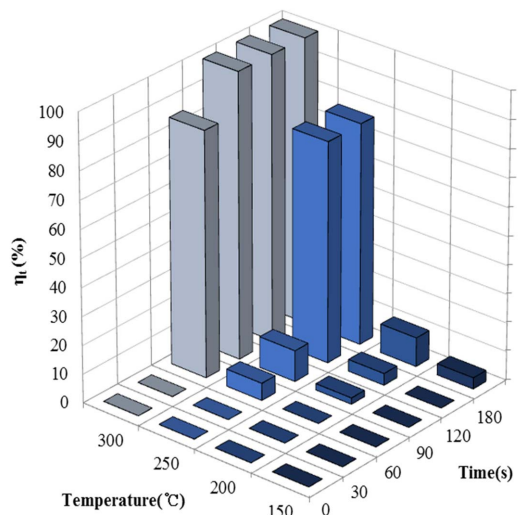


Fig. 4. Dismantling ratio of F-PGA type terminal under various temperature and heating time.

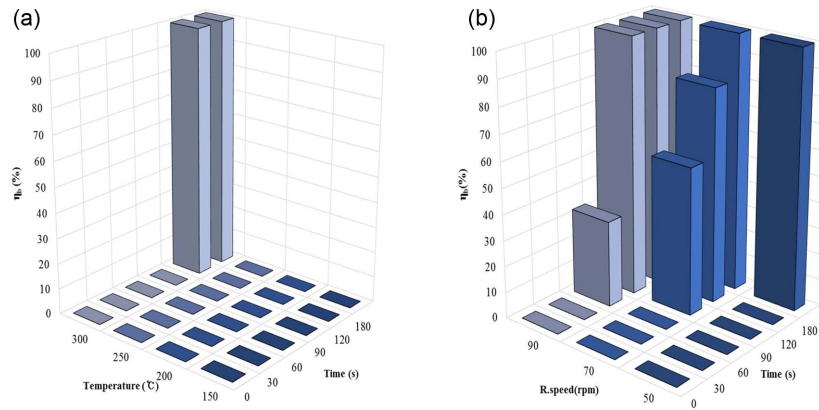


Fig. 5. Dismantling ratio of F-PGA type bare die under different temperature and roller rotating speed: (a) Roller rotating speed: 50 rpm, (b) Temperature: 300°C.

에 따라 점차 증가하는 것을 확인할 수 있었다. 터미널은 온도 150°C에서 가열시간 180초 경과 후 해체되기 시작하였으며 온도 조건 250°C부터는 가열시간을 120초 이상으로 하였을 때 터미널의 해체율이 77.2%로 크게 증가하였다. 장치 내 300°C 분위기에서 90초 이상 가열하였을 때 완전히 해체되었다. 이렇게 온도가 높아짐에 따라 해체율이 증가하고 해체에 필요한 시간이 감소되는 결과는 터미널과 IC 기판을 연결해 주는 뿔납이 가열온도가 높은 환경에서 용융온도에 더 빨리 도달하는 것에서 기인하는 것으로 생각된다.

Fig. 5(a)는 롤러 회전속도를 50 rpm으로 고정하였을 때 온도와 가열시간에 따른 베어다이의 해체율을 나타낸 것이다. 베어다이의 해체 실험 결과 IR 히터 온도 300°C에서 180초 가열하였을 때 CPU 칩의 해체가 시작되었다. 가열시간을 180초 이상으로 하였을 때에는 베어다이가 100% 해체되었으나 간혹 IC 기판의 표면이 훼손되어 롤러에 의해 휘거나 분리날에 죄어서 빠지지 않는 현상이 발생하였다.

Fig. 5(b)는 300°C 온도에서 롤러회전속도와 가열시간을 변수로 하여 베어다이의 해체율을 측정된 결과이다. 롤러의 회전속도가 증가함에 따라 해체율이 증가되는 것을 확인하였다. 한편 가열온도 200°C 이상의 범위에서 가열시간이 45초 이상 경과하였을 때 IC 기판의 표면이 부풀어 오르기 시작하였으며 60초 이후에는 미세한 연기가 나는 것을 확인할 수 있었다. 베어다이는 롤러 회전속도 90 rpm, 가열온도 300°C, 가열시간 90초에서 완전히 해체되었다. 그러므로 베어다이의 주변을 감싸고 있는 레진 성분에 열 변형이 일어나 부착력

이 약해지고 더불어 분리날과 롤러회전에 따른 전단력에 의해 베어다이를 밀어주어 분리된 것으로 나타난다.

한편 CPU 칩 해체 실험 결과, 예상보다 높은 온도인 300°C이상에서 해체가 시작되었는데 이는 칩 해체 장치의 방열구조의 미흡으로 열의 손실이 발생했기 때문으로 판단된다. 이를 보완한다면 보다 낮은 에너지 비용으로 해체가 가능할 것으로 보인다. Fig. 6에는 최적 운전조건 하에 터미널 부분의 해체공정 전/후 사진을 나타내었다.

3.2.2. W-BGA 칩의 해체 효율

W-BGA 칩의 경우 터미널을 해체하기 어렵다는 점을 고려하여 베어다이의 해체 실험만을 진행하였다. Fig. 7(a)는 롤러의 회전속도를 70 rpm으로 고정하였을 때 온도와 가열시간에 따른 베어다이의 해체율을 나타

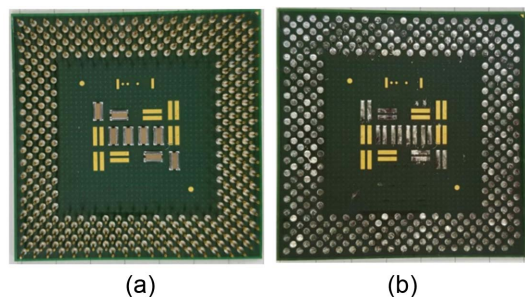


Fig. 6. Photograph of CPU chip: (a) Before dismantling (b) After dismantling (Temperature: 250°C, Heating time: 120 s).

낸 것이다. F-PGA 칩과 마찬가지로 IR 히터 온도가 300°C일 때 베어다이의 분리가 일어났으며 F-PGA 칩과 비교해서 좀 더 빠른 시간에 분리가 시작되는 것을 확인되었다. 가열시간이 길어질수록 해체율이 증가하였으며 180초 이상 가열을 가열하였을 때 베어다이는 완전히 해체되었다. Fig. 7(b)는 300°C의 온도에서 롤러 회전속도와 가열시간을 변수로 하여 베어다이의 해체율을 측정된 결과이다. 앞선 실험에서의 마찬가지로 가열시간이 길어질수록 분리율이 증가하다가 180초에 이르러 100%의 해체율을 달성할 수 있었다. 이 실험에서는 롤러의 회전속도가 베어다이의 해체율에 크게 영향을 주지 않는 것으로 나타났다. 최종적으로 베어다이의 최대 해체를 달성하기 위한 운전조건은 롤러 회전속도 70 rpm, 가열온도 300°C, 가열시간 180초인 것으로 나타났다. Fig. 8은 온도 300°C, 롤러의 회전속도 70 rpm

조건에서 가열시간에 따른 W-BGA 칩의 베어다이 분리 양상을 나타낸 사진이다. 이는 베어다이와 IC 기판 경계면의 응력이 집중된 부분부터 미세한 균열이 발생된 것으로 보인다. 또한 베어다이를 감싸고 있는 패키지의 성분은 열경화성 폴리머로 쉽게 깨지는 성질(脆性(취성))을 나타내며 롤러 회전에 따른 힘에 의해 여러 조각으로 파손되는 모습을 나타내었다.

3.2.3. 해체를 통한 금의 품위 증가

Fig. 9는 해체된 CPU 칩 각 부분에서의 금의 품위 및 전체 CPU 칩의 금 함유량에 대한 편재 비율을 나타낸 것이다.

F-PGA 칩의 경우 터미널의 분리를 통해 전체 CPU 칩의 80.8%에 해당하는 금을 회수할 수 있었고 이 때 터미널 내 금의 품위는 3,782 ppm으로 나타났다. 이는

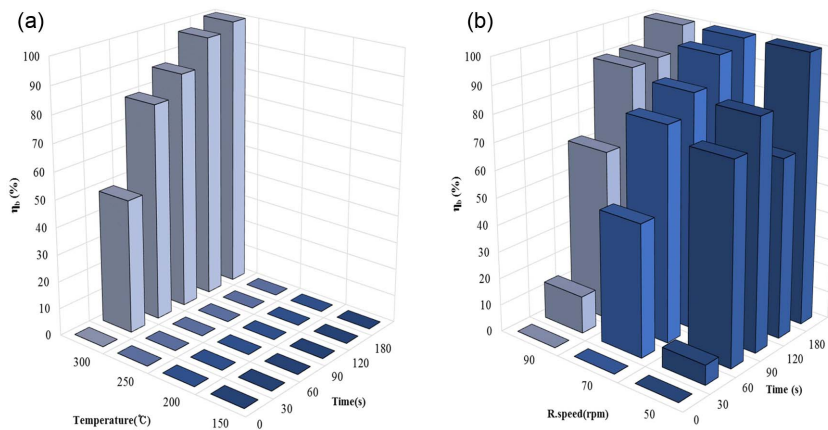


Fig. 7. Dismantling ratio of W-BGA type bare die under different temperature and roller rotating speed: (a) Roller rotating speed: 70 rpm, (b) Temperature: 300°C.

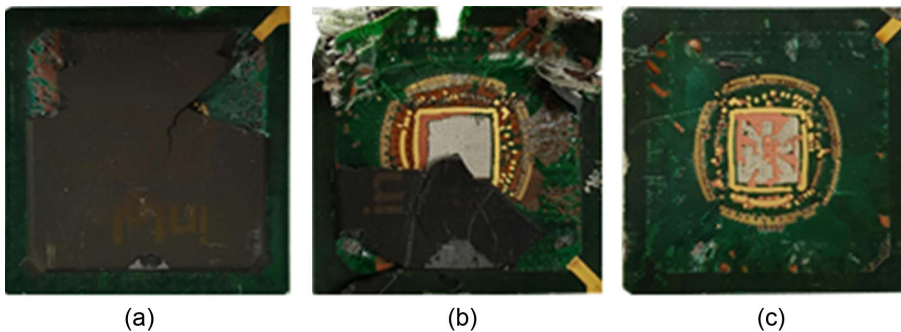


Fig. 8. Appearance of W-BGA type CPU chip after dismantling under different heating time (Temperature: 300°C, Roller Rotating speed: 70 rpm): (a) 30 s, (b) 60 s, (c) 90 s.

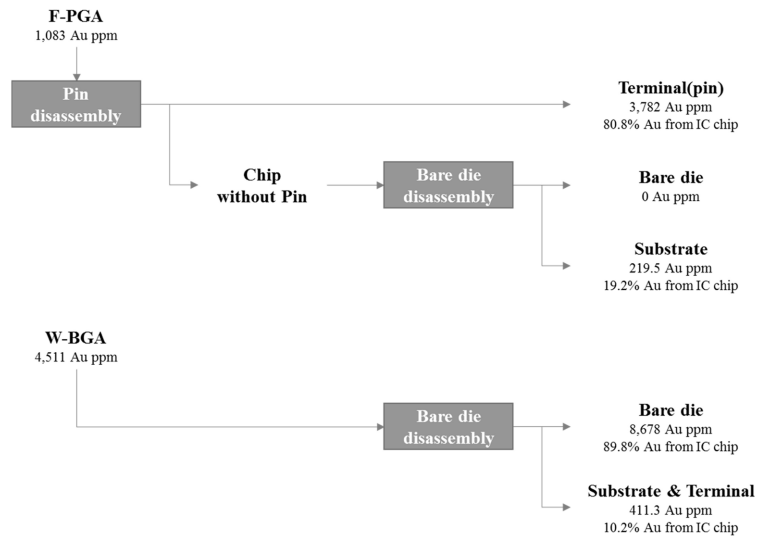


Fig. 9. Au concentration with CPU chip disassembly process.

F-PGA 타입 CPU 칩의 금의 품위인 1,083 ppm의 약 3.5배에 해당되는 수치이다. 한편 터미널이 분리된 CPU 칩은 베어다이와 IC 기판으로 다시 한 번 해체할 수 있으며 이들 중 베어다이는 금을 함유하고 있지 않으므로 이들을 제거함으로써 불필요한 공정을 줄일 수 있을 것으로 판단된다. IC 기판의 경우 금의 품위가 219.5 ppm으로 높지 않지만 표면을 침출하는 것 만으로도 함유된 금을 간단하게 회수할 수 있었다.

W-BGA 칩의 경우 해체하여 베어다이 만을 분리해 내었을 때 금의 품위가 8,678 ppm으로 나타났다. 이는 W-BGA 타입 CPU 칩 내 금의 품위인 4,511 ppm과 비교해 2배 가까이 농축된 수치이다. 베어다이가 해체된 W-BGA 칩에는 IC 기판과 터미널이 남게 되는데 여기에는 CPU 칩 내 함유량의 약 10%정도에 해당하는 금이 410 ppm의 품위로 존재하고 있는 것으로 나타났다. F-PGA 칩에서와 마찬가지로 이들로부터의 금의 회수는 표면 침출을 통해서 용이하게 할 수 있었다.

3.2.4. CPU 칩 부분별 일반금속의 함량

해체된 CPU 칩의 각 부분별로 금을 제외한 주요 비금속(Base metal)의 함유량을 분석하여 비교하였다. F-PGA 칩의 경우 베어다이 구성성분의 대부분이 실리콘(Si)이므로 분석 대상에서 제외하였다. 또한 W-BGA 칩의 터미널은 IC 기판의 표면으로 취급하여 분석치를 해

석하였다.

Table 3은 해체된 F-PGA 칩의 각 부분별로 구리, 철, 니켈, 주석 등 금속의 함유량을 분석한 결과이다. 터미널의 경우 철, 니켈, 주석이 각각 57.4%, 34.2%, 7.3%의 품위로 함유되어 있었다. IC 기판의 내/외부에는 구리와 주석이 각각 34.0%, 2.4% 함유되어 있었으며 세라믹과 레진 성분이 68.4% 포함되어 있는 것으로 나타났다. 이로부터 터미널의 해체를 통해 금 뿐 아니라 철, 니켈, 주석과 같은 금속의 농축을 기대할 수 있다. 이와 더불어 침출제를 다량 소비시키는 구리와 같은 금속을 IC 기판과 함께 사전 제거함으로써 금의 침출을 보다 경제적으로 행할 수 있을 것으로 기대된다. 터미널을 구성하는 혼합물 간의 침출 공정에 대해서는 앞으로 추가적인 연구가 필요할 것으로 생각된다.

Table 4는 해체된 W-BGA 칩의 각 부분별 구리, 철, 니켈, 주석 등의 금속 함유량을 분석하여 정리한 것이다. 베어다이의 대부분은 세라믹과 수지 성분으로 구성되어 금속의 함유량이 2-3%에 그치는 것으로 나타났다. IC 기판은 내/외부에 74.5% 품위의 많은 양의 구리를 함유하고 있었으며 그 외의 금속의 함유량은 2% 내외로 나타났다. 이러한 결과를 통해 베어다이를 해체하여 금을 회수함과 동시에 구리 함유량이 높은 IC 기판의 리사이클링 가능성 또한 검토해볼 수 있을 것으로 판단된다.

Table 3. Contents of base metals in F-PGA chip before/after dismantling.

Element	Before	After		
	CPU chip	Pin	Substrate (Surface)	Substrate (Inner part)
Cu	23.1 wt.%	-	5.8 wt.%	28.2 wt.%
Fe	11.6 wt.%	57.4 wt.%	< 1 wt.%	-
Ni	9.2 wt.%	34.2 wt.%	-	-
Sn	3.2 wt.%	7.3 wt.%	2.4 wt.%	-
Others (Ceramic, etc.)	52.9 wt.%	1.1 wt.%	-	68.4 wt.%
Total	100.0 wt.%	100.0 wt.%	100.0 wt.%	

Table 4. Contents of base metals in W-BGA chip before/after dismantling.

Element	Before	After		
	CPU chip	Bare die	Substrate (Surface)	Substrate (Inner part)
Cu	28.4 wt.%	0.1 wt.%	10.8 wt.%	63.7 wt.%
Fe	0.1 wt.%	-	0.7 wt.%	-
Ni	0.3 wt.%	-	< 0.1 wt.%	-
Sn	1.7 wt.%	0.1 wt.%	2.3 wt.%	-
Others (Ceramic, etc.)	16.6 wt.%	99.8 wt.%	-	22.4 wt.%
Total	100.0 wt.%	100.0 wt.%	100.0 wt.%	

4. 결 론

CPU 칩으로부터 금을 효율적으로 회수하기 위한 해체 방법을 연구하여 다음과 같은 결론을 도출하였다.

1. F-PGA 칩 내 금의 80.8%가 터미널에, W-BGA 칩 내 금의 89.8%가 베어다이에 편재되어 있었다. 이외의 금은 두 CPU 칩 모두 베어다리와 IC 기판의 경계면 및 IC 기판 표면에 분포되어 있음을 확인하였다.

2. 터미널과 베어다리의 IC 기판과의 접착력 차이를 반영하여 두 개의 구역으로 나누어 상단은 터미널의 해체, 하단은 베어다리의 해체가 이루어지도록 해체 장치를 설계 및 제작하였다.

3. 칩 해체장치를 이용하여 터미널과 베어다이 해체 실험을 수행하였다. F-PGA 칩 터미널의 경우 온도 300°C, 가열시간 90초 경과 분리할 수 있었으며, F-PGA 및 W-BGA 칩 공히 온도 300°C, 롤러속도 90 rpm에서 가열시간 180초 경과 베어다이를 100% 해체하는 조건을 확인하였다.

4. 해체 장치를 이용하여 CPU 칩의 해체 전/후 금 금속의 품위를 확인하였다. F-PGA 칩의 경우 금의 품위는 1,083 ppm였으며 터미널, 베어다이, IC 기판으로

해체 후 각각 3,782 ppm, 0 ppm, 219.5 ppm으로 나타났다. 또한 W-PGA 칩의 금의 품위는 4,511 ppm이며 베어다이, IC 기판으로 해체 후 각각 8,678 ppm, 411.3 ppm으로 나타났다.

5. 본 연구에서는 F-PGA 칩은 터미널, W-BGA 칩은 베어다이에 금의 함량이 집중되어 높은 품위를 나타내었고 두 CPU 칩 모두 IC 기판에 함유된 금은 표면에 분포하여 용이하게 회수할 수 있을 것으로 판단된다.

감사의 글

본 연구는 산업통상자원부(MOTIE)와 한국에너지기술평가원(KETEP)의 지원을 받아 수행한 연구과제입니다(No. 20165020101200).

References

1. Goodman, P., 2002: *Current and Future Uses of Gold in Electronics*, Gold Bulletin 2002.
2. Christie, I.R., Cameron, B.P., 1994: *Gold electrodeposition within the Electronics industry*, Gold Bulletin, 27(1), pp.

- 12-20.
3. Kim, Y.S., 2010: *Recovery of Waste Back board and Gold from the Process of Printed Circuit Board*, Journal of the Korean Institute of Resources Recycling, 19(1), pp. 57-65.
 4. Ortuño, N., et al., 2013: *Thermogravimetric Study of the Decomposition of Printed circuit boards from Mobile phones*, Journal of Analytical and Applied Pyrolysis, 103, pp.189-200.
 5. Menad, N., Björkman, B., Allain, E.G., 1998: *Combustion of Plastics contained in Electric and Electronic scrap*, Resources, Conservation and Recycling, 24(1), pp. 65-85.
 6. Kwon, E.H., et al., 2005: *Melting of PCB scrap for the Extraction of Metallic Components*, Korean Journal of Materials Research, 15(1), pp. 31-36.
 7. Lee, C.H., Tang, L.W., Popuri, S.R., 2011: *A Study on the Recycling of Scrap Integrated circuits by Leaching*, Waste Management & Research, 29(7), pp. 677-685.
 8. Kumar, M., et al., 2014: *Leaching of Metals from Waste Printed Circuit Boards(WPCBs) using Sulfuric and Nitric acids*, Environmental Engineering and Management Journal, 13(10), pp. 2601-2607.
 9. Birloaga, I., et al., 2014: *An Advanced Study on the Hydrometallurgical Processing of Waste Computer Printed circuit boards to Extract their Valuable Content of Metals*, Waste Management, 34(12), pp. 2581-2586.
 10. Lee, J.C., Jeong, J.K., 2000: *Technology for Recovering Valuable Metals from Printed Circuit Boards of the Used Computer*, Journal of the Korean Society for Precision Engineering, 17(8), pp. 26-34.
 11. Han, S., et al., 2015: *Simulation on the PCB Particle Trajectories in Corona Electrostatic Separation According to Grade of Copper*, Journal of the Korean Institute of Resources Recycling, 23(6), pp. 30-30.
 12. Lee, J.C., Jeong, J.K., Kim, J.S., 2012: *Separation of Non-Metallic Components in Waste Printed Circuit Boards (WPCBs) using Organic Solvent and Potassium Phosphate Solution*, Applied Chemistry for Engineering, 23(4), pp. 367-371.
 13. Lee, J.C., et al., 1994: *Separation of Metals from Integrated Circuit Chip Scrap by Mechanical Beneficiation*, J. Korean Inst. Resources Recycling, 3(1), pp. 38-43.
 14. Park, Y.J., Fray, D.J., 2009: *Recovery of High Purity Precious Metals from Printed circuit boards*, Journal of Hazardous Materials, 164(2-3), pp. 1152-1158.
 15. Petter, P.M.H., Veit, H.M., Bernardes, A.M., 2014: *Evaluation of Gold and Silver Leaching from Printed circuit board of Cellphones*, Waste Management, 34, pp.475-482.
 16. Kasper, A.C., et al., 2011: *Printed wiring boards for Mobile Phones: Characterization and Recycling of Copper*, Waste Management, 31(12), pp. 2536-2545.
 17. Lee, C.K., Rhee, K.I., Sohn, H.J., 1997: *Recovery of Gold from Electronic Scrap by Hydrometallurgical Process*, Journal of the Korean Institute of Resources Recycling, 6(4), pp. 36-40.



조 아 람

- 아산서남대학교 환경화학공학과 공학사
- 한양대학교 자원환경공학과 공학석사



박 승 수

- 한양대학교 지구환경시스템공학과 공학사
- 한양대학교 자원환경공학과 공학석사
- 현재 한양대학교 자원환경공학과 박사과정



김 보 람

- 대전대학교 신소재공학과 공학사
- 현재 한양대학교 자원환경공학과 석사과정



박 재 구

- 일본 東京大学 자원공학과 공학석사
- 일본 東京大学 자원공학과 공학박사
- 현재 한양대학교 자원환경공학과 교수