

# 디지털 능동형 가변 축전기를 사용한 적응형 이퀄라이저

이원영\*

An Adaptive Equalizer with the Digitally Controlled Active Variable Capacitor

Won-Young Lee\*

요약

본 논문은 디지털 능동형 가변 축전기를 사용한 적응형 이퀄라이저를 제안하고 있다. Equalizing amplifier는 주 증폭기와 source degeneration RC 필터로 구성되어 있으며, RC필터를 디지털 능동형 가변 축전기로 구현함으로써 면적 효율을 높이고 선형적인 손실 보상 영역을 확보했다. 능동형 가변 축전기는 miller effect에 의한 임피던스 증가 효과를 사용하였으며, 증폭기 이득 조절을 통해 capacitance의 가변성을 가질 수 있도록 하였다. 시뮬레이션 결과, 능동형 축전기의 선형적 가변 특성을 통해 입력 데이터의 고주파 손실을 보상하여 2 Gb/s 전송속도에 대해 0.31 UI의 입력 eye 너비를 0.64 UI로 약 2배 증가시켰다. 적응형 이퀄라이저는 0.13- $\mu$ m CMOS 공정 값을 사용하여 설계 되었으며, 0.412 mm<sup>2</sup>의 레이아웃 면적을 사용한다.

ABSTRACT

This paper proposes an adaptive equalizer with the digitally controlled active variable capacitor. An equalizing amplifier consists of a main amplifier and a source degeneration RC filter which is implemented using the digitally controlled active variable capacitor for area efficiency and linear loss compensation. The active capacitor changes its capacitance by the amplifier gain control, which is based on miller effect. In the simulated results, the proposed equalizer compensates the high frequency loss and extends the data eye width from 0.31 UI to 0.64 UI.

키워드

Adaptive Equalizer, Active Capacitor, Miller Effect, Source Degeneration  
적응형 이퀄라이저, 능동형 축전기, 밀러 효과, 소스 디제너레이션

## 1. 서론

디스플레이 기기의 크기, 해상도, 색심도 등이 증가함에 따라 디스플레이용 시리얼 통신 인터페이스의 동작 주파수 또한 점점 증가하고 있다. 데이터 통신이 높은 주파수 대역에서 이루어질수록 통신 채널의 물

리적 특성에 의한 송수신 데이터의 고주파 성분 손실이 더욱 가속화 된다. 이는 데이터 심볼 간 간섭(Inter-symbol interference, ISI)을 발생시켜 비트오류율(Bit error rate, BER)을 증가시키는 결과를 야기한다. 따라서 고주파 대역 손실에 의한 ISI 현상을 해결하기 위해 송신/수신 회로에 다양한 기법들이 제안

\* 교신저자 : 서울과학기술대학교 전자미디어공학과

• 접수일 : 2016. 10. 05  
• 수정완료일 : 2016. 11. 13  
• 게재확정일 : 2016. 11. 24

• Received : Oct. 05, 2016, Revised : Nov. 13, 2016, Accepted : Nov. 24, 2016

• Corresponding Author : Won-Young Lee  
Dept. of Electronic and IT Media Engineering, Seoul National University of Science and Technology,  
Email : wylee@seoultech.ac.kr

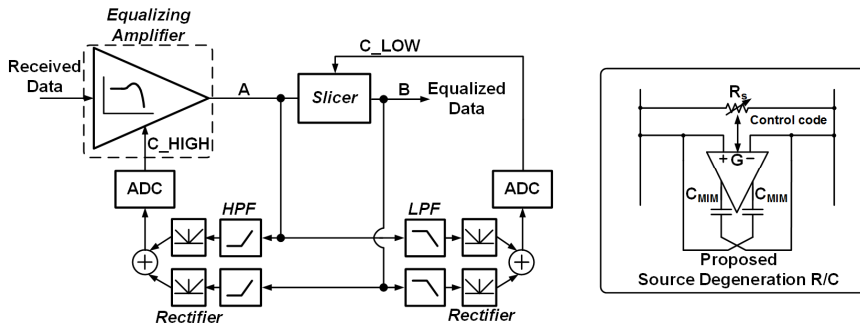


그림 1. 능동형 이퀄라이저의 전체 구조  
 Fig. 1 Block diagram of the proposed adaptive equalizer

되었다. 이 중 이퀄라이징 기법은 고주파 손실을 보상하는 효과적인 방법 중 하나다[1-3]. 일반적으로 이퀄라이저에서 사용하는 source degeneration RC 회로를 구성하기 위해서는 저항과 varactor 또는 MOSFET capacitor 가 사용된다. 그러나 varactor와 MOSFET capacitor 를 사용하여 기본 주파수에 pole과 zero를 생성하기 위해서는 넓은 면적이 필요하고 MOSFET capacitor의 경우 게이트 전압 변화에 대해서 비선형적 capacitance 특성을 보여주는 문제가 있다[4].

본 논문은 면적 효율을 높이고 선형적인 손실 보상 영역을 가진 능동형 이퀄라이저를 제안하고 있다. 선형적이면서 면적 효율인 높은 capacitor를 구현하기 위해서는 밀러 효과를 사용한 능동형 capacitor를 사용하였으며, 이를 디지털 방식으로 조절함으로써 varactor와 같은 특성을 가질 수 있도록 하였다. 이를 통해 넓은 주파수 영역에 대해 손실 보상을 가능하게 하였다.

II. 본 론

그림 1은 능동형 이퀄라이저의 전체적인 구조를 보여주고 있다. 채널을 통해 수신된 데이터는 고주파대역 통과필터와 저주파대역 통과 필터에 입력된다. 수신데이터의 고주파 손실 부분은 고주파대역 통과 필터를 통해, 저주파 손실 부분은 저주파대역 통과 필터를 통해 equalizing filter와 slicer로 피드백 되고 각 회로에서는 필터 값을 이용하여 손실을 능동적으로 보

상한다. 외부 채널과 연결된 Equalizing amplifier의 출력은 slicer로 연결되고 slicer의 입력과 출력은 각각 고주파대역 통과 필터(HPF)와 저주파대역 통과 필터(LPF)로 연결된다. Rectifier와 V/I converter은 필터링된 신호의 파워스펙트럼을 비교하여 손실보상 전압을 생성하고 이는 아날로그/디지털 변환기(ADC)를 통해 디지털 코드로 변환된다. 고주파대역 성분의 평균치를 나타내는 코드(C\_HIGH)는 equalizing amplifier로 피드백 입력되어 고주파 손실 부분을 보상하는데 사용되고, 저주파대역 성분의 평균치를 나타내는 코드(C\_LOW)는 slicer로 입력되어 slicer의 출력 신호의 크기를 조정하는데 사용된다.

그림 2는 제안하는 equalizing amplifier의 회로도를 보여주고 있다. Equalizing amplifier는 주 증폭기와 부 증폭기로 구성되어 있으며, M<sub>1</sub>~M<sub>4</sub> 로 구성된 주 증폭기는 디지털 코드로 조정 가능한 가변저항과 능동형 가변 축전기를 source degeneration 회로로 사용하고 있다. 능동형 가변 축전기는 MIM capacitor와 부 증폭기로 구성되어 있으며 고주파 대역 이득을 증폭시키는 역할을 한다. 부 증폭기와 MIM capacitor는 피드백 연결이 되어있으며 이를 통해 miller effect에 의한 capacitance 증가 효과를 얻을 수 있게 하였다 [5]. 임피던스 증가 효과로 인해 실제 얻을 수 있는 capacitance 값(C<sub>eff</sub>)은 아래와 같다.

$$C_{eff} = C_s (1 - G) \tag{1}$$

여기서 G는 부 증폭기의 이득(입/출력 간 180도 위상

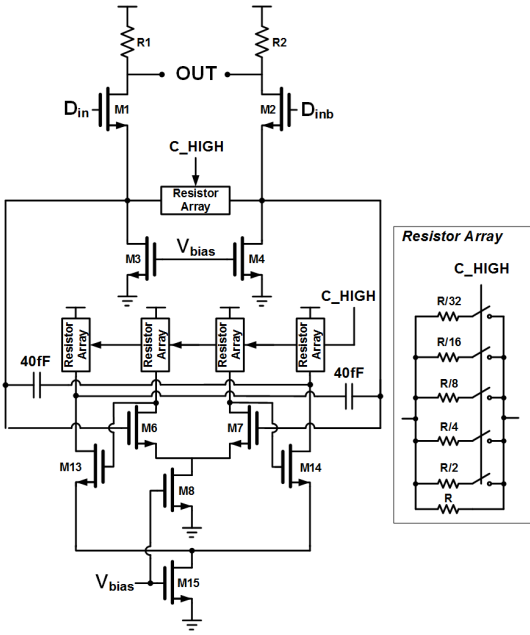


그림 2. Equalizing amplifier의 회로도  
Fig. 2 Schematic of the equalizing amplifier

차)을 뜻한다.

그림 3은 equalizing filter의 소신호 모델 등가회로를 보여주고 있다. Equalizing filter는 양/음 방향 회로가 서로 같은 차동증폭기 구조이므로 회로 구조를 절반만 모델링하여 사용하였다. 개방루프이득을 도출하기 위해  $C_s$ 가 없다고 가정하면  $V_{out}/V_{in}$  또는  $V_{outb}/V_{inb}$ 는 아래와 같다.

$$\frac{V_{out}}{V_{in}} = \frac{V_{outb}}{V_{inb}} \quad (2)$$

$$= g_{m6}g_{m14} \left( R_{ar1} \parallel \frac{1}{sC_{o1}} \right) \left( R_{ar2} \parallel \frac{1}{sC_{o2}} \right)$$

$R_{ar1}$ 과  $R_{ar2}$ 는 resistor array의 저항 값을 나타내며,  $C_{o1}$ 과  $C_{o2}$ 는 기생 성분을 포함한 load capacitance를 의미한다. 부 증폭기의 좌우 양단의 구조가 일치하므로  $g_{m6}$ 와  $g_{m14}$ 는  $g_{m7}$ 과  $g_{m13}$ 과 같은 값을 가진다. 식 (2)를 통해 부 증폭기의 180도 위상차를 가지는 이득 ( $G=V_{outb}/V_{in}$ )을 구하면 아래와 같다.

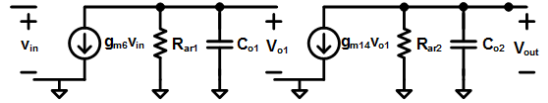


그림 3. 능동형 가변 축전기 전체 회로 중 양(+)  
방향의 부분 회로의 소신호 모델

Fig. 3 Small signal models of a half circuit of the active variable capacitor

$$G = g_{m6}g_{m14} \left( R_{ar1} \parallel \frac{1}{sC_{o1}} \right) \left( R_{ar2} \parallel \frac{1}{sC_{o2}} \right) \frac{V_{inb}}{V_{in}} \quad (3)$$

여기서  $V_{in}$ 과  $V_{inb}$ 가 진폭과 주파수가 동일하고 위상이 90도 차이 나는 신호이므로  $V_{inb}/V_{in} = -1$ 이며, 따라서  $G$ 의 부호는 음수가 된다.

$$G = - \frac{g_{m6}g_{m14}R_{ar1}R_{ar2}}{(1+s/\omega_{p1})(1+s/\omega_{p2})} \quad (4)$$

여기서  $\omega_{p1}$ 과  $\omega_{p2}$ 는 아래와 같다

$$\omega_{p1} = \frac{1}{R_{ar1}C_{o1}}, \quad \omega_{p2} = \frac{1}{R_{ar2}C_{o2}} \quad (5)$$

따라서, 식 (1)과 (4)를 통해  $C_{eff}$ 는 아래와 같이 표현된다.

$$C_{eff} = C_s \left( 1 + \frac{g_{m6}g_{m14}R_{ar1}R_{ar2}}{(1+s/\omega_{p1})(1+s/\omega_{p2})} \right) \quad (6)$$

$R_{ar1}$ 와  $R_{ar2}$ 는 digital code에 의해서 변화하는 가변 저항이므로  $C_{eff}$  역시 가변성을 가지게 된다. 따라서 equalizing amplifier가 능동형 가변 축전기를 사용함으로써 이득 증폭이 발생하는 주파수 대역폭 조절이 가능하다.

그림 4는 캐스케이드(Cascade) 연결된 증폭기로 구성된 slicer 회로를 보여주고 있다. Slicer는 equalizing amplifier 출력 신호를 입력 받아 상승, 하강 신호 기울기를 증가시켜 신호의 크기를 키우는 역할을 한다. 따라서 slicer는 내부 ISI 없이 신호를 증폭하기 위한 넓은 대역폭과 충분한 이득을 가지도록 설계되어야 한다[6]. 높은 이득을 얻기 위해서 증폭기를 캐스케이드 연결할 경우 대역폭이 감소하는 현상이 발생한다[7]. 이를 피하기 위해서는 증폭기의 수를 최적화해야

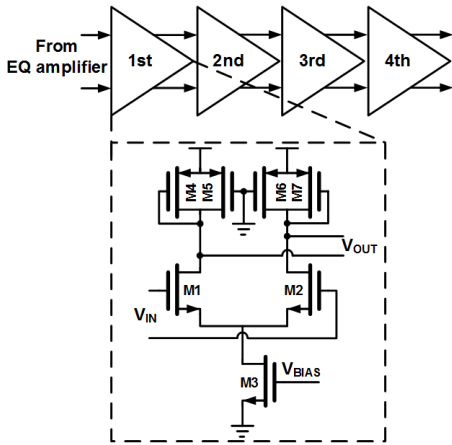


그림 4. 4단 증폭기로 구성된 Slicer 회로도  
 Fig. 4 Schematic of the slicer composed of 4 stage amplifier

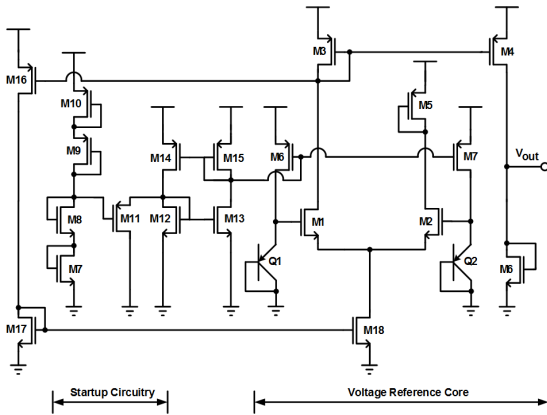


그림 5.  $V_{GS}$ ,  $V_{TH}$ ,  $V_T$  의 온도 특성을 사용하는 CMOS 기준 전압 생성 회로  
 Fig. 5 CMOS voltage reference circuit using temperature characteristics of  $V_{GS}$ ,  $V_{TH}$ , and  $V_T$

하며 최적의 수는 목표 이득 치를  $G_{target}$  이라고 할 경우  $2\ln G_{target}$  이 된다. 본 설계에서는 약 25배의 이득을 얻기 위해서 총 4개의 증폭기가 사용되었으며 1개 당 약 7 dB의 전압 이득을 가지고 있다.

그림 5는 능동형 이퀄라이저 회로에 바이어스 전압을 공급하는 CMOS 기준 전압 생성회로를 보여주고 있다. 일반적인 기준 전압 생성회로 또는 DC 전압 공급회로는 능동소자와 수동소자를 사용함으로써 안정된 전압을 생성한다[8-10]. 그러나 수동소자는 능동소

자 대비 공정 산포에 취약하며, 필요 면적이 큰 단점이 있다. 본 연구에서는 면적 효율을 높이기 위해 능동소자만을 사용하여 기준 전압 생성회로 설계하였다. 기준 전압 생성회로의 출력 전압이 온도에 둔감한 특

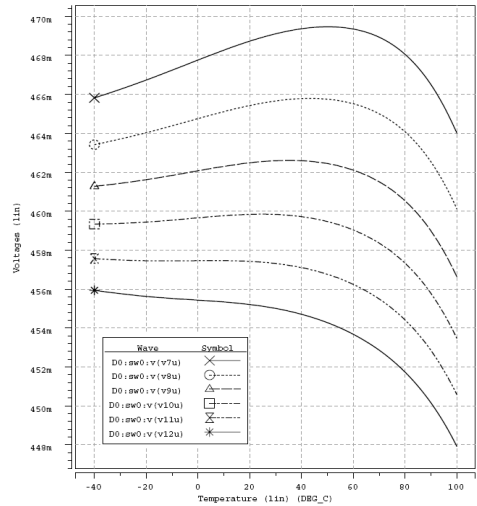


그림 6. 기준 전압 생성회로 출력의  $M_6$ 와  $M_7$ 의 사이즈와 온도 변화에 따른 시뮬레이션 결과  
 Fig. 6 Simulated results of output voltage as the variation of the width ratio between  $M_6$  and  $M_7$

성을 갖도록 만들기 위해 능동소자인 MOSFET의  $V_{GS}$ ,  $V_{TH}$  특성과 BJT로부터 얻을 수 있는 열전압 ( $V_T$ )의 특성을 사용하였다. 출력 전압  $V_{out}$ 은 아래와 같이 표현 된다.

$$V_{out} = \sqrt{V_{i1} + V_{i2} + \Delta V_{IN}} \sqrt{2(V_{i1} + V_{i2}) - \Delta V_{IN}^2} \quad (7)$$

식(2)에서  $V_{i1}=(V_{GS1}-V_{TH})^2$ ,  $V_{i2}=(V_{GS2}-V_{TH})^2$ ,  $\Delta V_{IN}=V_{G,M1}-V_{G,M2}$  이며,  $V_G$ 는 MOSFET 게이트 전압이다. 기준 전압 생성회로의 온도 특성 시뮬레이션 결과는 그림 6을 통해 확인할 수 있다. 온도 변화에 대한 둔감도를 조정하는  $M_6$ 와  $M_7$ 의 사이즈 비율에 따라서 출력 전압의 특성이 변하는 것을 알 수 있으며, 섭씨 -40도에서 80도까지 변화했을 경우 출력 전압 변화가 최대 약 462.8mV에서 최소 약 460.8mV로 2mV 변하는 것을 확인할 수 있다. 이러한 온도 변화의 둔감한 특성을 이용하여 equalizing filter, slicer 회로 등에 안정된 전압을 공급할 수 있다.

### III. 시뮬레이션 결과

그림 7는 capacitance 조정 역할을 하는 2단 부 증

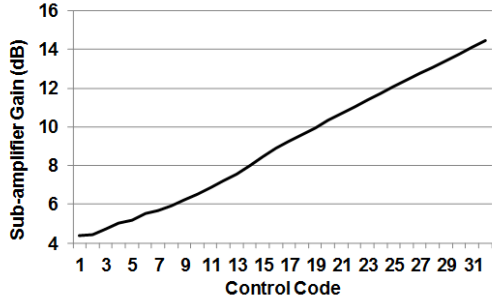


그림 7. 디지털 코드에 대한 부 증폭기의 전압 이득 그래프

Fig. 7 Voltage gain-control code graph of the sub-amplifier

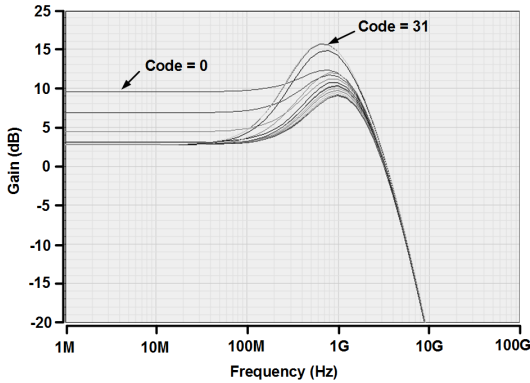
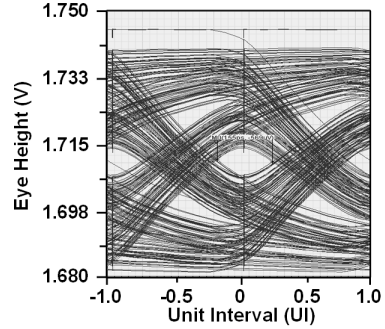


그림 8. 조정 코드 변화에 이퀄라이저 회로의 따른 주파수 응답

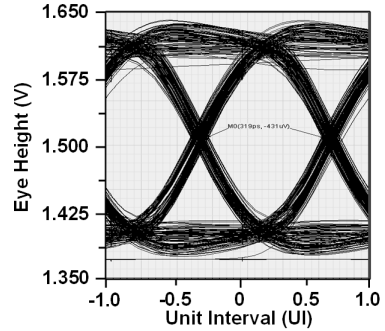
Fig. 8 Frequency response of the proposed equalizer

폭기의 전압이득 시뮬레이션 결과를 보여주고 있다. 1 GHz 주파수에 대해서 5 비트 디지털 코드를 변화함에 따라 최소 4.36 dB, 최대 14.45 dB의 전압 이득을 얻었다. 전체적으로 선형적인 특성을 보여주고 있으며, 이러한 특성을 통해 80 fF의 수동형 축전기를 사용할 경우 capacitance를 최소 212 fF에서 최대 502.4 fF까지 변화 시킬 수 있다. 이러한 디지털 능동형 가변 축전기 특성을 사용하여 설계한 이퀄라이저의 주파수 응답은 그림 8을 통해 확인할 수 있다. 1 GHz

의 동작주파수에 대해서 code 값은 0에서부터 31까지 변화 시켰을 때 저주파 대역 대비 고주파 대역의 이득 비율이 증가함을 알 수 있다. 이를 통해 전송 채널



(a)



(b)

그림 9. (a) 2m 길이의 동축선로를 통해 전송된 신호와 (b) 이퀄라이저에 의해 보상된 출력 신호의 눈 다이어그램

Fig. 9 Eye diagrams of (a) the transmitted data through 2-m coaxial cable and (b) the compensated data by the proposed equalizer

에 의한 고주파 대역 손실을 보상하여 BER 증가를 방지할 수 있다.

고주파 대역 손실을 보상한 결과는 그림 9을 통해 확인할 수 있다. 2m 길이의 동축선로를 통과한 2 Gb/s의 PRBS-31 패턴 신호는 그림 9(a)와 같이 고주파 대역 손실로 인한 데이터 패턴 종속 지터 (Data pattern dependent jitter)의 증가로 인해 eye의 높이와 너비가 좁게 닫혀있는 것을 알 수 있다. 확보된 eye 너비는 155 ps로 약 0.31 UI 밖에 되지 않으며, 이러한 경우 데이터 샘플링을 위한 마진이 부족하여

BER이 증가하게 된다. 이를 방지하기 위해서 이퀄라이저를 사용할 경우, 그림 9(b)와 같이 고주파 대역 손실이 보상되어 지터가 감소함으로써 넓은 샘플링

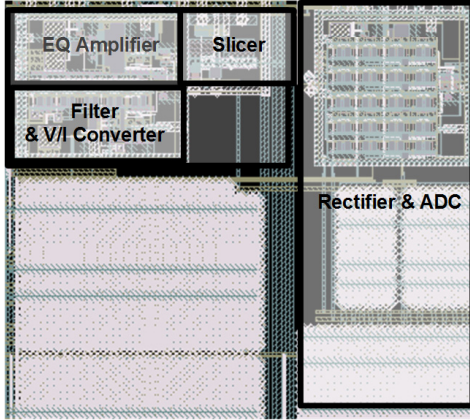


그림 10. 제안하는 능동형 이퀄라이저의 레이아웃  
Fig. 10 Layout of the proposed adaptive equalizer

마진을 확보할 수 있다. 이퀄라이저를 통해 손실 보상된 데이터의 eye 너비는 319 ps(0.64 UI)로써 1-UI 기준으로 입력 대비 약 33%의 샘플링 마진이 증가했음을 알 수 있다.

그림 10은 디지털 능동형 가변 축전기를 사용한 적응형 이퀄라이저 회로의 레이아웃을 보여주고 있다. 0.13- $\mu\text{m}$  CMOS 공정 값을 사용하여 설계 되었으며, 0.412  $\text{mm}^2$ 의 레이아웃 면적을 사용하였다.

#### IV. 결론

본 논문에서는 디지털 방식으로 조정 가능한 능동형 가변 축전기를 사용한 적응형 이퀄라이저 회로를 제안하고 있다. 고주파 대역 이득을 증폭시키는 역할을 하는 능동형 가변 축전기는 MIM capacitor와 부 증폭기로 구성되어 있으며, 부 증폭기와 MIM capacitor는 피드백 연결이 되어있으며 이는 miller effect에 의한 capacitance 증가 효과를 얻을 수 있게 하였다. 시뮬레이션 결과, 능동형 축전기의 선형적 가변 특성을 통해 입력 데이터의 고주파 손실을 보상하여 약 33%의 샘플링 마진 증가 결과를 얻을 수 있었다. 0.13- $\mu\text{m}$  CMOS 공정을 사용하여 설계된 적응형

이퀄라이저 회로는 0.412  $\text{mm}^2$ 의 레이아웃 면적을 사용한다.

#### 감사의 글

이 연구는 서울과학기술대학교 교내 일반과제 연구비 지원으로 수행되었습니다.

#### References

- [1] A. J. Baker, "An adaptive cable equalizer for serial digital video rates to 400Mb/s," *IEEE International Solid-State Circuits Conference Digest of Technology*, Feb. 1996, pp. 32-34.
- [2] J. Lee, "A 20-Gb/s adaptive equalizer in 0.13- $\mu\text{m}$  CMOS technology," *IEEE J. Solid-State Circuits*, vol. 41, no. 9, 2006, pp. 2058-2066.
- [3] S. Gondi, J. Lee, and B. Razavi, "Equalization and clock and data recovery technique for 10-Gb/s CMOS serial-link receivers," *IEEE J. Solid-State Circuits*, vol. 42, no. 9, 2007, pp. 1999-2011.
- [4] W. Lee and L. Kim, "An adaptive equalizer with the capacitance multiplication for DisplayPort main link in 0.18- $\mu\text{m}$  CMOS," *IEEE Trans. VLSI Systems*, vol. 20, no. 5, 2012, pp. 964-968.
- [5] G. Rincon-Mora, "Active capacitor multiplier in miller-compensated circuits," *IEEE J. Solid-State Circuits*, vol. 35, no. 1, 2000, pp. 26-32.
- [6] S. Yeo, T. Cho, Y. Shin, and S. Kim "Design of OTA Circuit for Current-mode FIR Filter," *J. of the Korea Institute of Electronic Communication Science*, vol. 11, no. 7, 2016, pp. 659-664.
- [7] B. Razavi, *Design of integrated circuits for optical communications*. New York: McGraw-Hill, 2002, pp. 123-129.
- [8] Y. Chai and Y. Do, "Design of DC-DC converter controller implemented with analog memory," *J. of the Korea Institute of Electronic Communication Science*, vol. 10, no. 3, 2015, pp. 357-364.
- [9] S. Yeo, T. Cho, S. Cho, and S. Kim "Design of DC Level Shifter for Daisy Chain

Interface," *J. of the Korea Institute of Electronic Communication Science*, vol. 11, no. 5, 2016, pp. 479-484.

- [10] B. Kim and D. Kim, "Voltage regulator for baseband channel selection filters," *J. of the Korea Institute of Electronic Communication Science*, vol. 8, no. 11, 2013, pp. 1641-1646.

### 저자 소개



#### **이원영(Won-Young Lee)**

2006년 KAIST 전기 및 전자공학과  
졸업(공학사)

2008년 KAIST 대학원 전기 및 전  
자공학과 졸업(공학석사)

2012년 KAIST 대학원 전기 및 전자공학과 졸업(공  
학박사)

2012~2015년 삼성전자 메모리사업부 책임연구원

2015년~현재 서울과학기술대학교 전자IT미디어공학  
과 조교수

※ 관심분야 : High-speed Serial Interface

