

논문 2016-53-12-17

HEVC 비디오 인코더 PMR 블록 설계에 대한 연구

(A Study on the HEVC Video Encoder PMR Block Design)

이 석 호*, 이 제 현**

(Sukho Lee and Jehyun Lee[Ⓢ])

요 약

HEVC/H.265는 ITU-T SG 16 WP와 ISO/IEC JTC 1/SC29/WG 11에서 제안된 가장 최근의 비디오 코딩 표준안이다. H.265에서 영상은 연속된 코딩 트리 유닛(CTU)들로 나누어지고, CTU는 다양한 지역적 특성을 받아들이기 위해 다수의 코딩 유닛(CU)들로 나누어진다. H.265의 코딩 효율은 이전 표준인 H.264/AVC와 비교하면 약 2배 정도 우수하나 확장된 CU와 변환블록(Transform)의 크기가 증가함에 따라 인코더 내에서 예측 (Prediction), 모드결정 (Mode decision) 그리고 복원 (Reconstruction) 블록의 하드웨어 크기가 이전 표준과 비교하여 4배 정도 증가하는 문제점이 있다. 본 논문에서는 이러한 문제점을 해결하기 위하여 인코더 내에서 복잡도가 가장 큰 Prediction/Mode Decision/Reconstruction (PMR) 블록에 대하여 코딩효율(PSNR)을 저하시키지 않는 범위 내에서 하드웨어 복잡도를 줄이기 위한 새로운 구조를 제안한다. 복잡도가 감소된 하드웨어를 이용하면 전체 비디오 인코더의 사이즈를 줄일 수 있으며, Full-HD 영상에 대하여 300 Mhz의 클럭 주파수와 60 fps의 프레임율로 동작한다. 테스트 영상에 대하여 PMR 예측 블록에서 Bjøntegaard Delta (BD) 비트율의 증가는 평균 30 % 이며, PMR 블록의 전체 게이트 수는 약 1.8 M 이다.

Abstract

HEVC/H.265 is the latest joint video coding standard proposed by ITU-T SG 16 WP and ISO/IEC JTC 1/SC29/WG 11. In H.265, pictures are divided into a sequence of coding tree units(CTUs), and the CTU further is partitioned into multiple CUs to adapt to various local characteristics. Its coding efficiency is approximately two times high compared to previous standard H.264/AVC. However according to the size of extended CU(coding unit) and transform block, the hardware size of PMR(prediction/mode decision/reconstruction) block within video encoder is about 4 times larger than previous standard.. In this study, we propose a new less complex hardware architecture of PMR block which has the most high complexity within encoder without any noticeable PSNR loss. Using this simplified block, we can shrink the overall size the H.265 encoder. For FHD image, it operates at clocking frequency of 300 MHz and frame rate of 60 fps. And also for the test image, the Bjøntegaard Delta (BD) bit rate increase about average 30 % in PMR prediction block, and the total estimated gate count of PMR block is around 1.8 M.

Keywords : HEVC, H.265, CU(Coding Unit), PMR(Prediction/Mode decision/Reconstruction)

I. 서 론

실제 사물을 보는 듯한 생생한 느낌의 영상을 디스플레이 장치에 구현하고자 하는 욕구는 점차 현실이 되어가고 있다. 1990년 화상 서비스를 위한 352X288급의 H.261이 최초로 제정되었고^[1], 이 후 1993년에 MPEG-1, 1995년에 MPEG-2/H.262, 2003년에 H.264/AVC가 계속

발표되면서 그 해상도 증가에 따른 압축률을 계속 증가시켜 왔다^[2]. HD급 이상의 고해상도 비디오에 대한 표준을 제정하기 위해 2010년 독일의 드레스덴 모임을 시작으로 HEVC가 탄생하였다^[3-5]. HEVC/H.265는 H.264/AVC와 부호화/복호화는 유사하지만 압축 성능은 H.264 하이프로파일과 비교하여 평균 두 배의 압축효율을 갖고 있으며 고속 병렬 처리가 가능하도록 표준화한 것이다. 본 논문에서는 이 HEVC 표준에 따라 설계한 Full-HD급 비디오 인코더 중 복잡도가 가장 큰 예측 (Prediction), 모드결정 (Mode decision) 그리고 복원 (Reconstruction) 블록을 통합한 PMR 모듈 설계 연구에 대해 기술한다.

* 정회원, 한국전자통신연구원 지능형반도체연구부

** 정회원, 동양미래대학교 전기전자통신공학부

Ⓢ Corresponding Author(E-mail: jehyun@dongyang.ac.kr)

Received ; August 17, 2016 Revised ; September 2, 2016

Accepted ; November 14, 2016

II. PMR (Prediction/Mode decision/ Reconstruction) 모듈 설계

제안된 PMR 블록은 Coding Tree Unit (CTU) 레벨의 한 파이프라인 스테이지에서 처리되며 300MHz 동작주파수에서 Full-HD 60fps의 입력영상을 처리할 수 있다. 또한 4K-UHD 영상처리를 위해 멀티코어로 확장이 가능한 구조로 설계되었다. 이와 같은 사양을 갖는 인코더의 전체 구성도를 그림 1에 보였다. 즉 32x32 크기의 CTU 단위로 구분되는 5단계 파이프라인 구조를 갖는다^[6].

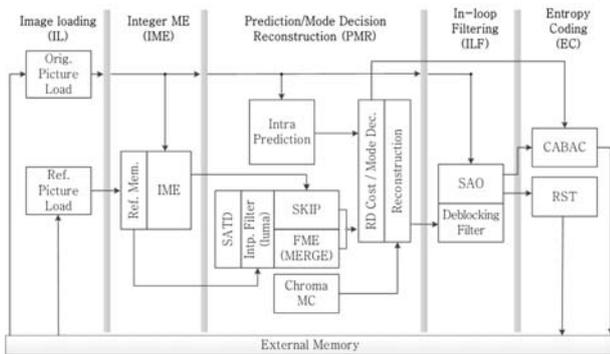


그림 1. HEVC 인코더의 전체 구성도
Fig. 1. Overall structure of HEVC encoder.

본 논문에서는 주요 모듈인 PMR 모듈중 Prediction, Mode Decision, Reconstruction 설계에 대한 내용을 다루고자 한다.

1. Prediction

그림 2에 Fine Motion Estimation(FME) 모듈의 블록 다이어그램을 나타냈다. Current와 reference data를 읽어와 integer 위치 주변의 floating position의 연산을 통해 최적화된 MV를 얻는다. 표 1에는 그림 2에 나타난 주요 블록의 기능을 정리한다. FME는 8x4, 4x8, 8x8, 16x8, 8x16, 16x16, 32x16, 16x32, 32x32, 및 32x32의 AMP인 2Nx2N, 2Nx2N, nLx2N, nRx2N 크기의 floating point searching 및 32x32와 16x16의 merge mv에 대한 처리가 가능한 block이다. FME는 IME에서 결정된 PU 크기와 PMR의 command를 조합하여 필요한 명령을 자체적으로 생성한다. IME에서 결정된 PU의 크기가 16x16보다 크면 32x32 Merge MV 위치, 8x8보다 크고 16x16보다 작거나 같으면 16x16 Merge MV 위치의 cost를 먼저 계산하며 Merge Candidate의 개수는 2 이다.

표 1. 주요 FME 모듈의 기능
Table 1. Function of major FME module.

Block	Description
PMV CALCULATION	MV Cost 계산에 필요한 PMV를 생성한다.
MV COST CALCULATION	PMV와 Search 위치를 사용하여 MV Cost를 계산한다.
CURRENT LOADER	Current data를 읽어 Hadamard에서 사용할 형태의 data를 생성한다.
REFERENCE LOADER	Reference data를 읽어 Filter 에서 사용할 형태의 data를 생성한다.
Y FILTER	Y Filter이며 clock당 8 pixel을 출력한다.
MEMORY R/W	Y filter의 결과를 저장해 두었다가, hadamard 연산에 필요한 형태로 가공하여 출력한다.
HADAMARD & SATD	4x4, 8x8의 Hadamard 연산을 수행 및 연산 결과의 SATD 결과를 출력한다.
MODE DECISION	SATD 결과를 기준으로 최종 MV를 결정하며, PMR, CABAC, ILF에서 필요한 결과를 출력한다. 출력 data는 MV, MVD, Prediction data이다.

이 후 IME의 결과 위치 주변의 49개의 floating point 위치의 cost를 계산한다. Floating point 위치 중 가장 작은 cost를 갖는 MV의 위치 1개와 2개의 Merge candidate 중 작은 cost를 갖는 하나를 FME에서 결정한다. 결정된 2개 중 어떤 결과를 최종 출력으로 내보낼 것인지는 PMR에서 결정하게 된다. FME 내부에는 8x8 및 4x4 block의 hadamard 연산을 수행하는 기능 block이 포함되어 있으며 이 연산 block의 출력을 내부 cost 계산에 사용한다. 8x4와 4x8 PU는 4x4 Hadamard, 나머지는 8x8 Hadamard block을 사용하여 연산한다. Hadamard 출력 결과에 MV cost를 더하여 최소 cost가 되는 지점을 찾는데, MV cost를 구하기 위해서 PMV를 연산하는 block도 내부에 포함한다. IME에서 결정된 각 PU에 대해, 그림 3에 나타낸 것처럼 half-pel → quarter-pel의 순서로 best integer-pel 및 best half-pel 위치 및 주변 소수샘플들을 포함하는 9개 위치에 대해 각각 FME를 수행하여 SATD 기반의 RD-cost값이 최소인 지점을 찾아낸다.

그림 3에서 한가운데 네모와 그 오른쪽 위에 있는 원형, 그리고 그 오른쪽 위에 있는 세모는 integer-pel, half-pel, quarter-pel 각각의 best position을 나타낸다. FME 수행과정에서, 만약 MCL에 포함된 MV 중 FME의 18개 search point 중 하나와 일치하는 MV가

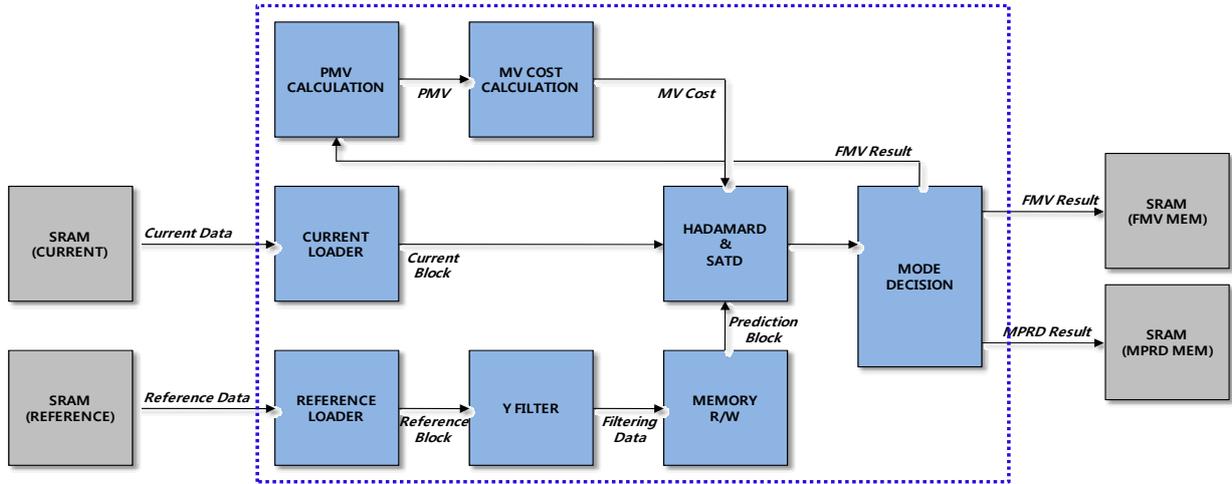


그림 2. Fine Motion Estimation(FME) 모듈의 블록 다이어그램
Fig. 2. Block Diagram of Fine Motion Estimation(FME) Module.

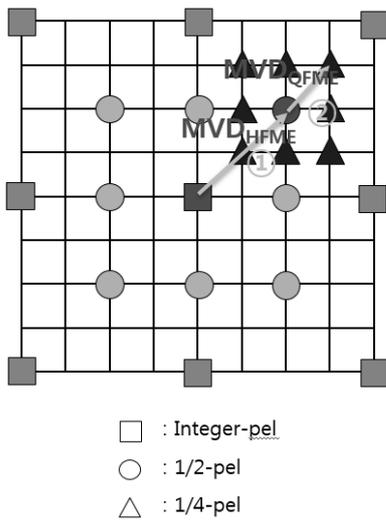


그림 3. FME를 수행하는 샘플 및 순서
Fig. 3. Sample and Sequence of FME operation.

존재할 경우 MERGE 여부(merge_flag)를 판단하여 merge_flag = 1인 경우 merge_idx 및 해당 MV와 함께 출력한다. merge_flag = 0으로 판단된 경우에는 mvp_l0_flag와 MV 및 MVD를 함께 출력한다. MCL의 생성과 관련된 파라미터 중 MaxNumMergeCand = 2, sps_temporal_mvp_enabled_flag=0을 사용한다.

Half-pel 및 quarter-pel에 대하여, FME의 RD cost(J_{FME})는 식 (1)과 같이 구한다.

$$J_{FME} = SATD + L_{FME} * B_{FME} \quad (1)$$

SATD를 구하기 위해 4x8, 8x4 크기의 PU는 두 번의 4x4 Hadamard transform을 수행하고 나머지 크기의 PU들은 8x8 Hadamard transform을 1번 또는 그 이

상 수행해야 한다. 식 (1)에서 L_{FME} 는 QP값에 따라 결정된다. 예측하고자 하는 PU의 위치로부터 현재 FME를 수행하고 있는 지점으로 향하는 벡터를 MV_{FME} 라 하고, AMVP를 통해 구한 두 개의 MVP가 각각 $MVp0$ (mvp_l0_flag = 0), $MVp1$ (mvp_l0_flag = 1)일 때, B_{FME} 는 다음과 같은 방식으로 구한다^[7].

```

BFME=0;
MVDFME=min(MVFME-MVp0,MVFME-MVp1);
absMVDFME=|MVDFME|;
if (MVDFME<0)BFME+1;
do {
    BFME+1;
    absMVDFME=absMVDFME>>1;
} while (absMVDFME!=0);
    
```

그러나, MERGE candidate list에 포함된 세 개의 MV 중 하나와 일치하는 지점에서의 B_{FME} 값은 0으로 처리해야 한다.

2. MERGE SKIP

IME에서 결정된 CU 사이즈가 16x16 또는 32x32인 경우 partition mode = 2Nx2N 에 대한 merge_idx를 결정한다. Merge candidate list의 생성과 관련된 파라미터는 MaxNumMergeCand = 2, Log2PartMgrLevel = 4 로 고정된 값을 사용하며 sps_temporal_mvp_enabled_flag = 0 이다. MCL 상의 세 개 MV 중 하나를 선택하기 위한 계산식은 다음 식 (2)를 따른다.

$$J_{MSKIP} = SATD \quad (2)$$

여기서 SATD는 FME와 동일한 방식으로 계산하는

데, PU 사이즈가 16x16 또는 32x32이므로 8x8 SATD 만을 사용하여 계산한다. 최종적으로는 J_{MSKIP} 을 최소화 하는 merge_index와 MV가 함께 출력되며 intra prediction 모듈의 블록 다이어그램은 그림 4이다.

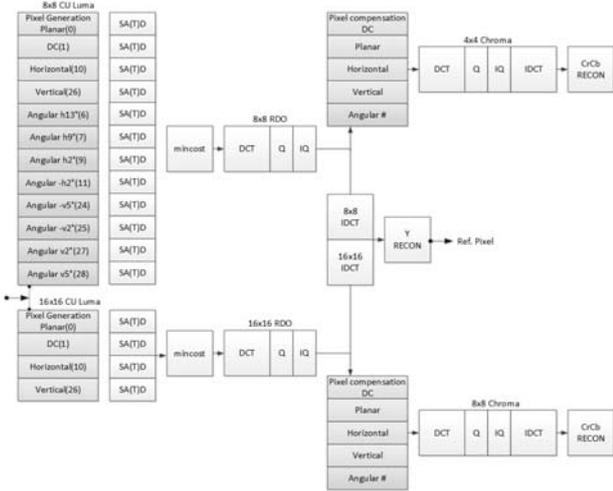


그림 4. Intra prediction 모듈의 블록 다이어그램
Fig. 4. Block diagram of Intra prediction module.

3. Intra prediction

Intra prediction 모듈은 다음과 같은 특징과 기능을 갖는다.

- CU size = TU size: Intra CU 사이즈와 TU 사이즈는 동일
- Max CU 16x16 모드: Planar, DC, Horizontal, Vertical 모드 지원 (4개)
- Min CU 8x8 모드: Planar, DC, Horizontal, Vertical 와 최대 8개 Angular 모드 지원 (12개)
- Chroma (CrCb): Only Intra_DM (Luma Driven Mode) 모드 지원
- Rough RD-cost: SAD/SATD (Hadamard or DCT) 함수 지원

4. RD-cost Calculation / Mode Decision

RD-cost Calculation 모듈은 Intra-Inter 간 모드판정을 위해 다음 같은 특징을 갖도록 설계되었으며 그림 5에 블록 다이어그램을 나타냈다.

- DCT와 IQ 결과를 계산한 Simplified RDO 구조 (CABAC 과정을 수행하지 않음)
- 율(Rate) 계산: non zero coefficient rate(Nc) 와 side information rate(Ns) 합산
- 왜곡(Distortion) 계산: DCT 와 IQ 결과의 SSE 계산

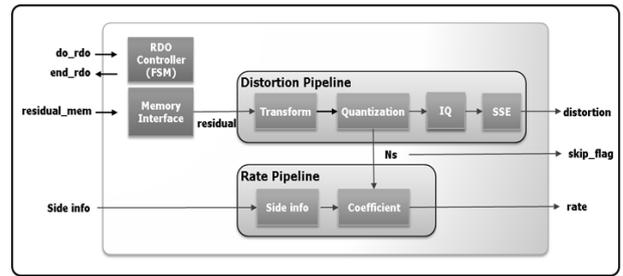


그림 5. RD-cost Calculation 모듈의 블록 다이어그램
Fig. 5. Block diagram RD-cost Calculation module.

- 32x32 CU (1개), 16x16 CU(2개), 8x8 CU(2개) 병렬처리 구조
- CU 사이즈별 RDCost 계산/Mincost 합산 및 Best Mode 결정
- RDO 내 DCT 블록의 Reconstruction 블록 공유 구조
- Simplified SSE를 통한 왜곡 (Distortion) 계산 (IDCT 생략)
- Simplified CABAC을 통한 율(Rate) 계산 (CABAC 생략)
- 영상 압축에서 최적 Intra/Inter Prediction Mode 결정 기능
- RDO 계산에 사용되는 lambda 상수값은 QP에 따라 가변

CU mode decision은 intra, inter prediction, 그리고 RDO와 reconstruction을 갖는 mode decision으로 이루어지며 Intra prediction은 복원된 주변픽셀이 필요하기 때문에 하나의 파이프라인 슬롯 안에서 prediction, RDO, 그리고 reconstruction을 다 수행해야 한다.

따라서 병렬처리를 위하여 하드웨어의 구현이 복잡하게 된다. 따라서 본 논문에서는 그림 6에 보이는 것과 같이 mode decision을 위해 독립적으로 동작하는 5개의 독립적인 RDO 블록을 설계하여 복잡도를 줄인다^[8].

5. Reconstruction Store

Reconstruction Store(RST) 모듈은 ILF까지 끝낸 최종 reconstructed and filtered data를 off-chip frame memory에 효과적으로 저장하는 기능의 모듈이며, 다음과 같은 세 가지 기능 모듈들과 내부 버퍼 및 FIFO들로 구성된다.

- ILF로부터 생성된 최종 reconstructed picture data를 write하는 신호를 받아 내부 버퍼에 write하는 신호를 재생성하고 pipeline 속도와

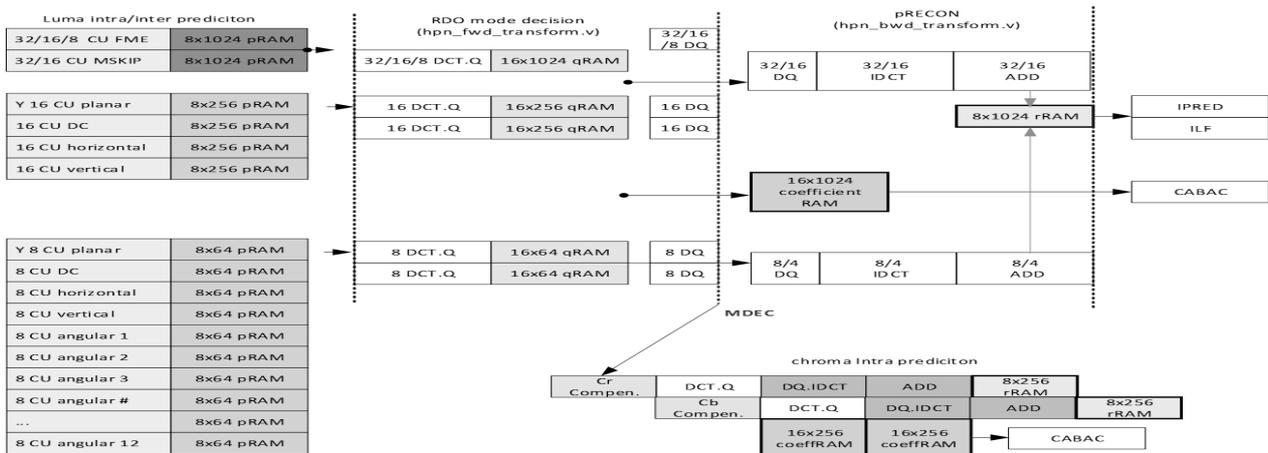


그림 6. CU 모드 decision의 하드웨어 구조
Fig. 6. Hardware structure of CU mode decision.

RST 속도를 조절하여 내부 버퍼의 overflow를 방지하는 rst_ctrl 모듈

- AXI 버스 인터페이스 신호들(address, data, burst length 등)을 FSM에 의해 생성하는 rst_memctrl 모듈
- 실제 AXI 버스 인터페이스 입력신호를 받아 출력신호들을 생성해 주는 rst_fmreq 모듈

III. 결 론

HEVC는 Full-HD(1920X1080) 또는 4K(4096X2160) 혹은 3840X2160) UHD 급 이상의 초고해상도 영상의 압축 및 복원을 제안한다. 코딩 효율은 이전 표준인 H.264에 비해 약 2배 정도 우수하나, 확장된 코딩유닛(CU)과 변환블록(Transform)의 복잡도가 증가함에 따라 인코더 내에서 예측 (Prediction), 모드결정 (Mode decision) 그리고 복원 (Reconstruction) 블록의 하드웨어 크기가 4배 정도 증가하는 문제점이 있다. 본 논문에서는 이러한 문제점을 해결하기 위하여 인코더 내에서 복잡도가 가장 큰 Prediction/ Mode Decision/ Reconstruction (PMR) 블록에 대하여 코딩효율(PSNR)을 저하시키지 않는 범위 내에서 하드웨어 복잡도를 줄이기 위한 구조를 제안하였다. 복잡도가 감소된 하드웨어를 이용하면 전체 비디오 인코더의 사이즈를 줄일 수 있으며, Full-HD 영상에 대하여 계산양이 가장 많은 PMR 단계에서 사이클 수를 계산하면 300 Mhz의 클럭 주파수와 60 fps의 프레임율로 동작한다. 테스트 영상에 대하여 PMR 예측 블록에서 Bjøntegaard Delta (BD) bit rate의 증가는 평균 30 % 이며, PMR 블록 계

이트 수는 약 1.8 M 이다. 추가적으로 저전력 모드 동작 시에는 SAO filter를 수행하지 않음으로써 전력소모를 더욱 억제시킨다.

저전력 동작모드에서는 일반모드 대비 최대 30% 가량의 전력소모를 절감할 수 있으며 이에 따른 화질열화는 약 10% 가량으로 예측되었다.

본 연구의 하드웨어 구조를 반영한 ASIC과 IP는 추후 다가올 4K-UHD 시대에 그 수요가 매우 증대될 것으로 전망된다.

ACKNOWLEDGEMENTS

본 연구는 산업통상자원부 및 한국산업기술평가관리원의 산업융합 원천기술개발사업(정보통신)의 일환으로 수행하였음. [10039214, 초고해상도 비디오 코덱 SoC]

REFERENCES

- [1] G. Morrison "Video coding standards for multimedia : JPEG,H.261,MPEG," *IEE Colloq. on Technol, Support of Multimedia*, pp. 2/1-2/4, Apr. 1992
- [2] A. Tamhankar, and K. R. Rao, "An overview of H.263/MPEG-4 Part 10," *IEEE 4th EURASIP Conf. focused on Video/Image Process, and Multimedia Commun.*, pp. 1-51, 2003
- [3] Gray J. Sullivan, Jens-Rainer Ohm, and W.Han, "Overview of high efficiency video coding (HEVC) standard," *IEEE Trans. on Circuits Syst. Video Technol.*, vol. 22, no. 12, pp. 1649-1668, Dec. 2012

- [4] ISO/IEC 23008-2 and ITU-T H.265, "High Efficiency Video Coding (HEVC)," Apr. 2013
- [5] JCT-VC, "High Efficiency Video Coding (HEVC) Test Model 13 (HM 13) Encoder Description," *JCTVC O1002*, Oct. 2013
- [6] S. Cho, H. Kim, and S. Lee "Implementation of Inter Prediction for 124-Mpixels/s Hardware HEVC Encoders," *Conf. of The Korean Society of Broad Engineers*, Nov, 2014
- [7] S. Lee, S. Cho, H. Kim, and J. Lee "A Study on the Full-HD HEVC Encoder IP Design," *Journal of Institute. of Electronics and Information Engineers*, Vol.52, No.12, Dec. 2015
- [8] S. Lee, H. Kim, K. Byun, and N. Eum, "On FHD 300MHz@60fps, intra/inter CU mode decision hardware architecture for the Hypernova H.265 encoder," *Proc. IEEE Int. SoC Design Conference*, Nov. 2014, pp.254-255.

 저 자 소 개



이 석 호(정회원)
 2010년 충남대학교 정보통신공학과 박사
 1999년~2016년 현재 한국전자통신연구원 지능형반도체연구부 책임연구원

<주관심분야 : 영상처리, 영상압축, 멀티미디어 SoC 설계>



이 제 현(정회원)
 1983년 아주대학교 전자공학과 학사
 1985년 KAIST 전기및전자공학과 석사
 1985년~1990년 한국전자통신연구원 자동설계부

1990년~1993년 STM Korea Design Center
 1993년~1996년 전자부품연구원 ASIC Center
 1996년~1999년 KAIST 반도체설계교육센터
 1999년~2016년 현재 동양미래대학교 전기전자통신공학부 반도체전자공학과 부교수
 <주관심분야 : ASIC, FPGA, VHDL, 디지털시스템설계>