

논문 2016-53-12-7

IEEE 802.15.4g SUN 시스템용 RF 주파수 합성기의 구현

(Implementation of RF Frequency Synthesizer for
IEEE 802.15.4g SUN System)

김 동 식*, 윤 원 상**, 채 상 훈**, 강 호 용***

(Dong-Shik Kim, Won-Sang Yoon, Sang-Hoon Choi[©], and Ho-Yong Kang)

요 약

본 논문은 0.18 μ m 실리콘 CMOS 기술을 이용한 IEEE802.15.4g SUN 체계의 센서노드 무선통신부에 적용할 수 있는 RF 주파수 합성기의 구현에 대하여 기술하였다. 제안한 주파수 합성기는 고속 저잡음 특성을 얻기 위하여 VCO, 프리스케일러, 1/N 분주기, Δ - Σ 모듈레이터 그리고 PLL 공통 회로 등의 설계 최적화가 이루어졌으며, 특히 VCO는 NP 코어 구조와 13단 캡 뱅크를 각각 적용하여 고속, 저잡음 및 광대역 튜닝 범위를 확보하였다. 제안된 주파수 합성기를 칩으로 제작하여 측정된 결과 출력 주파수 범위는 1483MHz~2017MHz, 위상잡음은 100KHz 오프셋에서는 -98.63dBc/Hz, 1MHz 오프셋에서는 -122.05dBc/Hz로 양호한 특성을 얻을 수 있었다.

Abstract

This paper describes implementation of the RF frequency synthesizer with 0.18 μ m silicon CMOS technology being used as an application of the IEEE802.15.4g SUN sensor node transceiver modules. Design of the each module like VCO, pre-scaler, 1/N divider, Δ - Σ modulator, and common circuits of the PLL has been optimized to obtain high speed and low noise performance. Especially, the VCO has been designed with NP core structure and 13 steps cap-bank to get high speed, low noise, and wide band tuning range. The output frequencies of the implemented synthesizer is 1483MHz~2017MHz, the phase noise of the synthesizer is -98.63dBc/Hz at 100KHz offset and -122.05dBc/Hz at 1MHz offset.

Keywords : IEEE802.15.4g, SUN, IoT, Frequency synthesizer, PLL, Circuit design

I. 서 론

최근 신성장 동력 산업의 핵심 기술로 기존의 전력망에 정보통신기술(IT)을 접목한 스마트 그리드(Smart Grid) 기술이 부각되고 있다. 이는 전력 공급자와 소비자가 양방향으로 실시간 정보를 교환함으로써 전력 에너지 효율을 최적화 시키고, 다양한 부가 서비스를 창출해 경제적 효과를 극대화 시킬 수 있는 핵심 기술이다. 스마트 그리드 전력 수용가 지역에서 네트워킹을

통해 가전제품의 전력사용을 최적화하고 소비자에게 실시간 전기요금 정보를 제공하는 전력 관리 서비스가 부각되면서 전기뿐만 아니라 수도, 가스와 같은 유틸리티 사용 정보를 공급자와 소비자가 양방향으로 실시간 정보를 교환함으로써 에너지 소비 효율을 높이면서 쾌적한 주거 환경을 제공하는 AMI(Advanced Metering Infrastructure) 기반 에너지 관리 장치의 중요성이 강조되고 있다. 현재까지 전기, 수도, 가스 등의 유틸리티 사용량을 원격으로 검침하고 관리하는 원격 검침 시스템

* 학생회원, ** 정회원, 호서대학교 전자공학과 (Dept. of Electronics Engineering, Hoseo University)

*** 정회원, 한국전자통신연구원 UGS융합연구단 (UGS Fusion Research Group, ETRI)

© Corresponding Author (E-mail: shchai@hoseo.edu)

* 본 논문은 2016년도 대한민국 미래창조과학부와 한국연구재단의 지원을 받아 수행된 연구이며 (NRF-2016 RIC1B1013862), IDEC의 일부 CAD tool 지원으로 수행되었음.

Received ; May 20, 2016 Revised ; November 15, 2016 Accepted ; November 23, 2016

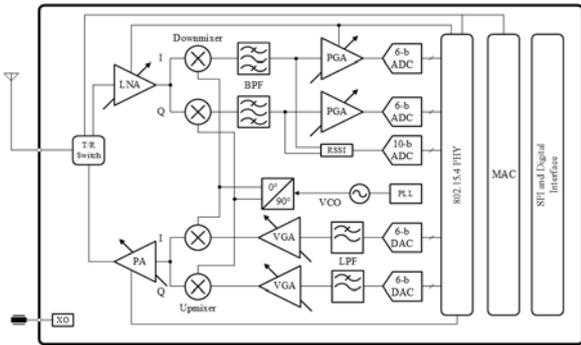


그림 1. 센서노드 무선 송수신부의 구성도
Fig. 1. Block diagram of sensor node transceiver module.

템은 PLC와 ZigBee 기술을 기반으로 활발한 연구가 진행되어 미국, 유럽 등지에서 대규모 사업화가 이루어지고 있다. 그러나 ZigBee 무선기술은 열악한 유틸리티 네트워크 통신 환경에서 높은 링크 마진 특성을 얻기가 어렵고, 특히 원거리 실외 환경에서 mesh routing 기술과 연계하는데 한계를 가지고 있어 미국의 유틸리티 서비스 업체 중심으로 스마트 그리드와 연계한 새로운 국제 표준의 무선 전송기술 개발의 필요성이 제기 되었다^[1]. 또한 스마트 그리드와 연계하여 다양한 네트워크 응용을 지원 할 수 있는 IEEE 802.15.4g SUN 시스템을 위한 주파수 대역으로는 700MHz~1GHz 및 2.4GHz를 포함한 비면허 주파수 대역이 검토되고 있다^[2].

본 연구에서는 780MHz(중국) 대역, 868MHz(유럽) 대역 그리고 915MHz(한국, 북미) 대역의 총 3개 대역을 동시에 지원하는 광대역 주파수 합성기를 설계 제작하여 IEEE 802.15.4g SUN 시스템에서의 적용가능 여부를 알아보았다.

II. 센서노드의 구성

그림 1은 SUN 시스템에 사용되는 센서노드 송수신부(transceiver)의 블록도로서 송수신부는 크게 송신부, 수신부, 주파수 합성기(frequency synthesizer) 및 디지털 인터페이스의 4부분으로 나뉘어 질 수 있다. 송신부는 6비트 디지털 아날로그 변환기(digital analog converter), 저역통과필터(low pass filter), 전압이득증폭기(voltage gain amplifier), 혼합기(mixer) 및 전력증폭기(power amplifier)로 구성된다. 수신부는 저잡음증폭기(low noise amplifier), 혼합기, 대역통과필터(band pass filter), 전압이득증폭기(power gain amplifier) 및 아날로그 디지털 변환기(analog digital converter)로 구

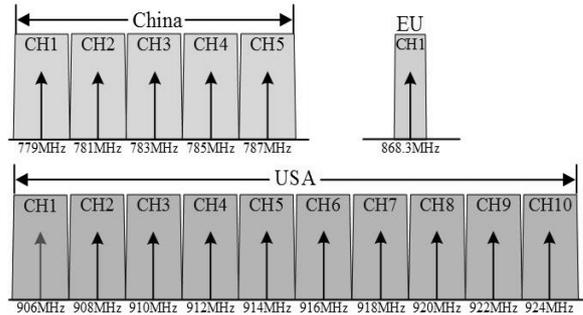


그림 2. 센서노드의 송신 채널
Fig. 2. Transmission channel of sensor node.

성된다. 주파수 합성기는 위상고정루프(phase locked loop)와 전압제어발진기(Voltage Controlled Oscillator, VCO)로 구성된다. 디지털 인터페이스는 802.15.4 물리 계층, 맥(MAC) 및 직병렬 인터페이스 모듈로 구성된다. 그림 2는 센서노드의 송신 채널로서 중심 주파수를 기준으로 2MHz 간격의 중국 주파수 대역(779~787MHz) 5개 채널과 유럽 주파수 대역(868.3MHz) 1개 채널 그리고 북미 주파수 대역(902~928MHz) 10개 채널을 나타낸다. 각 대역의 중심주파수는 다음 수식 1에 의하여 구하여진다.

$$\begin{aligned}
 F_{c, \text{중국}} &= 779+2(k-1) \text{ [MHz] for } k = 1, 2, \dots, 5 \\
 F_{c, \text{유럽}} &= 868.3 \text{ [MHz] for } k = 0 \\
 F_{c, \text{북미}} &= 906+2(k-1) \text{ [MHz] for } k = 1, 2, \dots, 10
 \end{aligned}
 \tag{1}$$

이를 만족하기 위하여 송수신부의 혼합기에 입력되는 국부 발진 신호의 동작 대역은 779~928MHz로 중심 주파수 대비 약 17.5% 이상의 광대역 특성이 요구된다. 또한 중간주파수(Intermediate Frequency, IF)에 비하여 높은 주파수로 동작하는 국부 발진기(Local Oscillator, LO) 즉, 주파수 합성기의 출력 특성은 송수신 입출력 신호의 특성에 큰 영향을 미치므로 위상잡음(phase noise)과 스퓨리어스(spurious tone) 성능이 우수해야 한다.

III. 주파수 합성기 회로 설계

일반적으로 송수신기에서는 I-Q신호 즉, 90도 위상차를 가지는 두 신호를 생성하기 위하여 사용대역 보다 2배 높은 주파수가 필요하다. 따라서 본 연구에서는 전압 제어 발진기의 발진 주파수가 사용 주파수 779~928MHz의 2배인 1558~1856MHz를 포함하도록 주파수

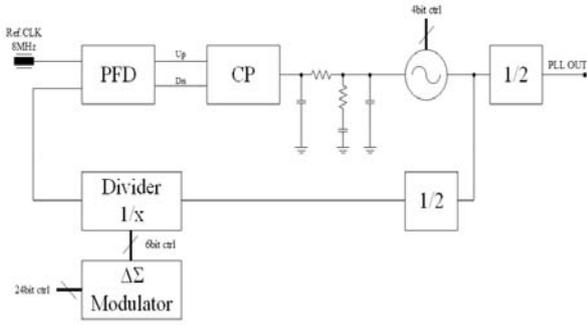


그림 3. 제안된 주파수 합성기 구조
Fig. 3. Structure of the proposed frequency synthesizer.

합성기를 설계하였다. 또한 각 채널의 출력 주파수 설정에 있어 유연성을 확보하기 위하여 소수를 생성할 수 있는 분수형-N (fractional-N) 주파수 합성기를 사용한다. 제안한 주파수 합성기는 그림 3에 나타난 것과 같이 위상 주파수 검출기(phase frequency detector), 전하 펌프(charge pump), 전압 제어 발진기, 1/2 분주기(frequency divider), 1/2 프리스케일러(prescaler), 64~127 정수형 분주기, 소수 분주를 하기 위한 델타-시그마($\Delta-\Sigma$) 모듈레이터로 구성된다. 저역통과 필터는 수동 3차 필터로 설계하였으며, 칩 제작 후 튜닝 등을 고려하여 오프-칩(off-chip)형태로 구성한다.

가. 전압 제어 발진기

무선 통신 시스템에서는 국부 발진 신호를 생성하는 주파수 합성기의 성능에 따라 송수신 신호의 품질이 결정된다. 특히 국부 발진 신호를 최종적으로 생성하는 전압 제어 발진기의 잡음과 스퓨리어스 특성이 우수하여야 국부 발진 신호의 품질이 좋아진다. 우수한 위상 잡음 특성을 얻기 위하여 본 연구에서는 그림 4와 같이 Q 특성(quality factor, Q)이 높은 LC 탱크 구조를 공진부로 적용하였으며, 1.5~1.9GHz의 사용 주파수 대역에서 전력소모 및 파형 대칭성이 우수한 NP코어 토폴로지를 선택하였다^[3~4]. 제안한 주파수 합성기는 광대역 주파수 특성을 가져야한다. 따라서 잡음 특성을 다소 희생하더라도 넓은 범위의 주파수 조정 특성을 얻기 위하여 13단계로 광대역 조정이 가능한 캡-뱅크(cap-bank)를 사용하였다. 또한 LC 탱크 발진기의 커패시터는 광대역 사용 주파수 범위 1558~1856MHz에 적합한 339~892fF의 광범위 변화 특성을 갖는 바랙터 다이오드(varactor diode)를 채택하였다. 그림 5는 설계된 전압 제어 발진기의 제어전압에 따른 주파수 변화 시뮬레이션 결과를 나타낸 것으로, 전압 제어 발진기의

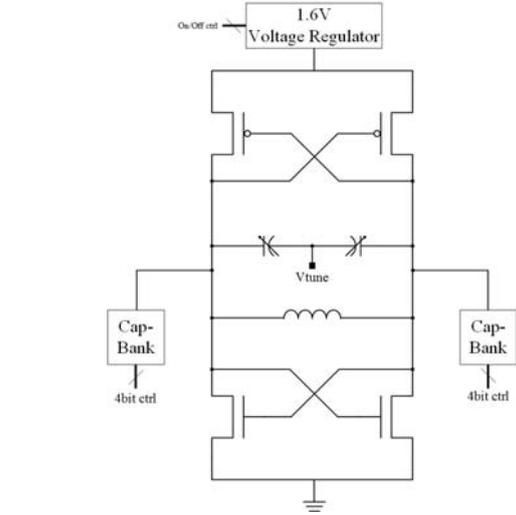


그림 4. 전압 제어 발진기 구조
Fig. 4. Structure of the designed VCO.

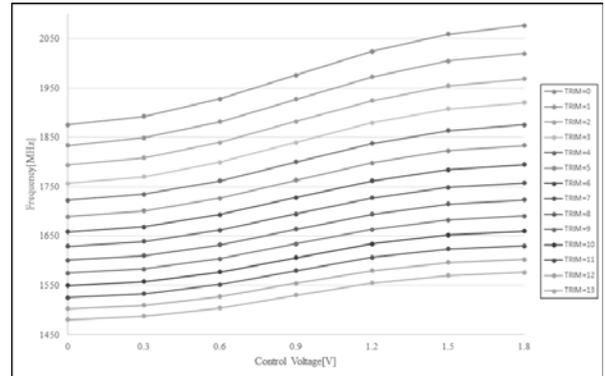


그림 5. 제어전압에 따른 전압 제어 발진기의 발진 주파수 시뮬레이션 결과
Fig. 5. Simulation result of the VCO output frequency as control voltage.

출력 주파수 범위는 1481~2077MHz(중심 주파수 대비 약 33.5%)의 매우 넓은 광대역 특성을 보였다. 이는 목표 값인 1558~1856MHz에 비해 낮은 주파수에서는 77MHz, 높은 주파수에서는 221MHz의 여유가 있다. 이러한 넓은 주파수 여유분은 칩 제작공정 오차에 의해서 발생하는 칩 특성변화에 대한 대비책이며, 높은 주파수에서 여유를 더 많이 둔 것은 제작된 칩에서 발생하는 기생성분에 의한 지연시간을 고려했기 때문이다.

한편, 광대역이면서 저잡음 특성을 동시에 얻기 위하여 VCO에는 $1/f^3$ 과 $1/f^2$ 위상 잡음을 유발하는 바이어스 회로는 사용하지 않았으며, VDD 전원의 변화에 따른 출력 특성 변화를 최소화하기 위하여 1.6V 정전압원(voltage regulator)을 사용하였다[5]. 또한 센서노드의 전체 소비전력 절감을 위하여 전압 제어 발진기의 전원을 차단할 수 있도록 제어부도 추가 하였다.

표 1. PLL 주파수 생성 계획

Table 1. Plan of PLL frequency synthesis plan.

Fpll(MHz)	Fvco(MHz)	N	Fractional	Err.(Hz)
779.0000000	1558.0000000	97	0.3750000	0
781.0000000	1562.0000000	97	0.6250000	0
783.0000000	1566.0000000	97	0.8750000	0
785.0000000	1570.0000000	98	0.1250000	0
787.0000000	1574.0000000	98	0.3750000	0
868.3000183	1736.6000366	108	0.5375023	36.6
906.0000000	1812.0000000	113	0.2500000	0
908.0000000	1816.0000000	113	0.5000000	0
910.0000000	1820.0000000	113	0.7500000	0
912.0000000	1824.0000000	114	0.0000000	0
914.0000000	1828.0000000	114	0.2500000	0
916.0000000	1832.0000000	114	0.5000000	0
918.0000000	1836.0000000	114	0.7500000	0
920.0000000	1840.0000000	115	0.0000000	0
922.0000000	1844.0000000	115	0.2500000	0
924.0000000	1848.0000000	115	0.5000000	0

나. 프리스케일러

주파수 합성기 전체 블록 중 가장 빠른 주파수로 동작하는 전압 제어 발진기의 출력 주파수를 일반 분주기가 분주하기에는 무리가 따르므로 프리스케일러가 사용되어야 하며, 매우 빠른 동작속도를 요구한다^[6]. 본 연구에서는 정적구조 대신 동적구조를 사용한 TSPC(true single phase clock) 회로를 이용하여 D-F/F을 구성 한 후 1/2 분주기를 설계하였다. 기존 정적구조의 회로에 비하여 TSPC 회로는 전하공유 현상이 적기 때문에 매우 빠른 동작속도를 보장한다. 시뮬레이션 결과 5.0GHz 이상의 주파수에서 동작하는 우수한 성능을 보였다.

다. 정수형 분주기

위상 주파수 검출기로 입력되는 기준클럭 8MHz와 정수형 분주기의 출력을 일치시키기 위하여 전압 제어 발진기 출력단 1/2 프리스케일러의 출력 주파수를 64~127의 분주비로 분주 할 수 있는 정수형 분주기를 설계하였다. 1/64~1/127분주기는 D-F/F과 논리 게이트를 이용한 1/2,3 분주기를 비동기식으로 6개 연결하여 구현하였으며, 6비트의 제어 신호를 통하여 1/64~1/127의 분주비를 얻었다.

라. 델타-시그마 모듈레이터

주파수 합성기의 분주비를 소수점 아래까지의 값으

표 2. PLL 회로의 성능 변수

Table 2. Performance parameters of the PLL circuit.

Reference frequency	8MHz
Loop bandwidth	40KHz
VCO gain	138MHz/V
N division ratio	97, 98, 108, 113, 114, 115

로 생성하고 분수형 스퓨리어스를 억제하기 위하여 24 비트 제어 신호에 의하여 동작하는 3차 MASH형 델타-시그마 모듈레이터를 RTL(Register Transfer Level)로 설계 하였다. 표 1은 분수형-N 분주기에 의한 주파수 생성계획을 나타낸 것이다.

마. 저역통과 필터

전압 제어 발진기는 입력 제어 전압에 따라 출력 주파수가 달라지므로 매우 안정화된 전압이 입력되어야 한다. 전단에 위치한 전하 펌프로부터 출력되는 전압에는 고주파 성분의 잡음이 포함되어 있으므로, 저주파 성분만 통과시키기 위하여 저항·커패시터를 사용한 저역통과 필터를 사용한다. 스퓨리어스 성분 및 잡음 감쇄비가 높은 3차 저역통과 필터를 사용하였으며, 필터 대역폭은 일반적으로 기준 주파수(8MHz)의 1/20부터 설정할 수 있으나 본 연구에서는 안정적인 응답특성 및 차단 특성 개선을 고려하여 1/200인 40KHz로 설정하였다. 또한 칩 제작 이후 기생성분에 의한 성능변화에 유연하게 대처하기 위하여 외부에서 튜닝이 가능하도록 오프-칩 형태로 설계하였다.

바. 주파수 합성기 공통 회로

위상 주파수 검출기와 전하 펌프 또한 전압 제어 발진기만큼 주파수 합성기 성능에 미치는 영향이 크므로 최적화하여 설계해야 한다. 위상 주파수 검출기는 D-F/F과 부정 논리합(NOR)회로를 이용하여 설계하였으며, 데드존(dead-zone) 현상이 발생하지 않는 구조를 채택하였다. 기준(reference) 주파수 신호는 사용 주파수가 인접 채널 간격 2MHz에 영향을 미치지 않게 하기 위하여 기본 스퓨리어스(fundamental spurious tone)가 멀리 떨어진 영역에 발생하는 8MHz로 결정하였다. 표 2는 PLL 설계에 사용된 주요 변수이다.

IV. 레이아웃 설계

제안된 주파수 합성기를 0.18 μ m 2poly-6metal CMOS

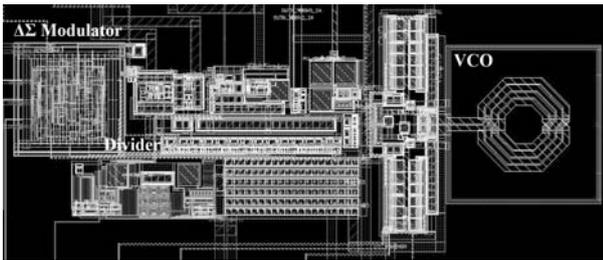


그림 6. 설계된 주파수 합성기 레이아웃
Fig. 6. Layout of the designed frequency synthesizer.

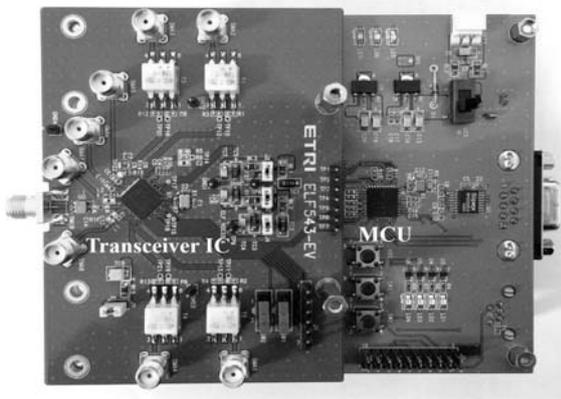


그림 7. 제작된 테스트 보드
Fig. 7. Fabricated test board.

RF 아날로그 공정을 이용하여 설계하였으며, 전체 블록의 크기는 $1.0 \times 0.4\text{mm}^2$ 이다. 설계된 주파수 합성기의 레이아웃은 그림 6에 나타난 것과 같이 왼쪽부터 RTL로 설계되어 합성된 델타-시그마 모듈레이터, 위상 주파수 검출기, 전하 펌프, 분주기, 전압 제어 발진기 그리고 바이어스 회로가 위치한다. 잡음 특성 향상과 블록 간 간섭 현상을 줄이기 위하여 주요 블록에 가드링(guard-ring)을 설치하였으며, 신호 입력단 및 출력단은 차동(differential) 구조를 사용하였다. 또한 아날로그 블록과 디지털 블록의 전원단을 분리하였으며, 전력소모에 따라 아날로그 블록 전원 또한 분리하였다^[5-6].

V. 칩 제작 및 측정 결과

제안된 주파수 합성기를 포함한 SUN 시스템용 송수신기 칩은 TSMC사의 $0.18\mu\text{m}$ 2poly-6metal CMOS RF 아날로그 공정을 이용하여 제작하였으며, 제작된 칩의 특성을 측정하기 위하여 그림 7과 같이 테스트 보드를 제작하였다. 테스트 보드는 본 연구에서 설계된 SUN 시스템용 송수신기 칩 구동부와, 송수신기 칩의 분주기 및 각종 블록을 제어하기 위한 별도의 마이크로프로세서 구동부로 구성된다.

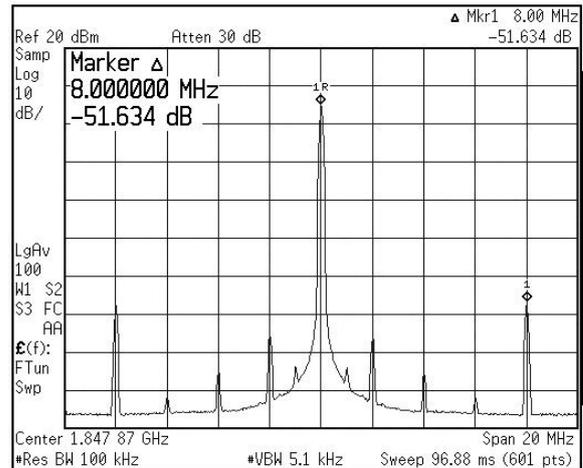


그림 8. 주파수합성기의 출력 스펙트럼
Fig. 8. Measured spectrum of the proposed frequency synthesizer.

송수신기 칩에서 별도의 출력 단자를 통해 주파수 합성기 출력 신호의 특성을 측정하였다. 주파수 합성기의 출력주파수 범위를 측정한 결과 1483~2017MHz(중심 주파수 대비 약 30.5%)로 나타났으며, 이는 설계 목표값인 1558~1856MHz에 비해 낮은 주파수에서는 75MHz, 높은 주파수에서는 161MHz의 여유가 있다. 시뮬레이션 결과에 비해 제작된 주파수 합성기의 출력 주파수 범위가 좁아진 것은 칩 제작 과정에서 발생하는 기생성분 및 제작 공정 오차 때문으로 분석된다.

그림 8은 분할비가 정수형 115 분주, 분수형 0.5분주로 설정되었을 때 주파수 합성기 출력 신호의 측정 결과를 나타내었으며, 주파수는 1848GHz, 레벨은 5dBm으로 측정되었다. 일반적으로 분수형 -N 주파수 합성기에서 발생하는 분수형 스퓨리어스들은 기준 주파수/분수 분해능, 위상 주파수 검출기 및 전하 펌프의 비선형성 등에 의해 나타나는 것으로 알려져 있으며, 해당 성분들은 대부분은 -60dBc 이하로 낮게 측정되었다. 다만 중심주파수에서 8MHz 떨어진 곳에서 발생하는 기본 스퓨리어스는 -51.634dB로 약간 높게 측정되었다. 기준 신호의 스퓨리어스 신호 레벨은 PLL 방식의 주파수 합성기에서 $20 \cdot \log(\text{정수형 분주} + \text{분수형 분주 값})$ 만큼 증가하여 출력되며, 이 실험에서는 특히 테스트 보드에 사용된 기준 클록을 만들기 위한 수정 발진기 회로의 스퓨리어스 레벨이 높기 때문에 발생한 것으로 판단된다. 테스트 보드의 회로를 보완하여 기준 신호의 레벨을 낮추면 주파수 합성기 출력의 기본 스퓨리어스 성분도 크게 낮출 수 있을 것으로 예상된다^[7].

그림 9는 송신 주파수 1848MHz에서 100Hz~1MHz

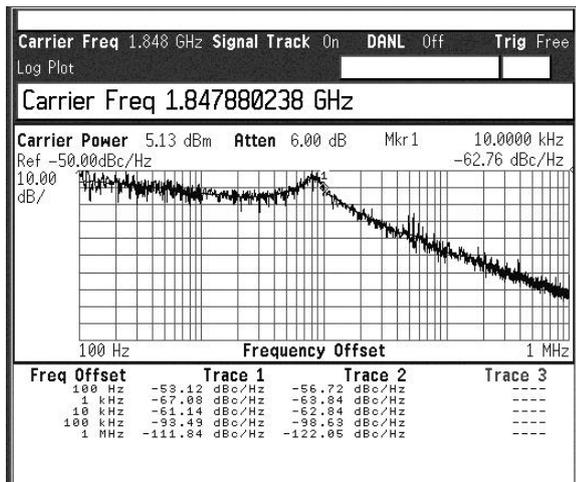


그림 9. 주파수 합성기의 위상잡음

Fig. 9. Measured phase noise of the proposed frequency synthesizer.

떨어진 오프셋 주파수에서의 위상 잡음을 측정하여 결과이다. 100KHz 오프셋에서는 -98.63dBc/Hz , 1MHz 오프셋에서는 -122.05dBc/Hz 로 측정되어 일반적으로 광대역 시스템에서 요구되는 100KHz 오프셋에서 -90dBc/Hz , 1MHz 오프셋에서 -110dBc/Hz 보다 우수한 특성을 나타냄을 알 수 있다. 이는 전압 제어 발진기를 비롯한 주파수 합성기를 구성하는 전체 회로가 최적화 설계되었기 때문에 얻어진 결과로 분석된다. 전력소모는 VCO 블록이 5mW, 주파수 합성기 전체가 14.mW 정도로 낮게 측정되었다. 상기 측정 결과를 종합해 볼 때 주파수 합성기를 비롯한 송수신기 칩 회로가 광대역 및 저잡음 특성 측면에서 잘 설계되었음을 알 수 있다.

VI. 결 론

본 연구를 통해 중국, 유럽, 북미에서 사용 가능한 IEEE802.15.4g 규격을 만족하는 송수신기용 광대역 분수형-N 주파수 합성기를 설계, 제작한 다음 측정 및 분석을 하였다. 광대역 특성을 얻기 위하여 전압 제어 발진기에 13단계로 조절 가능한 캡-뱅크를 적용하였으며, 그 결과 제작된 칩에서 1483~2017MHz의 광대역 출력 주파수 범위를 갖는 것을 확인하였다. 따라서 제작된 칩은 송수신기에서 요구하는 1558~1856MHz의 주파수 범위보다 낮은 주파수 영역은 75MHz, 높은 주파수 영역은 161MHz의 충분한 여유를 갖는 것을 알 수 있다. 송수신기의 신호 품질에 가장 큰 영향을 미치는 잡음특성 측정 결과 8MHz의 기본 스퓨리어스 성분은 -51.634dB 이었으며, 중심 주파수 1848MHz로부터

100KHz 떨어진 오프셋 주파수에서의 위상 잡음은 -98.63dBc/Hz , 1MHz 떨어진 오프셋 주파수에서의 위상 잡음은 -122.05dBc/Hz 로 상당히 양호한 위상잡음 특성을 나타내었다. 향후 테스트 보드 최적화를 통하여 기준클럭 등 칩 동작을 위한 주변회로를 좀 더 보완한다면 SUN 시스템 송수신기용 신호 품질이 우수한 주파수 합성기로써 폭 넓게 사용될 것으로 보인다.

REFERENCES

- [1] Sang-Sung Choi, Chul-Ho Shin, Mi-Gyung Oh, "Standardization report on wireless transmission technology for smart utility network," *TTA Journal*, Vol. 133, pp. 122-131, January, 2011.
- [2] Chul-Ho Shin, Mi-Gyung Oh, Sang-Sung Choi, "Standard technology report on IEEE 802.15.4g SUN," *Weekly report of NIPA*, No. 1483, pp. 1-13, February, 2011.
- [3] M. Haase, V. Subramanian, T. Zhang, A. Hamidian, "Comparison of CMOS VCO technologies," in *Proc. Conference on PRIME*, pp. 1-4, July, 2010.
- [4] B. Muer, M. Borremans, M. Steyaert, and G. Puma, "A 2GHz Low-phase-noise integrated LC-VCO set with flicker-noise upconversion minimization," *IEEE Journal of Solid State Circuits*, vol. 35, no. 7, pp. 1034-1038, July, 2000.
- [5] Ho Yong-Kang, Ne-Soo Kim, Sang-Hoon Chai, "Implementation of 1.9GHz RF Frequency Synthesizer for USN Sensor Nodes," *Journal of IEIE*, Vol. 46SD, No. 5, pp. 49-54, May, 2009.
- [6] Ho Yong-Kang, Se-Han Kim, Cheol-Sig Pyo, Sang-Hoon Chai, "Implementation of 5.0GHz Wide Band RF Frequency Synthesizer for USN Sensor Nodes," *Journal of IEIE*, Vol. 48SD, No. 4, pp. 32-38, April, 2009.
- [7] Curtis Barrett, "Fractional/Integer-N PLL Basics," *Texas Instruments Technical Brief, SWRA029*, pp. 46-47, August, 1999.

저 자 소 개



김 동 식(학생회원)
2011년 호서대학교 전자공학과
학사 졸업
2013년 현재 호서대학교 전자공학
과 석사 졸업
2014년 현재 호서대학교 전자공학
과 박사과정

<주관심분야 : RF용 PLL 회로 설계, LED 조명
시스템, 태양전지>



채 상 훈(평생회원)
1981년 경북대학교 전자공학과
학사 졸업
1983년 부산대학교 전자공학과
석사 졸업
1992년 부산대학교 전자공학과
박사 졸업

1983년 3월~1997년 8월 한국전자통신연구원 반
도체 연구단 책임연구원
1997년 9월~현재 호서대학교 전자공학과 교수
2004년 9월~2006년 8월 University of Florida
연구교수

<주관심 분야 : 광통신 및 RF용 아날로그 ASIC
설계, 전력소자 및 태양전지 연구 개발>



윤 원 상(정회원)
1997년 고려대학교 전파공학과
학사 졸업
1999년 고려대학교 통신시스템
학과 석사 졸업
2010년 고려대학교 컴퓨터전파통
신공학과 박사 졸업

1999년 3월~2015년 8월 한화탈레스(現한화시스
템) C4I연구소 수석연구원
2015년 9월~현재 호서대학교 전자공학과 조교수
<주관심분야 : RF transceivers, Reconfigurable
antenna systems, RF sensor>



강 호 용(정회원)
1989년 부산대학교 전자공학과
학사 졸업
2003년 충남대학교 정보통신공학과
석사 졸업
2016년 충남대학교 정보통신공학과
박사 졸업

1988년 12월~1993년 12월 대우통신 반도체연구소
1994년 1월~2000년 5월 대우전자 ASIC센터
2000년~현재 한국전자통신연구원 책임연구원
<주관심분야 : UGS MAC/PHY, VLSI설계, 광가
입자망 MAC/PHY>