

Disturbance Minimization by Stress Reduction During Erase Verify for NAND Flash Memory

Juwan Seo[†] · Min Choi^{††}

ABSTRACT

This paper focuses on algorithm innovation of NAND Flash Memory for enhancing cell lifetime. During flash memory read/write/erase, the voltage of a specific cell should be a valid voltage level. If not, we cannot read the data correctly. This type of interference/disturbance tends to be serious when program and erase operation will go on. This is because FN tunneling results in tunnel oxide damage due to increased trap site on repetitive high biased state. In order to resolve this problem, we make the cell degradation by reducing the amount of stress in terms of erase cell, resulting in minimizing the cell disturbance on erase verify.

Keywords : Disturbance Minimization, Erase Verify, NAND Flash Memory, Stress Reduction

반복된 삭제/쓰기 동작에서 스트레스로 인한 Disturbance를 최소화하는 플래시 메모리 블록 삭제 방법

서주완[†] · 최민^{††}

요약

본 논문은 NAND Flash Memory 수명을 향상시키기 위한 동작 algorithm 개선을 제안한다. Flash memory에 대한 read/write/erase 과정에서, 해당 cell의 Vth가 원하는 level대로 위치를 한다면 문제가 없으나, 원하는 위치대비 변동이 되어 있다면 잘못된 data를 읽어내게 된다. 이러한 cell간 interference나 disturbance 현상들은 program이나 erase 동작이 반복(EW cycle)될수록 더 심해지는 특징이 있다. 이는 반복되는 high bias 인가상태에서 벌어지는 FN tunneling 현상으로 인한 tunnel oxide 막질손상(trap site 증가)에 기인한다고 알려져 있다. 본 논문에서는 erase cell 관점에서 stress양 자체를 감소시킴으로써 cell 열화 속도를 느리게 하여, 궁극적으로 발생하는 Vth 변동사항인 disturbance를 줄일 수 있는 erase 동작방법에 대해 논한다.

키워드 : 방해 최소화, 삭제 검증, 낸드 플래시 메모리, 스트레스 감소

1. 서론

NAND FLASH 메모리 관련 연구 분야로는 cell의 집적도를 높이기 위한 process integration, 수명을 늘리기 위한 각종 공정 process 개선 및 동작 algorithm 분야, NAND device를 제어하기 위한 controller 분야 등에서 활발한 연구가 진행되고 있다. 본 논문은 이러한 연구분야 중, 수명을 늘리기 위한 동작 algorithm 개선에 관한 내용이다. NAND

FLASH 메모리는 비휘발성 메모리이며 device scaling에 따른 cell 집적화에서도 매우 유리한 장점이 있는 반면, 몇가지 단점이 분명히 존재한다.

근본적으로 '1'과 '0'의 상태를 만들어주는 동작 mechanism 자체가 floating gate나 well에 high bias(최소 ~10V 이상)를 인가하여 charge를 주입하고(program동작), 빼내고 하는(erase동작) FN tunneling 기반으로 일어나고, 이는 cell의 gate oxide(tunnel oxide) 열화를 필연적으로 수반하기 때문에 결과적으로 지우고, 쓰는 동작 횟수의 제한을 동반하고, 데이터를 보존하는 기간의 제한을 동반한다. 기본적으로 NAND flash에서 program cell(0)과 erase cell(1)을 만드는 방법은 cell gate나 well에 bias를 인가하여 floating gate의 charge potential을 조절하여 cell의 threshold voltage(Vth: 문턱전압)를 원하는 level로 변경시키는 동작이다. 이후, 원하는 level로 만들어진 상태의 cell을 특정 bias read bias를

* 이 논문은 2014년도 충북대학교 학술연구지원사업의 연구비 지원에 의하여 연구되었음(This work was supported by the research grant of Chungbuk National University in 2014).

† 비회원 : SK하이닉스반도체 책임연구원

†† 종신회원 : 충북대학교 정보통신공학부 교수
Manuscript Received : September 4, 2015
First Revision : December 31, 2015
Accepted : January 9, 2016

* Corresponding Author : Min Choi(mchoi@cbnu.ac.kr)

인가하여 data를 읽어내는(read동작) 동작을 하게 되는데, 이 과정에서 해당 cell의 Vth가 원하는 level대로 위치를 한다면 문제가 없으나, 원하는 위치대비 변동이 되어 있다면 잘못된 data를 읽어내게 된다. 따라서, 쓰기동작(program)이나 지우기(erase) 동작에서 어느 정도의 오차나 산포를 가진 하겠지만, target으로 하는 Vth에서 최대한 균일한 Vth를 만들고 유지하는 것이 매우 중요한 과정이라 할 수 있다. 그러나 현실적으로 각각의 cell Vth 상태들은 자기의 Vth를 유지하지 못하고, 여러가지 요인에 의해 변하게 된다. 어떤 요인에 의해 변하게 되는지 각각 살펴보면, program 과정에서 under program, 각 cell의 x, y 방향에서 발생하는 cell간 간섭(interference), ISPP(incremental step pulse program) step 대비 abnormal하게 증가하는 program cell, back pattern에 의한 Vth 변동 등을 가지게 되어, Vth가 원하는 level대비 틀어지게 되어 data를 읽어올 때 잘못 판별된 data를 가져오게 된다. 마이너스(-) Vth를 유지해야 되는 erase cell 관점에서는 program disturbance 현상으로 인해 cell Vth가 +방향으로 Vth가 변하게 되는 현상이 있다. 0V 이상으로 상승시, read 동작시, read level이 0V라면 fail을 유발하게 된다. 이러한 cell간 interference나 disturbance 현상들은 program이나 erase 동작이 반복(EW cycle)될수록 더 심해지는 특징이 있다. 이는 반복되는 high bias 인가상태에서 벌어지는 FN tunneling 현상으로 인한 tunnel oxide 막질손상(trap site 증가)에 기인한다고 알려져 있다. 이러한 현상들은 구조적으로 오는 피할 수 없는 문제이며, 궁극적으로는 반복적인 EW cycle 기인한 cell의 열화가 있다 하더라도 disturbance나 interference를 최소화 시키는 방법을 찾아 낸다든가, 혹은 EW cycle시 stress의 절대량 자체를 줄일수 있는 방법을 찾아내는 것이 NAND flash 수명을 향상 위한 중요한 접근 방향이다.

본 논문에서는 erase cell 관점에서 stress양 자체를 감소 시킴으로써 cell 열화 속도를 느리게 하여, 궁극적으로 발생하는 Vth 변동사항인 disturbance를 줄일 수 있는 erase 동작방법에 대해 논한다. NAND flash에서 program이나 erase 동작시 cell에 인가되는 high bias로 인하여 electron의 tunneling으로 인한 oxide 막질열화가 일어난다고 위에서 서술하였다. 또한 막질열화가 일어난 상태에서는 initial상태(fresh cell)보다 더 높은 erase bias를 인가해야만 원하는 initial상태와 동등한 cell Vth 상태를 가질 수 있다. 그 높은 bias로 말미암아 막질 열화(cell 특성열화)는 더 가속화 되는 악순환을 가지게 되므로, ISPE 동작시 erase bias 증가 속도를 늦추는 것은 수명 향상의 관점에서 매우 중요한 요소 중 하나이다. Program도 마찬가지로 FN tunneling 동작이 일어나고 high bias가 인가되어 막질 열화가 일어나는 원리는 동일하지만, 실험적으로 program 동작보다는 erase 동작시에 oxide 막질 열화가 더 크게 일어난다고 알려져 있다[9]. 따라서, 본 논문에서는 erase cell이 받는 program disturbance를 줄이기 위한 방안으로 erase bias 를 줄일 수 있는 방법을 소개하고, 실험적으로 측정을 통하여 얼마나 줄

어드는지를 확인하였다. 현재 NAND FLASH에서의 erase 동작은 기본적으로 ISPE(incremental step pulse erase) algorithm이 대표적으로 쓰이는데, 크게 erase pulse를 인가하는 동작과 실제 cell이 원하는 Vth level 까지 도달했는지 확인하는 verify 동작으로 구분된다. 여기서 erase bias 증가를 좌우하는 것은 erase verify 동작인데, erase verify 동작시 verify 동작의 pass나 fail의 여부는 회로적으로 보면 실제 verify 하고자 하는 해당 cell string에 얼마나 많은 cell current가 확보되는냐에 따라 verify pass or fail 여부를 결정하게 된다. 그래서, erase verify 동작 구간중에 기존과는 다른 erase verify scheme을 변경 적용할 경우, erase bias 증가를 막을수 있는지 이론적으로 설명하고, 이러한 방법을 실제 구현하여 기존의 방법과 비교 측정하여 봄으로써, 실제 cell에 적용시에 발생하는 문제점과 향상되는 점을 비교한다.

2. EW cycle 스트레스 감소하는 삭제 검증 방법

2.1 EW cycle 후, Vth 변화 현상

Fig. 1에서와 같이 각각의 cell들은 '0'인 상태를 만들기 위해 program 동작을 해서 양의 값을 가지는 vth를 만들고, '1'의 상태를 만들기 위해 erase 동작을 해서 음의 값을 가지는 vth 를 만들게 된다. 이후, read 동작을 통해, 해당 cell이 '1'인지 '0'인지 판별하게 된다. 좌측이 program 동작으로 bulk에서 floating gate로 전자가 주입되는 과정이며, 우측이 erase동작으로 floating gate에서 bulk로 전자가 주입되는 동작이며, 둘 다 FN-tunneling 동작으로 charge가 이동한다.

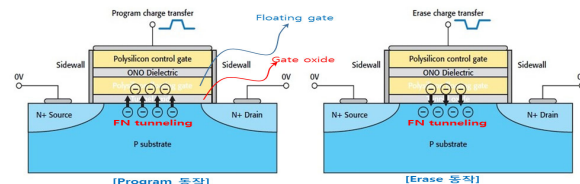


Fig. 1. Bias Condition and Charge Movement on Program/Erase of an Unit Cell Transistor

1) Program verify, erase verify

program이나, erase 상태의 cell vth를 형성한 후, 추후 read시 '1', 또는 '0'의 판별을 용이하게 하기 위해서는, 임의의 voltage level이 아닌 원하는 target level을 설정해 놓게 되는데, 이 level을 program verify level 혹은 erase verify level이라 하며, 그 지점에 도달할 때 까지 program이나 erase bias를 인가하고, verify level이 넘어가는 cell들은 inhibit 동작(Bitline에 Vcc인가하여, FN tunneling 동작 비활성화)을 하여, 더 이상 Vth 변화가 일어나지 않도록 한다.

2) EW cycle후, Vth 변화 현상

Process가 진행되고 난 뒤, 동작을 거의 하지 않은 초기 상태의 NAND flash cell이라면, 위에서 기술한대로 cell vth

를 원하는 level로 문제 없이 가져다 놓을 수 있고, 그렇게 변화된 Vth를 읽어내어 '1', '0'을 판별해 내는 것도 대체로 문제가 없다.

문제는 data를 썼다, 지웠다하는 동작을 반복하게 되면 (Program, Erase동작 반복- EW cycle) 초기 상태의 cell에 맞는 Vth를 맞추기 위한 bias로 동작을 시키게 되면 Vth 변화가 생기게 되는데, 일반적으로 program 동작시에는 cell이 더 빨리 Vth level에 도달하는 동시에 (speed가 빨라짐), Vth 산포가 열화되는 특징이 있으며, erase 동작시에는 cell이 더 늦게 Vth level에 도달하게 되는 동시에(speed가 느려짐), 역시 Vth 산포가 열화되는 특징이 있다. 그래서, 일반적으로 EW cycle후에 program 동작시에는 더 낮은 program bias가 필요하고, erase 동작시에는 더 높은 erase bias를 인가해야지만, 안정된 Vth 산포를 가지면서 원하는 verify level로 위치 시킬수 있다.

앞서 기술 한 바와 같이, program이나, erase시 bias를 높게 사용하면, ISPP나 ISPE동작시 그 만큼 빠른 시간에 원하는 cell Vth level로 만들수 있기 때문에 유리한 면이 분명히 있지만, (지우기, 쓰기 속도 향상) Gate oxide로 전자가 tunneling 하는 구조다보니, 특히 erase동작의 경우, 동작 bias가 높을수록 막질 열화가 심해지고, Vth shift 현상 및 Vth distribution 열화가 더 심해지고, 그렇게 되면 bias를 더 높게 써야 되고, 결국에는 원하는 수명 연한을 보장 할 수 없게 된다.

따라서, 수명 연한은 최대한 보장하되, program이나 erase 속도는 최대한 빨리하면서, Cell Vth distribution 열화를 최소화 하는 동작 bias를 결정하는 것이 현재까지도 매우 중요한 과제이다.

2.2 Erase 동작 전압을 고려한 Erase Verify

본 논문에서 제안하는 방법을 소개하기 앞서 NAND 플래시 메모리에서 Erase 동작시의 erase verify 동작에 관하여 살펴본다. Fig. 2에서 도시한 바와 같이, NAND 플래시 메모리에서는 erase 동작시 erase pulse를 인가한 후, erase Vth가 원하는 level이하로 제대로 도달했는지 여부를 확인하기 위해, erase verify 동작을 수행한다.

기본적으로 verify 동작은 (program verify 동일) 'read' 동작과 유사한 동작이다. Program이나 erase 동작이 끝난 후, 'read'하는 동작은 해당 cell이 최종적으로 '1' 인지 '0'인지 판단 하는게 목적이려면 erase나 program 중간 중간에 들어가는 verify 동작은 원하는 Vth까지 도달했는지 확인하는 목적의 동작이다. 따라서 erase 동작의 경우, erase pulse를 인가하는 과정상의 동작이므로, verify 동작이나 조건이 후속 erase bias를 결정 짓는데 직접적으로 영향을 줄 수 밖에 없다. Conventional erase verify의 경우, verify 동작시 음(-)의 level에 모든 cell들이 제대로 도달했는지 확인하기 위해, 모든 WL에 동일한 bias를 인가하여 cell들이 erase 되었는지 확인을 한다. (일반적인 'read' 동작시에는 read 하고자 하는 WL에만 원하는 bias(0V~5V 정도) bias를 인가하고,

나머지 WL에는 pass bias (~6V이상)를 인가하므로 erase verify 동작과는 bias 조건이 약간 다르며, 음(-)의 level의 cell Vth 상태를 판별해 낼 수 없다) Conventional erase verify의 경우, cell string 전체의 WL에 bias를 인가하다보니, cell Vth variation이 있는 경우, cell string에 흐르는 전류(current)가 작게 흐를 수 밖에 없는 동작 조건이고, erase verify가 실패할 확률이 상대적으로 높아지게 된다. 보통 All WL에 0V~1V 정도의 bias를 인가하게 되는데, erase가 충분히 다 잘되어 있는 경우라면 문제가 없겠지만, string내의 특정 한 cell이라도 variation을 가져서 erase speed가 느린 경우라면, 그 cell로 인하여 erase verify에 실패하게 되고, 결국 ISPE 동작 알고리즘상 더 상향된 bias로 다시 한번 erase 동작을 수행하게 된다.

이에 반해, alternative erase verify의 경우, WL을 하나씩 번갈아 가면서 verify하고자하는 bias와 원래 verify하고자하는 bias 전압보다 얼마간의 bias를 더 추가로 인가하여, 2회에 걸쳐 verify를 수행하는 방식이다(Fig. 2 참조).

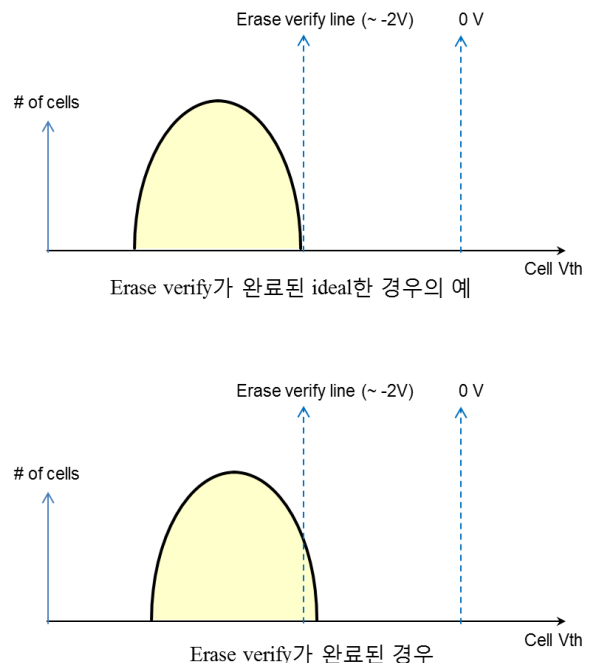


Fig. 2. Degree of Scattering Cases on Not Correctly Erase Verified and Correctly Erase Verified

이러한 방식을 사용할 경우, All WL에 동일한 bias를 한번에 인가하여 verify하는 형태보다 1회 verify시 전체 WL 중 1/2개의 WL에는 높은 bias가 인가되는 형태이기 때문에 cell current 확보가 용이해, erase verify시 cell간 variation을 어느 정도 억제 시켜줄 수가 있어 verify가 성공할 확률이 높아진다.

궁극적으로 유사한 verify동작을 하더라도, alternative erase verify의 경우 conventional erase verify의 경우보다 back pattern dependency나 cell current 감소를 최소화 할

수 있어 erase bias 상승을 억제 시킬 수 있다. 대신 verify 횟수가 2배로 증가하여 total erase time 측면에서 불리한 측면이 있으나, 실제 erase pulse를 인가하는 time 대비(~수 ms), 매우 적은 시간이라(~수 us) 무시할 만한 수준이라 판단된다. Erase verify가 확률이 높아진다는 것은 결국, 추가적인 erase bias가 필요치 않다는 얘기이므로, erase bias 증가를 막을 수 있다.

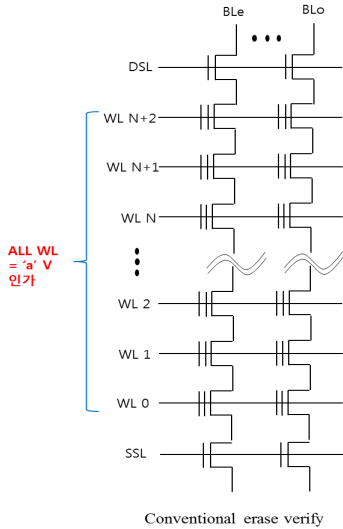


Fig. 3. Circuit for Conventional Erase Verify

Conventional verify case의 경우에는, 17V erase - E.V(Fail) - 18V erase - E.V(Fail) - 19V erase - E.V(Pass)인 반면, Alternative verify case의 경우에는 17V erase - E.V(Fail) - 18V erase - E.V(Pass) 이와 같이 erase verify시 충분한 cell current를 흘려주어 verify pass가 될 확률이 높아지므로, erase가 어느 정도 잘 되었음에도 불구하고, verify시 cell간 variation 등으로 인한 erase bias 상승은 막을 수 있을 것이다.

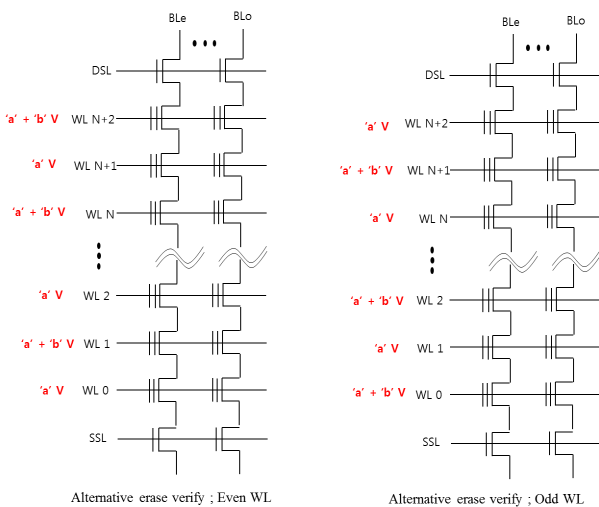


Fig. 4. Circuit for Alternative(Proposed) Erase Verify (Even and Odd Wordline)

3. 성능측정 및 평가

본 절에서는 앞서 언급한 conventional erase verify와 alternative erase verify간 개선되는 정도를 확인하기 위해 실제 측정 사례를 통해 개선이 되는지 여부를 확인하도록 한다. Erase bias 상승에 의해 cell이 열화되는 정도를 확인하기 위한 지표로 cycling Vth shift를 사용하였다. Fig. 5에서 cycling Vth shift 측정 방법은 cycling 전후로 erase 후, 1pulse program bias를 인가한 후, cell vth 분포의 peak를 측정하는 방법인데, cycling 전후로 열화되는 정도가 클수록 cell speed가 빨라지기 때문에 이 값이 클수록 cell이 열화되는 정도가 크다고 할 수 있다.

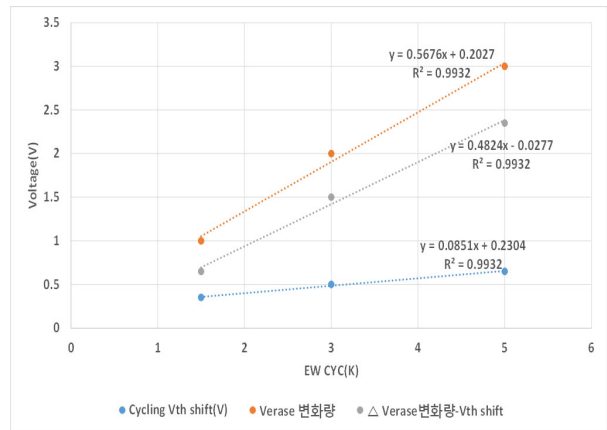


Fig. 5. Cycling Shift and The Variation of Erase Bias on Conventional Erase Verify

Fig. 6은 conventional erase verify조건하에서 cycling Vth shift 양 대비, erase bias 증가량이 과도함을 보여준다. Cell이 열화되는 정도는 크지 않지만, verify 방식으로 인해 erase bias 증가량이 과도한 측면이 있음을 보여준다.

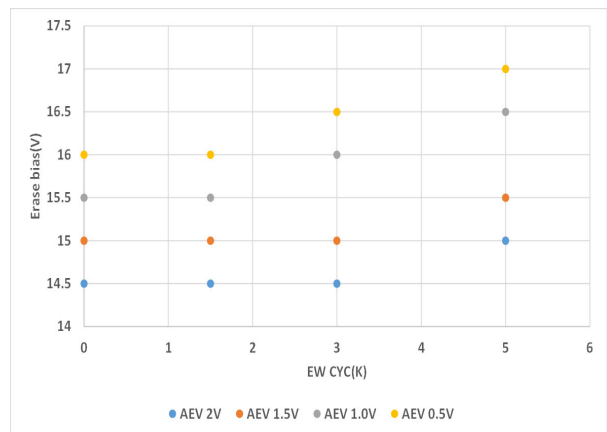


Fig. 6. The Erase Verify Passed Points Due to EW Cycle on Alternative Erase Verify (그림에서 AEV는 Alternative Erase Verify 테크닉을 의미함)

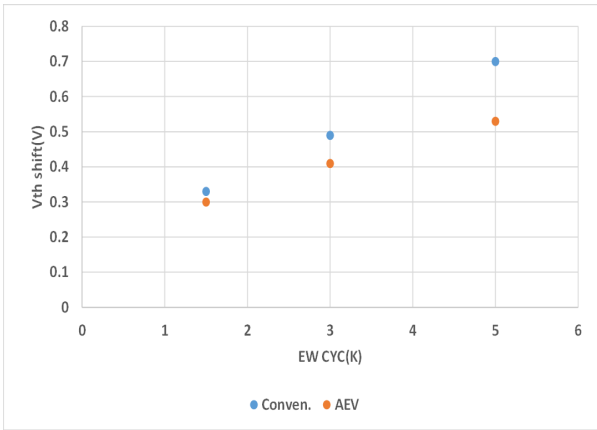


Fig. 7. Comparison of The Amount of Vth Shift Between Conventional and Alternative(Proposed) Approaches

Fig. 6의 그래프는 alternative erase verify 조건하에서 EW cycle이 진행될수록 erase verify가 pass되는 시점의 erase bias 변화를 보여준다. Conventional 방식과 달리, 5K(5000회) cycling이 진행 되더라도 bias 증가량이 0.5V~1V 정도로 (conventional ~2V) bias 증가량이 상대적으로 작다. Fig. 7의 그래프는 conventional 방식과 alternative 방식간 Vth shift량을 비교한 그래프인데, cycling 횟수가 진행될수록 Vth shift 차이는 점점 커짐을 보여준다. Conventional 방식이 alternative 방식대비 erase bias 증가속도가 빠르기 때문에 cycle이 진행될수록 cell의 열화 정도가 커진다고 볼 수 있다.

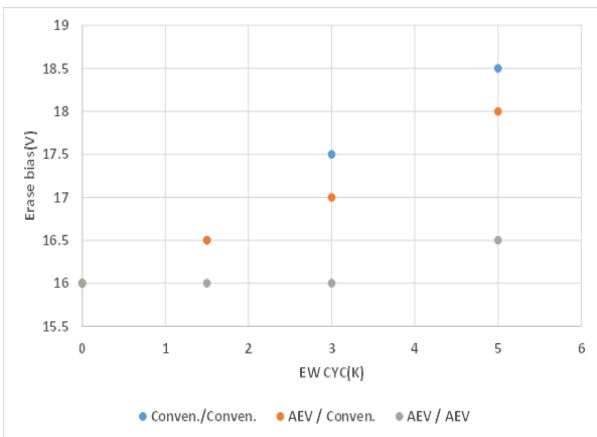


Fig. 8. Comparison of Erase Bias Differences Starting from 16V of Erase Bias Between Conventional and Alternative(Proposed) Approaches

Fig. 8의 그래프는 동일 erase bias를 16V로 시작하였을 경우, erase bias 증가량을 비교한 그래프이다. EW cycle stress를 증가하는 구간에 사용한 verify 동작과, erase bias를 확인하기 위한 data를 추출해내는 동작의 erase verify scheme을 구분하여서 본 것인데, 3K stress 이후에는 ~1.5V, 5K stress 이후에는 ~2V 정도의 erase bias 차이가

나타났다. 역으로 말하면 똑같이 erase verify를 pass시키기 위해, conventional erase verify 방식 사용시 ~2V 이상의 불필요한 erase bias가 인가되었다고 할 수 있다.

Table 1. Difference of Erase Bias due to Erase Verify Methods

Cycling stress시 verify	값 확인시 erase verify	Erase bias 변화			
		Initial	1.5K	3K	5K
Conventional	Conventional	16V	16.5V	17.5V	18.5V
Alternative	Conventional	16V	16.5V	17V	18V
Alternative	Alternative	16V	16V	16V	16.6V

결과적으로, Table 1과 같이 alternative erase verify 방식을 사용하게 될 경우, conventional erase verify 방식대비 cell current 확보 측면에서 유리하다고 평가할 수 있다. 따라서, 일부 cell들로 인한 cell Vth variation 영향을 많이 상쇄시킬 수 있으므로 erase bias 증가를 억제시킴으로 인해 NAND FLASH 수명 향상을 실현할 수 있음을 확인하였다.

4. 결 론

지금까지 언급한 바와 같이 NAND FLASH의 수명을 향상시키기 위해서 현재 다양한 방법이 강구되고 있고, 본 논문에서는 그 중 하나인 erase 동작 조건을 변경시켜서 수명 향상을 꾀하고자 하였다. 물론, NAND Flash 메모리의 수명 연장을 위해서는, process나 막질특성 개선등의 intrinsic한 개선연구도 진행이 되어야 할 것이다. 본 논문에서는 erase cell 관점에서 stress양 자체를 감소시킴으로써 cell 열화 속도를 느리게 하여, 궁극적으로 발생하는 Vth 변동사항인 disturbance를 줄일 수 있는 erase 동작방법을 소개하였다. 추후에는 동작 algorithm 개선 방법을 포함한 read시, error가 발생하더라도 software적으로 이를 수정하거나 처리할 수 있는 강력한 algorithm을 개발하고자 지속적으로 연구할 예정이다.

References

- [1] S. X. Wang and A. M. Taratorin, "Magnetic Information Storage Technology," Academic Press, 1999, ch.12.
- [2] B. Jeon and J. Jeong, "Blocking artifacts reduction in image compression with block boundary discontinuity criterion," *IEEE Trans. Circuits and Systems for Video Tech.*, Vol.8, No.3, pp.345-357, 1998.
- [3] W. G. Jeon and Y. S. Cho, "An equalization technique for OFDM and MC-CDMA in a multipath fading channels," in *Proc. of IEEE Conf. on Acoustics, Speech and Signal Processing*, pp.2529-2532, Munich, Germany, May, 1997.

- [4] Micron Technology, Inc.: Small Block vs. Large Block NAND Flash Devices, Technical Note TN2907, February 2006.
- [5] ARASE, K. Semiconductor NAND Type Flash Memory with Incremental Step Pulse Programming, Sept. 22. 1998. U.S. Patent 5,812,457.
- [6] K. Prall, "Scaling Non-Volatile Memory Below 30nm," in *Proc. of IEEE Non-Volatile Semiconductor Memory Workshop*, pp.5-10, Aug., 2007.
- [7] D. Wellekens, J. Van Houdt, L. Faraone, G. Groeseneken, and H. Maes, "Write/erase Degradation in Source Side Injection Flash EEPROM's: Characterization Techniques and Wearout Mechanisms," *IEEE Transactions on Electron Devices*, Vol.42, No.11, pp.1992-1998, 1995.
- [8] K. Takeuchi, T. Tanaka, and H. Nakamura, "A Double-level-Vth Select Gate Array Architecture for Multilevel NAND Flash Memories," *IEEE J. Solid-State Circuits*, Vol.31, No.4, pp.602-609, Apr., 1996.
- [9] S. Park, D. Shin, E. Han, "Adaptive Program Verify Scheme for Improving NAND Flash Memory Performance and Lifespan," *IEEE Solid State Circuits Conference (A-SSCC)*, 2012.



서 주 완

e-mail : juwan.seo@sk.com

2003년 광운대학교 전자재료공학과(학사)

2016년 충북대학교 정보통신공학부(석사)

2003년~현 재 SK하이닉스반도체

책임연구원

관심분야 : Non Volatile Memory, NAND Flash Memory.



최 민

e-mail : mchoi@cbnu.ac.kr

2009년 KAIST 전자전산학과 전산학전공 (박사)

2008년~2010년 삼성전자 반도체총괄책임 연구원

2010년~2011년 원광대학교 컴퓨터공학과 교수

2011년~현 재 충북대학교 전자정보대학 정보통신공학부 교수
관심분야 : Embedded system, Computer architecture, Mobile cloud