일반논문 (Regular Paper)
방송공학회논문지 제21권 제6호, 2016년 11월 (JBE Vol. 21, No. 6, November 2016)
http://dx.doi.org/10.5909/JBE.2016.21.6.944
ISSN 2287-9137 (Online) ISSN 1226-7953 (Print)

12×12 블록의 디지털 홀로그램 생성 회로의 ASIC 설계

이 윤 혁[a)], 김 동 욱[a)], 서 영 호[b)‡]

A New ASIC Design of Digital Hologram Generation Circuit for 12×12 Block

Yoon-Hyuk Lee[a)], Dong-Wook Kim[a)], and Young-Ho Seo[b)‡]

요 약

본 논문에서는 블록 기반으로 홀로그램을 생성할 수 있는 하드웨어의 구조를 제안하고, ASIC (application specific integrated circuit) 환경을 이용하여 VLSI(very large scaled integrated circuit) 회로로 구현하였다. 제안한 하드웨어는 홀로그램 평면의 블록 단위로 병렬 연산을 수행할 수 있는 구조를 가지고 있다. 한 객체 포인트에 대한 홀로그램 블록의 영향을 독립적으로 연산한 후에 모든 객체 포인트에 대한 결과를 누적하여 홀로그램을 생성하였다. 이러한 구조를 통해서 다양한 크기의 홀로그램을 하드웨어를 이용하여 생성할 수 있으면서 최소의 메모리 접근량을 사용하면서 실시간으로 동작이 가능하도록 하였다. 제안한 하드웨어는 Magna chip의 Hynix 0.18μm CMOS 라이브러리를 이용하여 구현되었고, 실수항과 복소항의 복소 홀로그램을 생성할 수 있다. 제안한 하드웨어는 최대 200MHz에서 안정적으로 동작할 수 있고, 약 876,608개의 게이트 수로 구현되었다.

Abstract

In this paper, we propose a new hardware architecture to generate computer-generated holograms based on the block based calculation method and implement a VLSI (very large scaled integrated circuit) in ASIC (application specific integrated circuit) environment. The proposed hardware has a structure that can produce a part of a hologram in the unit of a block in parallel. After calculating a block of a hologram by using an object point, the calculation is repeated to all object points and intermediate results from them are accumulated to produce a final block of a hologram. Through this structure, we can make various size of holograms with the optimized memory access in real-time operation. The proposed hardware was implemented in the Hynix 0.18um CMOS technology of Magna chip Inc. and has 876,608 gate counts. It can generate complex holograms unlike the previous researches and stably operate in the clock frequency of 200MHz.

Keyword : Phase Hologram, Computer generated Hologram, ASIC, Hardware Design, Memory

a) 광운대학교 전자재료공학과(Dept. Electronic Materials Engineering, Kwangwoon University)
b) 광운대학교 인제니움학부(Ingenium college of liberal arts, Kwangwoon University)
‡ Corresponding Author : 서영호(Young-Ho Seo)
E-mail: yhseo@kw.ac.kr
Tel: +82-2-940-8362
ORCID: http://orcid.org/0000-0003-1046-395X
※ 이 논문은 2014년도 정부(미래창조과학부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임 (NRF-2014R1A2A1A11052433).
· Manuscript received August 29, 2016; Revised October 11, 2016; Accepted October 11, 2016.

Ⅰ. 서 론

컴퓨터 생성 홀로그래피(computer-generated holography)는 간섭 패턴을 디지털 방식으로 생성하기 위한 하나의 방법이다. 최근에 "컴퓨터 생성 홀로그래피"는 갈수록 다양한 재생 방법에 적합한 홀로그래픽 광파면을 준비하는 전체 과정을 나타내는데 사용되고 있다[1][2]. CGH 연산량이 너무나 방대하기 때문에 실제로 소프트웨어로 CGH를 실시간으로 처리하는 것은 매우 어렵워서 하드웨어로 구현되어야 하며, 지금까지 CGH를 위해 하드웨어를 활용한 많은 연구가 진행되어 왔다. 이러한 연구들은 병렬프로세서 기반의 소프트웨어 방식[3~12]과 FPGA 기반의 전용 하드웨어 구현 방식[13~19]으로 나누어진다.

GPU를 이용한 방식은 전용 하드웨어 기반의 방식에 비해서 구현이 비교적 쉽고 개발기간이 짧다는 장점이 있다. 전용 하드웨어는 구현과정이 매우 복잡하고 개발기간이 오래 걸린다는 단점이 있다. 또한 한번 구현하면 구조를 변경하거나 성능을 개선하기 어렵다. 그러나 GPU 방식에 비해서 성능은 수배 가랑 높은 성능을 갖는다. 또한 GPU는 GPU를 구동하기 위한 호스트(CPU) 및 PC가 필요하기 때문에 독립적인 시스템으로 구성하기 어렵고, 다른 H/W 시스템으로의 이식이 어렵다. 반면에 전용 하드웨어는 단독 칩셋이므로 독립적인 시스템을 구성하기 용이하고 외부 인터페이스의 변경이 가능하기 때문에 다른 시스템으로의 이식성이 높다[15].

Sugie는 4개의 Xilinx FPGA (XC2VP70)를 사용하는 전용 PCB 보드를 제작하여 Fresnel Transform CGH를 구현하였다[11]. 홀로그램의 x축 해상도만큼의 단위 연산기를 병렬로 배열(1,408개)하는 구조를 가지고 166MHz의 클록 주파수에서 한 프레임의 홀로그램을 0.0679초에 생성할 수 있다. 이를 활용하여 CGH를 연산하기 위한 전용 연산 시스템인 HORN-6 특수 컴퓨터가 제안되기도 하였다[12]. Seo는 100% 파이프라인(pipeline) 구조를 기반으로 하는 CGH 프로세서를 제안하였다[13]. Fresnel 변환을 수행하기 위한 CGH Cell의 하드웨어 구조를 제안한 후에 이를 확장하여 CGH Kernel을 구성하였고, 이를 다시 확장하여 CGH 프로세서를 구현하였다. [13]의 하드웨어는 [8]보다 최대 87.32%의 높은 성능을 갖는다. Seo는 이 하드웨어의 성능을 향상하고 처리할 수 있는 홀로그램의 크기를 FHD로 증가시키는 연구를 수행하였다[14]. 그러나 이 연구에서 구현된 하드웨어는 하나의 광원에 대한 중간 홀로그램들을 각각 구하여 누적하는 방식이기 때문에 계산 후 출력을 고려했을 때 메모리 병목 현상이 발생하는 단점을 갖는다. 따라서 이러한 단점을 극복하기 위해 메모리의 접근 개수를 줄이기 위한 방식을 개발하고, 이를 위해 알고리즘을 재구성한 후에 하드웨어의 구조 및 동작 스케쥴을 제안하여 고성능의 CGH 프로세서를 구현하였다[15]. Dong은 다각형(polygon) 기반의 프라운호퍼 컴퓨터 생성 홀로그램을 위한 하드웨어 구조를 제안하고 이를 FPGA로 구현하였다[16]. 이 하드웨어는 50MHz의 주파수로 동작이 가능하고 800×600 크기의 홀로그램을 PC 대비 약 100배 빠른 속도로 연산할 수 있다. Ito는 Horn 시리즈의 확장된 버전으로 Horn-8을 제작하였다[17].

홀로그램 기술이 보편화되고, 경량화되어 다양한 서비스에 활용되기 위해서는 전용 칩셋 기반의 하드웨어로 구현되어야 한다. 그러나 아직까지 CGH를 위한 하드웨어로 ASIC(application specific integrated circuit) 기술을 활용한 연구사례는 없었다. 본 논문에서는 다양한 크기의 복소 CGH를 생성할 수 있는 ASIC 기반의 전용 칩셋을 구현하고자 한다. 본 논문은 다음과 같이 구성되어 있다. 2장에서는 CGH의 원리와 하드웨어 구현을 위한 CGH 알고리즘을 설명한다. 3장에서는 제안한 하드웨어 구조를 설명하고 4장에서는 구현결과를 보이고. 마지막으로 5장에서는 결론을 맺는다.

Ⅱ. 컴퓨터 생성 홀로그램

1. 컴퓨터 생성 홀로그램

포인트 소스(point source) 방식의 CGH에서 객체는 다수개의 자기 발광성 점들로 나누어진다. 기본적인 홀로그램은 모든 포인트 소스에 대해 계산되고, 최종 홀로그램은 모

든 기본적인 홀로그램의 중첩에 의해 합성된다.

CGH는 식 (1)과 같이 정의되는데 앞서 설명한 것과 같이 홀로그램의 위상으로부터 홀로그램의 복소진폭분포(I_α)를 얻는 방법이다. 여기서 N은 3차원 객체의 포인트(object point) 개수를 뜻한다. k는 참조파의 파수로 $2\pi/\lambda$로 정의되고 λ는 사용된 파의 파장을 나타낸다. u와 v는 홀로그램내의 위치를 뜻하고, x, y, 및 z는 각각 객체를 구성하는 3차원 위치를 나타낸다. p는 픽셀의 크기를 나타낸다.

$$I(u,v)=\sum_{n=0}^{N-1}A_n(x,y,z)e^{-j2\pi k\{\sqrt{(pu-px)^2+(pv-py)^2+z^2}\}} \quad (1)$$

식 (1)에서 제곱근은 $(u-x)$, $(v-y) \ll z$의 조건인 경우에 식 (2)와 같이 Fresnel 근사를 통해서 근사될 수 있다.

$$\sqrt{(pu-px)^2+(pv-py)^2+z^2} \cong \frac{p^2}{2z}(u-x)^2+\frac{p^2}{2z}(v-y)^2+z \quad (2)$$

식 (2)를 이용하여 식 (1)을 다시 정리하면 식 (3)과 같다.

$$I(u,v)=\sum_{n=0}^{N-1}A_n(x,y,z)e^{-j2\pi k\left\{\frac{p^2}{2z}(u-x)^2+\frac{p^2}{2z}(v-y)^2+z\right\}} \quad (3)$$

$\Delta=\frac{p^2}{2\lambda z}$를 이용하여 식 (3)을 식 (4)와 같이 정리한다. 식 (4)에서 $\theta_x=\Delta(u-x)^2$, $\theta_y=\Delta(v-y)^2$, 및 $\theta_z=\frac{z}{\lambda}$를 이용하면 식 (5)와 같다.

$$I(u,v)=\sum_{n=0}^{N-1}A(x,y,z)e^{-j2\pi\left\{\Delta(u-x)^2+\Delta(v-y)^2+\frac{z}{\lambda}\right\}} \quad (4)$$

$$I(u,v)=\sum_{n=0}^{N-1}A(x,y,z)e^{-j2\pi\{\theta_x+\theta_y+\theta_z\}} \quad (5)$$

오일러 공식을 이용하여 식 (5)는 cosine과 sine 항으로 표현할 수 있고, 이 두 항은 각각 식 (6)과 (7)의 홀로그램 실수부($RE[I(u,v)]$)와 허수부($IM[I(u,v)]$)에 해당한다. 여기서 θ_{xyz}는 $\theta_x+\theta_y+\theta_z$를 나타낸다.

$$RE[I(u,v)]=\sum_{n=0}^{N-1}A(x,y,z)\cos 2\pi\theta_{xyz} \quad (6)$$

$$IM[I(u,v)]=\sum_{n=0}^{N-1}A(x,y,z)\sin 2\pi\theta_{xyz} \quad (7)$$

2. 알고리즘 비교

본 논문에서 사용하는 CGH 알고리즘은 기존의 방식과 몇 가지 차이점을 갖는다. 이 차이점은 ASIC이라는 기술로 구현되면서 실제 각종 응용분야에서 사용되는 것을 고려하는 것에서 비롯된다.

- 기본 수식의 사용 - 이전 연구들은 recursive 알고리즘[12]과 같이 연산을 고속화하기 위해 개선된 기법을 사용했으나 본 논문에서는 고속 기법을 전혀 사용하지 않고, 수식 (1)을 그대로 사용한다. 고속의 하드웨어를 구현하기 위해서는 복잡한 제어구조를 갖는 알고리즘을 적용하는 것보다는 단순한 반복을 통해 결과를 계산하는 알고리즘이 더욱 효과적이다.
- 2차원 셀 구조 - 이전 연구에서는 1차원 셀 구조의 하드웨어를 구성하고[13-15], 이를 이용하여 2차원의 홀로그램 평면을 연산하는 방식을 사용하고 있으나, 본 논문에서는 2차원 셀 구조(블록 단위)의 하드웨어를 구성하여 2차원 홀로그램 화소를 그대로 구한다.
- 복소 홀로그램의 생성 - 이전 연구의 하드웨어들은 코사인 항만을 구하도록 되어 있으나[12-15], 본 논문의 하드웨어는 복소 홀로그램을 생성한다.

특정한 크기의 홀로그램만을 생성한다면 1차원 셀 구조가 적합할지 모르지만 임의의 크기의 홀로그램을 생성할 경우에는 2차원 셀 구조가 더욱 효율적이다. 본 논문에서는 전체 홀로그램을 단위 영역으로 나눈 후에, 단위 영역별로 완전한 홀로그램을 생성하는 방식을 사용한다. 이 방식은 기존의 방식에 비해서 객체 포인트를 더 여러 번(홀로그램 가로 크기/셀 가로 크기 * 홀로그램 세로 크기/셀 세로 크기) 호출해야하는 단점을 갖지만 임의의 크기의 홀로그램을 생성할 수 있어서 종합적으로 고려하면 성능이 향상된

다고 볼 수 있다. 특히 1차원 셀의 구조는 이미 구현되어 있는 셀의 길이보다 더 큰 2차원 홀로그램을 생성하는 것이 거의 불가능한 단점을 갖기 때문에 확장성이 매우 낮다.

3. 블록기반 연산

본 논문에서는 기본적으로 모든 광원 정보를 이용하여 홀로그램의 한 블록을 생성하는 방식을 사용한다. 다양한 CGH 방식을 그림 1에 나타냈다. 그림 1(a)는 각각의 객체 포인트에 대해 전체 홀로그램 평면에 미치는 영향을 구하는 방법이다[13]. 이 방법은 연산이 매우 간단하지만 하드웨어의 동작적인 측면에서 고려할 때 메모리 접근 횟수가 과도하여 실효성이 매우 낮다. 다음으로 그림 1(b)는 하나의 홀로그램 화소씩 연산하는 순차방식의 CGH이고, 이를 동시에 수행한다면 이전 연구에서 적용하였던 그림 1(c)와 같은 병렬화가 가능하다[14][15]. 그림 1(d)는 본 논문에서 사용하고 있는 블록단위의 병렬화에 해당한다. 블록 단위의 병렬화는 객체 포인트 단위 연산의 확장 버전으로 생각할 수도 있다. 그러나 자원의 제약을 갖는 하드웨어의 구현 측면에서 고려하면 둘은 전혀 다른 것으로 볼 수 있다. 홀로그램의 해상도가 크다는 것을 고려하면 누적되는 홀로그램 화소값들을 칩 내부에 모두 가지고 있을 수 없다. 따라서 이 방대한 데이터들은 칩의 외부메모리에 저장해야 하고, 메모리 접근 횟수가 과도해진다. 그러나 충분히 작은 크기의 블록으로 쪼개서 계산한다면 여러 화소의 영향을 누적하는 홀로그램 화소를 충분히 칩 내부에 둘 수 있어서 중간 홀로그램의 저장과 호출을 위한 외부 메모리 접근이 불필요하다. 행단위의 병렬화와 블록단위의 병렬화는 연산량이나 데이터 처리율은 거의 동일하다. 그러나 블록단위의 병렬화는 초기에 필요한 값들을 더 많이 생성해야하는 단점을 갖지만, 다양한 크기의 홀로그램을 제약 없이 생성할 수 있는 장점을 갖는다.

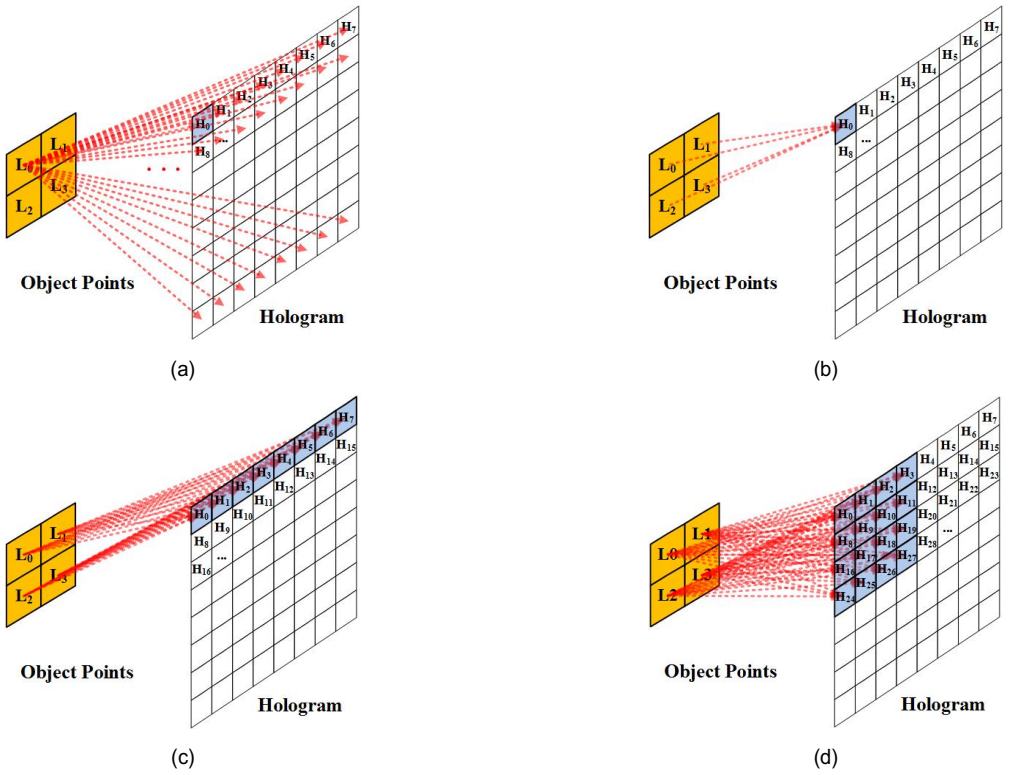

그림 1. CGH 연산 방식 (a) 객체포인트-순차방식 (b) 홀로그램화소-순차방식 (c) 행(혹은 열)단위 병렬방식 (d) 블록단위 병렬 방식
Fig. 1. Arithmetic method of CGH (a) object point-sequential (b) hologram pixel-sequential, (c) column(or row) parallel, (d) block parallel method

4. 제안하는 연산 방식

앞 절에서 CGH를 위한 모델인 식 (1)을 식 (6)과 (7)로 재정리하였다. 이는 구현하고자 하는 하드웨어의 동작 방식과 큰 연관성을 갖는다. 본 논문에서 제안하는 하드웨어는 전체적으로 표 1과 같은 동작 순서를 따른다. 표 1에서 HIC는 수평방향 지수 연산기(horizontal index calculator)를 의미하고 VIC는 수직방향 지수 연산기(vertical index calculator)를 나타낸다. PC는 홀로그램 화소 연산기(pixel calculator)를 나타낸다. 표의 첫 번째 행의 순서대로 동작하고 객체 포인트가 입력되면 블록 내의 모든 홀로그램 화소를 위한 1에서 7번의 과정을 수행하고, 모든 객체 포인트에 대한 누적연산을 위해 블록 내의 모든 홀로그램 화소에 대해 8번 과정은 반복된다.

표 1. 동작 순서
Table 1. Operational sequence

Order	Circuit	Operation
1	HIC	$u-x$
	VIC	$v-y$
2	HIC	$(u-x)^2$
	VIC	$(v-y)^2$
3	HIC	$\Delta(u-x)^2\ (=\theta_x)$
	VIC	$\Delta(v-y)^2\ (=\theta_y)$
4	HIC	$\theta_x+\theta_z$
5	PC	$\theta_x+\theta_z+\theta_y\ (=\theta_{xyz})$
6	PC	$\cos 2\pi\theta_{xyz}$
		$\sin 2\pi\theta_{xyz}$
7	PC	$A(x,y,z)\cos 2\pi\theta_{xyz}$
		$A(x,y,z)\sin 2\pi\theta_{xyz}$
8	PC	$\sum A(x,y,z)\cos 2\pi\theta_{xyz}$
		$\sum A(x,y,z)\sin 2\pi\theta_{xyz}$

Ⅲ. 제안한 하드웨어 구조

1. CGH 하드웨어

본 장에서는 2장에서 CGH 수식을 바탕으로 12×12 크기의 홀로그램 블록을 연산할 수 있는 새로운 하드웨어 구조를 제안한다. 제안한 하드웨어의 구조는 그림 2에 나타내었다. 하드웨어는 HIC, VIC, PC, 및 기타 회로로 구성된다. HIC는 θ_x를 구한 후에 그 결과를 θ_z와 더하여 $\theta_x+\theta_z(=\theta_{xz})$를 계산한다. 이와 유사하게 VIC는 θ_y를 구한다. PC는 θ_{xz}, θ_y, 그리고 $A(x,y,z)$를 이용하여 식 (6)과 (7)의 홀로그램 실수부($RE[I(u,v)]$)와 허수부($IM[I(u,v)]$)를 생성한다. 그림 2에서 "Last" 신호는 마지막 객체 포인트의 위치를 알려주기 위한 것이고, "REQ" 신호는 출력을 위해 이용된다. 그림 2에서 숫자는 16진수로 표현되었고, B는 0x11을 의미한다. HIC는 θ_{xz_0}에서 θ_{xz_B}까지 12개 수평방향의 지수를 출력하고, VIC는 θ_{y_0}에서 θ_{y_B}까지 12개 수직방향의 지수를 출력한다. 이를 이용하여 64개의 PC는 $I(0,0)$에서 $I(B,B)$까지 144개의 복소 홀로그램을 출력한다. PC로부터 출력된 복소 홀로그램 화소값들은 쉬프트 레지스터(Parallel Load Shift Register)에 저장된 후에 순차적으로 출력(SLM_A)된다.

앞서 표 1에 CGH 알고리즘을 연산하는 순서에 대해서 정리하였는데 이를 타이밍도로 나타내면 그림 3과 같고, 이는 뒤에 보여줄 시뮬레이션 결과와 동일하다. 12×12 크기의 블록 단위로 홀로그램 화소를 연산하고 있기 때문에 홀로그램 블록의 기준 위치를 나타내는 "SLM index(u,v)"는 가로 및 세로 방향으로 12 단위만큼 증가한다. 그림 3에는 (0, 0)에서 (0, 12)로 위치가 증가하여 입력되는 것을 확인할 수 있다. 블록의 기준 위치 정보와 함께 객체 포인트에 대한 정보들(Object Information x, y, z, $A(x,y,z)$)이 입력되고, 마지막에 "Last" 신호가 입력되어 객체 포인트의 입력이 완료된다는 것을 알려준다. 전체 하드웨어는 파이프라인화되어 있고, 데이터가 입력되자마자 연산이 시작되기 때문에 마지막 객체 포인트의 정보가 입력되면 연산이

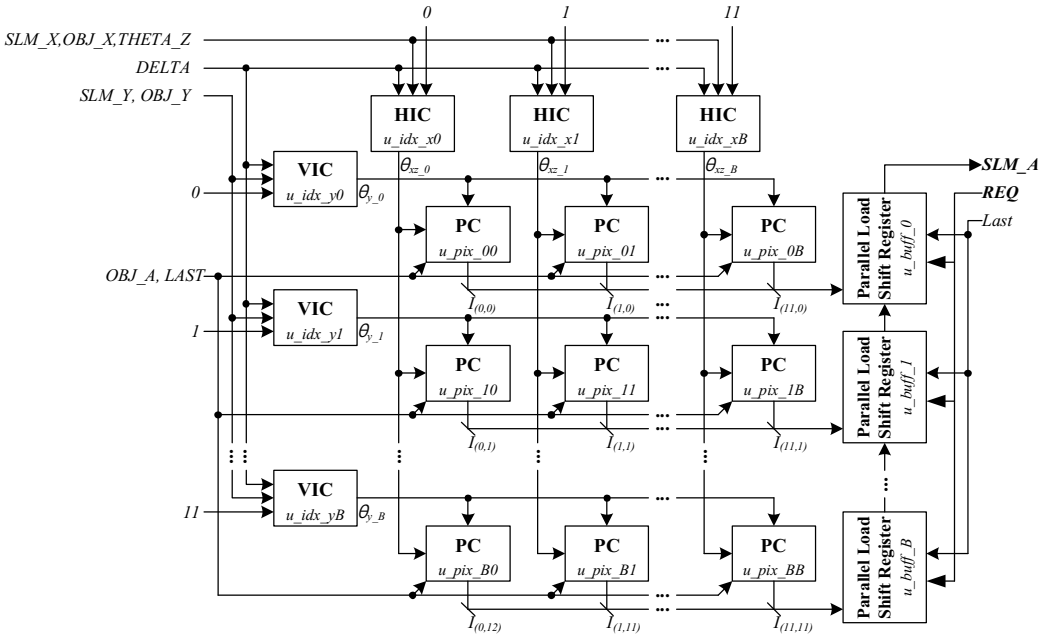

그림 2. CGH 칩셋의 구조
Fig. 2. Architecture of the CGH chipset

완료되고, 결과들이 곧바로 쉬프트 레지스터에 적재되어홀로그램 화소을 출력할 준비가 완료된다. “Request” 신호가 입력되면 2 클록의 출력 지연시간 이후에 144개의 복소 홀로그램 화소값이 출력된다. 그와 동시에 끊임없이 다음 블록에 대한 입력과 연산은 수행된다.

2. 수평 지수 연산기

12×12 블록 크기의 CGH 칩셋의 구조는 12개의 수평 지수 연산기(horizontal index calculator, HIC)가 필요하다. 12개의 HIC는 12개의 수직 지수 연산시(vertical index calcu

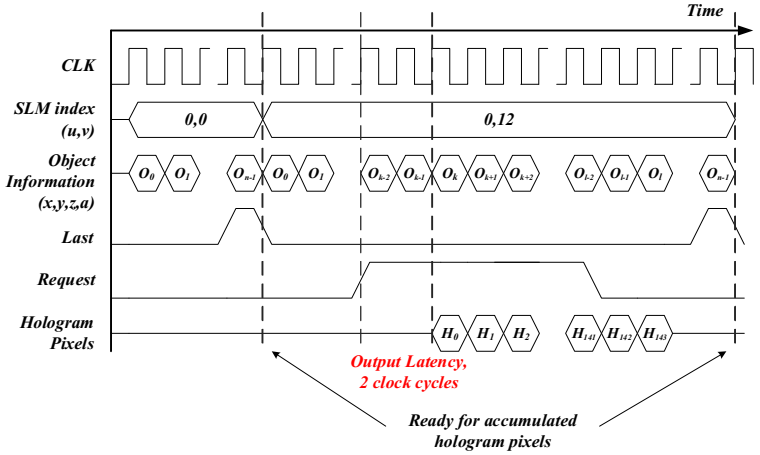

그림 3. CGH 칩셋의 동작순서
Fig. 3. Operational sequence of the CGH chipset

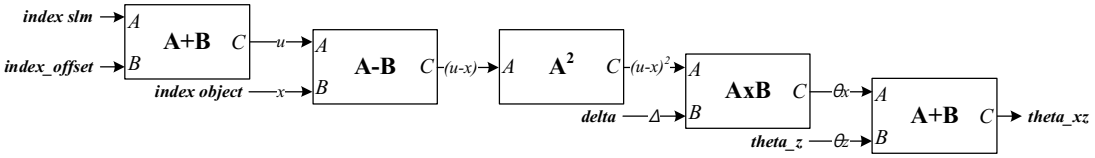

그림 4. 수평 지수 연산기의 블록도
Fig. 4. Block diagram of HIC

lator, VIC)와 함께 144개의 좌표를 위한 지수 값들을 생성한다. 그림 4에 HIC의 하드웨어 블록도를 나타냈다. 표 1에서 1에서 4의 과정을 연산한 후에 최종적으로 θ_{xz}를 출력한다. 그림 2에서 볼 수 있듯이 θ_{xz}(theta_xz)는 블록의 가로 길이와 같이 θ_{xz_0}에서 θ_{xz_B}까지의 값들로 구성된다. 그림 4에서 "index_offset" 신호는 전체 홀로그램의 해상도에서 임의의 위치를 연산할 수 있도록 좌표값을 설정할 수 있도록 한다. 그림 4에서 "index_slm"은 홀로그램의 좌표 정보를 의미한다.

그림 5와 6은 그림 4의 덧셈기(A+B)와 뺄셈기(A-B)의 구조를 나타낸다. 내부적으로 사용되는 하드 와이어들의 비트수들은 최적화된 형태로 구현되었기 때문에 이들의 비트수는 제각각 다르다. 따라서 이들을 위한 전용 연산기들이 모두 구현되어야 한다. 그림 5는 16비트(index_slm)와 8비트(index_offset)을 더하기 위한 덧셈기로써 하위 8비트만 덧셈 연산을 수행하고 거기에서 발생된 캐리로 상위 8비트의 값을 1 증가하는 방법을 사용하여 구현하였다. 그림 6의 뺄셈기는 2의 보수를 이용한 일반적인 뺄셈기의 형태를 따라 구현하였다.

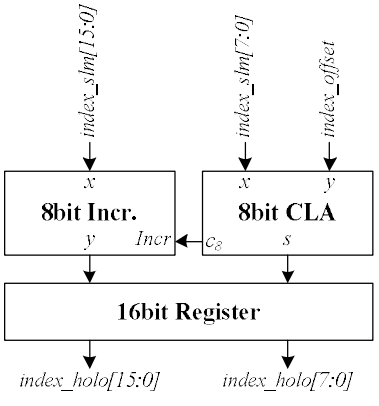

그림 5. 16비트+8비트 덧셈기
Fig. 5. 16bis+8bits adder

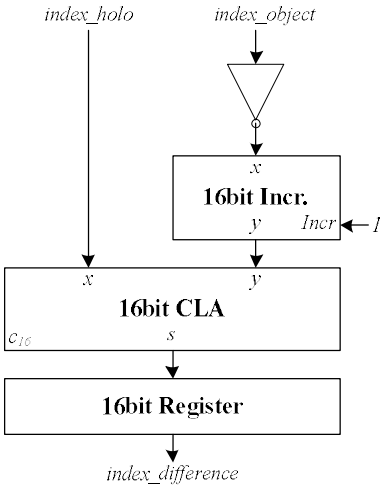

그림 6. 16비트-16비트 뺄셈기
Fig. 6. 16bits-16bits subtractor

그림 7 및 8에는 응용된 곱셈기 회로들을 나타냈다. 그림 7은 그림 4에서 16비트의 제곱 연산(A2)을 위한 회로이다. 16비트 제곱 연산을 위해 CSA(carry save adder) 트리를 이용하여 부분곱을 줄였고, 32비트 CLA(carry look-ahead adder)를 32비트의 최종 결과를 계산하였다. 이 중에서 상위 30비트만을 최종 결과로 사용한다. 그림 8은 그림 4에서 곱셈연산(A×B)을 위한 회로이다. 이전 제곱 연산기의 결과가 30비트이고 "delta"신호가 16비트이기 때문에 이들 크기를 위한 곱셈기가 필요하다. 본 곱셈기는 radix-2 부스 알고리즘을 사용하였고, CSA 트리를 이용하여 부분곱을 축소한 후에 최종 덧셈기(32비트 CLA)로 덧셈 연산을 수행한다. 30비트와 16비트의 곱은 46비트인데 이 중에서 유효한 값을 갖는 30비트만을 사용한다. 본 곱셈기는 3개의 파이프라인 단계를 갖는 가장 일반적인 구조로 구성되어있다.

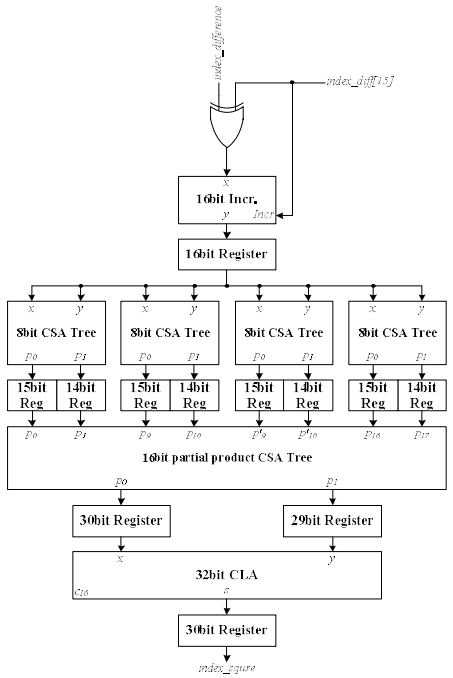

그림 7. 16비트 제곱 연산기
Fig. 7. 16bits square arithmetic

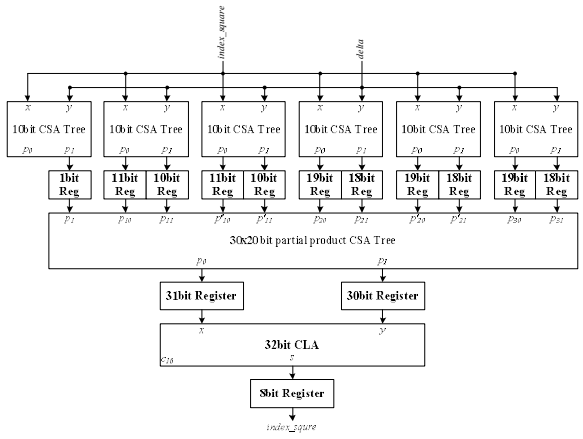

그림 8. 30비트×18비트 곱셈기
Fig. 8. 30bits×18bits multiplier

3. 수직 지수 연산기

구현하고자 하는 하드웨어는 블록 형태로 홀로그램을 동시에 생성하고 있기 때문에 수평방향 뿐만 아니라 수직방향에 대해서도 홀로그램을 위한 지수들의 연산이 필요하다. 그림 6에 수직 지수 연산기의 블록도를 나타냈다. 이 회로의 구조는 마지막에 θ_z를 구하는 회로를 제외하고는 수평 지수 연산기의 구조와 동일하다.

4. 홀로그램 화소 연산기

하나의 객체 포인트에 대한 수평 및 수직방향의 지수들을 이용하여 한 블록에 대한 각 홀로그램 화소를 구할 수 있고, 모든 객체 포인트에 대한 결과를 누적하여 더하면 최종 홀로그램 화소를 구할 수 있다. 이러한 연산을 수행하는 모듈을 홀로그램 화소 연산기(hologram pixel calculator, HPC)라 정의한다. 그림 10에 HIC의 구조를 나타냈다. 입력된 “theta xz” θ_{xz}와 “theta y” θ_y를 더하여 $\theta_{xyz}(=\theta_h)$를 구하고, 코사인과 사인 함수는 룩업 테이블(look-up table, LUT)를 이용한다. LUT의 결과를 객체 포인트의 크기(pixel a, $A(x, y, z)$)와 곱하면 하나의 객체 포인트에 대한 홀로그램을 구할 수 있고, 이를 모든 객체 포인트로 확장하기 위해 누적 덧셈을 수행한다. 이 과정을 거치면 최종적으로 복소 홀로그램의 실수항(real holo)와 허수항(imaginary holo)을 얻는다.

PC 회로에 사용된 덧셈기(A+B), LUT(cos(t)/-sin(t)), 및 곱셈기(A×B)등은 앞서 소개된 회로와 유사한 형태의 회로들을 사용한다. LUT의 경우는 일반적인 ROM의 형태를 갖는다. 그림 11에는 PC에 사용된 누적기(∑A)의 구조를 나타냈다. 누적되는 값은 32비트이고, 이 중에서 하위 16비트

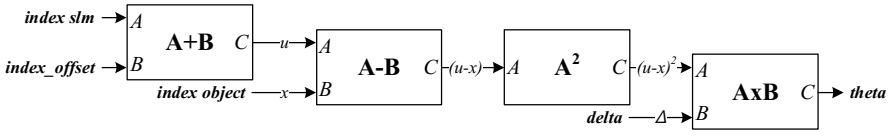

그림 9. 수직 지수 연산기의 블록도
Fig. 9. Block diagram of VIC

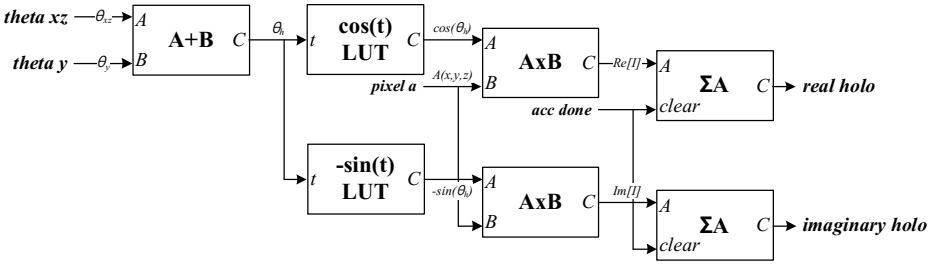

그림 10. 홀로그램 화소 연산기의 블록도
Fig. 10. Block diagram of PC

를 새로 입력되는 데이터와 덧셈 연산을 수행한다. 덧셈 연산에서 발생한 캐리를 이용하여 상위 16비트를 업데이트한다.

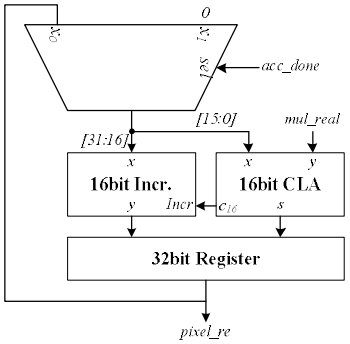

그림 11. 32비트+16비트 누적기
Fig. 11. 32bits+16bits accumulator

Ⅳ. 실험 결과

1. 하드웨어 구현

제안한 하드웨어는 Magna Chip의 Hynix 0.18μm CMOS 공정을 이용하여 구현하였다. 제안한 하드웨어는 완전한 하나의 홀로그램을 생성하기 위한 요소 부품으로써 다수 개로 병렬시스템을 구성할 경우에 객체 포인트가 약 10K인 경우에 대하여 1,920×1,080(HD)급의 홀로그램을 실시간으로 생성할 수 있다. 설계한 회로를 게이트 수준으로 합성하기 위하여 Synopsys사의 디자인 컴파일러(Design CompilerTM)를 이용하였고, 프라임 타임(Prime TimeTM)을 이용하여 설계한 하드웨어의 정적인 타이밍에 대한 분석을 수행하였다. 아스트로(AstroTM)를 통하여 PnR(place and route)과정을 수행한 후에 하드웨어의 레이아웃을 결정하였다. 표 2에 CGH 칩셋의 구현 결과를 정리하였다. 구현된 칩셋은 최대 200MHz로 동작할 수 있다. 표 3에는 설계한 회로의 게이트수를 나타냈다.

표 2. CGH 칩셋 구현 결과
Table 2. Implementation result of CGH Chipset

Item	Specification
Technology	Magna Chip/Hynix Process 0.18 ㎛
Layout Type	Standard cell-based
Gate Count	876,608
Frequency	200MHz

표 3. 하드웨어 자원
Table 3. Hardware resource

Item	Gate	Number	Total Gate
HIC	10,734	12	128,808
VIC	10,652	12	127,824
PC	3,497	144	503,568
Controller	4,106	1	4,106
Logics	112,302	1	112,302
CGH Chipset			876,608

표 4에는 CGH 칩셋의 성능을 나타내었다. 구현한 CGH 칩셋은 200MHz에서도 동작이 가능하다. 먼저 기존의 연구들은 FPGA를 대상으로 하지만 본 논문은 ASIC을 대상으로 하는 차이점을 갖는다. 따라서 이들 연구 사이에 하드웨

표 4. 성능 분석
Table 4. Performance analysis

Item	[15]	Proposed	
Technology	FPGA	ASIC	ASIC
Hologram Size	1,920×1,080		
CGH Type	Real	Complex	Complex
Object Points	10,000	10,000	10,000
Frequency [MHz]	166	200	200
Memory Access/CGH	0.129×108	1.461×108	0.129×108
Memory Access/Second	1.977×107	2.029×107	2.404×107
Parallel Unit Cells	1,920	144	1,920
CGH Time [sec]	0.065	0.720	0.054

어 자원을 비교하는 것은 어렵다. 생성하는 홀로그램의 크기 및 객체 포인트의 개수는 동일하게 풀 HD 및 10K인 경우로 나타내었다. 구현된 하드웨어는 0.72초당 1장의 CGH를 만들어낼 수 있고, 이때 2.029×107의 메모리 접근 횟수를 갖는다. [15]와 성능을 비교할 경우에 CGH를 생성하는 시간은 약 13배가 더 걸리는 것인데, 이는 셀의 개수가 13배만큼 더 작기 때문이다. 표 4의 마지막 열에 나타낸 것과 같이 만일 동일한 개수만큼의 셀을 갖는다면 0.054초에 한 장의 CGH를 생성할 수 있고, 이는 [15]보다 15% 향상된 결과에 해당한다. 그러나 블록마다 객체 포인트를 불러오는 동작 때문에 초당 메모리 접근 회수는 2.404×107로 FPGA 기반의 회로보다 더 많다. 본 회로는 12×12 크기의 블록을 위한 요소 부품에 해당하는 것으로써 본 회로가 SoC의 IP로 사용되어 다수 개 내장되거나 보드 상에서 다수 개의 칩으로 장착된다면 사용된 회로의 개수에 비례하여 성능을 향상시킬 수 있어서 다양한 크기의 홀로그램을 다양한 성능으로 생성할 수 있다.

2. 시뮬레이션

Cadence사의 NC Verilog와 NC Sim을 통해 합성된 회로 및 레이아웃 결과 회로에 대해 시뮬레이션을 수행하였다. 그림 13에서 SLM_X와 SLM_Y는 SLM 인덱스이고 OBJ_X/Y/Z/A는 객체 포인트에 대한 정보이다. 그림 13의 상단부는 한 블록을 연산하기 위해 데이터가 입력되는 것을 나타내고, 하단 부는 그 입력으로부터 복소 홀로그램의 실수항(SLM_R)과 허수항(SLM_I)가 출력되는 것을 보여준다.

그림 14는 CGH 칩셋의 세부적인 시뮬레이션 결과를 나타낸다. 그림 14(a)의 수평 지수 연산 결과와 그림 14(b)의 수직 지수 연산 결과는 그림 14(c)의 홀로그램 화소 연산기

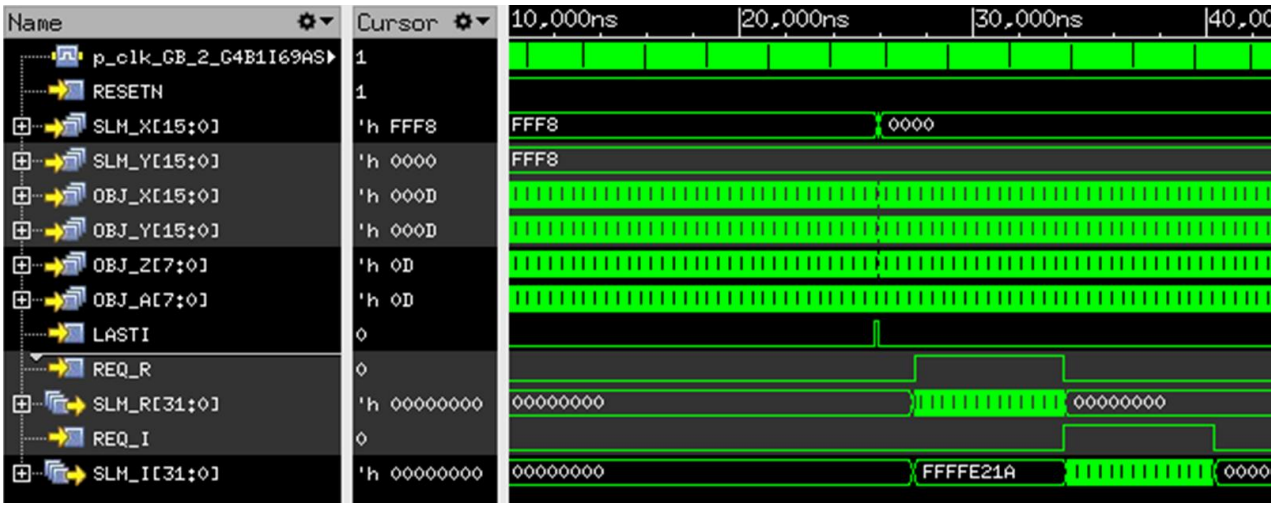

그림 13. CGH 칩셋의 시뮬레이션 결과 (a) 데이터 입력, (b) 복소 홀로그램 출력
Fig. 13. Simulation result of CGH chipset (a) input data, (b) complex hologram output

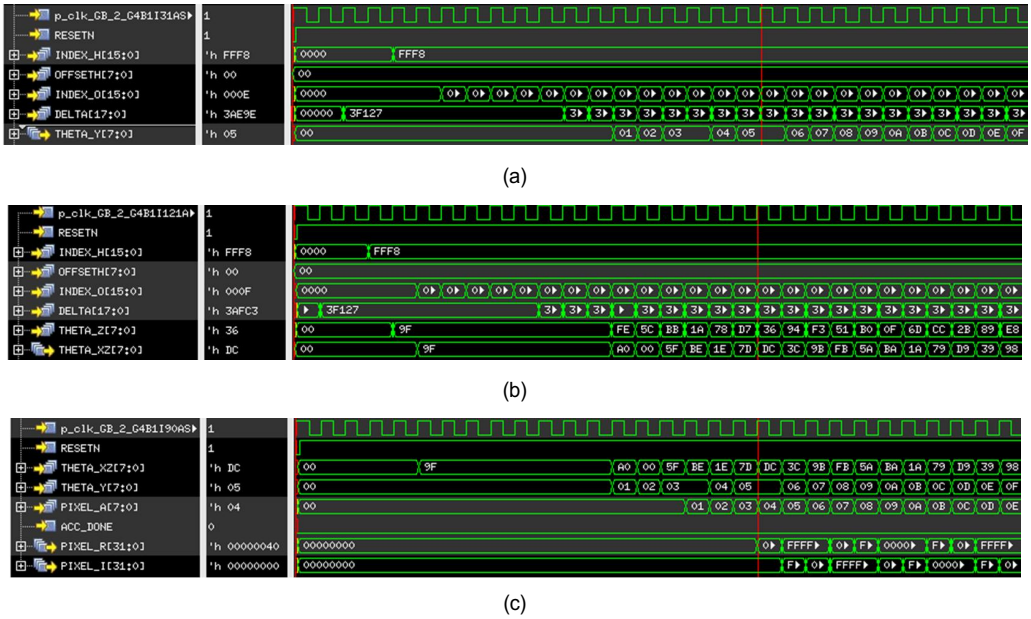

그림 14. CGH 칩셋의 시뮬레이션 결과 (a) 수평 지수 연산기, (b) 수직 지수 연산기, (c) 홀로그램 화소 연산기

Fig. 14. Simulation result of CGH chipset HIC, VIC, PC (a) horizontal index calculator (HIC), (b) vertical index calculator (VIC), (c) hologram pixel calculator (PC)

에 입력되어 복소 홀로그램의 실수항(PIXEL_R)와 허수항(PIXEL_I)을 생성한다.

그림 15에는 시뮬레이션을 통해 얻어진 결과를 영상으로 나타내었다. 그림 15(a)는 객체 영상이고, 그림 15(b)는 1024x1024 크기의 홀로그램을 완전히 만든 이후에 복원한 결과 영상이다. 그림 15(c)는 12x12 크기의 실수 영상이고, 그림 15(d)는 12x12 크기의 허수 영상이다.

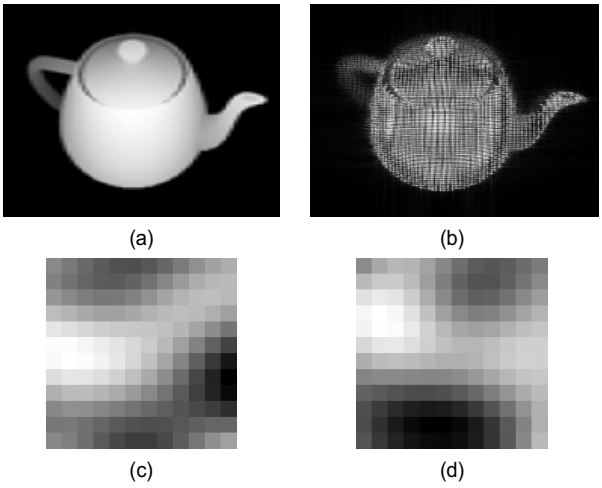

그림 15. 실험 영상 결과 (a) 객체 영상, (d) 복원된 영상, (b) CGH 실수영상, (c) CGH 허수 영상.

Fig. 15. Experimental image result (a) object, (b) reconstructed image, (c) real part of CGH, (d) imaginary part of CGH

V. 결 론

제안한 하드웨어는 홀로그램 평면의 블록 단위로 병렬 연산을 수행할 수 있는 구조를 가지고 있다. 한 객체 포인트에 대한 홀로그램 블록의 영향을 독립적으로 연산한 후에 모든 객체 포인트에 대한 결과를 누적하여 홀로그램을 생성하였다. 이러한 구조를 통해서 다양한 크기의 홀로그램을 하드웨어를 이용하여 생성할 수 있으면서 최소의 메모리 접근량을 사용하면서 실시간으로 동작이 가능하도록 하였다. 제안한 하드웨어는 Magna chip의 Hynix 0.18μm CMOS 라이브러리를 이용하여 구현되었고, 실수항과 복소항의 복소 홀로그램을 생성할 수 있다. 제안한 하드웨어는 200MHz에서 안정적으로 동작할 수 있고, 876,608개의 게이트 수를 가지면서 구현되었다.

참 고 문 헌 (References)

[1] Y.-H. Lee, Y.-H. Seo, and D.-W. Kim, "System Architecture for Digital Hologram Video Service," Journal of Broadcast Engineering, Vol. 19, No. 5, pp. 590-605, Sept. 2014.

[2] H.-J. Choi, Y.-H. Seo, J.-S. You and D.-W. Kim, "Technical Trend of High-speed Digital Holomgram Generation,". Broadcasting and Media Magazine, Vol. 16, No. 2, pp. 109-117, Dec. 2011.

[3] Y. Pan, X. Xu, S. Solanki, X. Liang, R. Bin, A. Tanjung, C. Tan, and T.-C. Chong, "Fast CGH computation using S-LUT on GPU", Optics Express, vol. 17, No. 21, pp. 18543-18555, Oct. 2009.

[4] Y.-Z. Liu, J.-W. Dong, Y.-Y. Pu, B.-C. Chen, H.-X. He, and H.-Z. Wang, "High-speed full analytical holographic computations for true-life scenes", Optics Express, vol. 18, No. 4, pp. 3345-3351, Feb. 2010.

[5] T. Shimobaba, T. Ito, N, Masuda, Y, Ichihashi, and N. Takada, "Fast calculation of computer-generated-hologram on AMD HD5000 series GPU and OpenCL", Optics Express, vol. 18, no. 10, pp. 9955-9960, May. 2010.

[6] J.-S. Song, J.-S. Park, H.-H. Park, and J.-I. Park, "Real-time generation of high-definition resolution digital holograms by using multiple graphic processing units," Optical Engineering, Vol.52, No.1, Jan. 2013.

[7] A. Sugiyama, N. Masuda, M. Oikawa, N. Okada, T. Kakue, T. Shimobaba, and T. Ito, "Acceleration of computer-generated hologram by Greatly Reduced Array of Processor Element with Data Reduction," Optical Engineering, Vol. 53, No. 11, Nov. 2014.

[8] K.Murono, T. Shimobaba, A. Sugiyama, N. Takada, T. Kakue, M. Oikawa, and T. Ito, "Fast computation of computer-generated hologram using Xeon Phi coprocessor," Computer Physics Communications, Vol. 185, No. 10, pp. 2742-2757, Oct. 2014.

[9] Y.-H. Seo, Y.-H. Lee, J.-S. Yoo, D.-W. Kim, "High-performance Computer-generated Hologram by Optimized Implementation of parallel GPGPUs," Journal of the Optical Society of Korea, Vol. 18, No. 6, 2014.

[10] Yingxi Zhang, Juan Liu, Xin Li, and Yongtian Wang, "Fast processing method to generate gigabyte computer generated holography for three-dimensional dynamic holographic display," Chinese Optics Letters, Vol.14, No. 3, pp. 030901, Mar. 2016.

[11] T. Ito, N. Masuda, K. Yoshimura, A. Shiraki, T. Shimobaba, and T. Sugie, "Special-Purpose computer HORN-5 for a real-time electroholography," Optics Express, Vol. 13, No. 6, March 2005.

[12] Y. Ichihashi, H. Nakayama, T. Ito, N, Masuda, T. Shimobaba, A, Shiraki, and T. Sugie, "HORN-6 special-purpose clustered computing system for electroholography", Optics Express, vol. 17, no. 16, pp. 13895-13903, Aug, 2009

[13] Y.-H. Seo, H.-J. Choi, J.-S. Yoo, and D.-W. Kim, "An architecture of a high-speed digital hologram generator based on FPGA", Journal of Systems Architecture, Vol. 56. pp. 27-37, Dec. 2009.

[14] Y.-H. Seo, H.-J. Choi, J.-S. Yoo, and D.-W. Kim, "A New Parallelizing Algorithm and Cell-based Hardware Architecture for High-speed Generation of Digital Hologram", Journal of Systems Architecture, Vol. 16. pp. 54-63, Jan. 2011.

[15] Z.-Y. Pang, Z.-X. Xu, Y. Xiong, B. Chen, H.-M. Dai, S.-J. Jiang, and J.-W. Dong, "Hardware architecture for full analytical Fraunhofer computer-generated holograms," Optical Engineering, Vol. 54, No. 9, Sep. 2015.

[16] Y. Kimura, R. Kawaguchi, T. Sugie, T. Kakue, T. Shimobaba, and T. Ito, "Circuit design of special-purpose computer for holography HORN-8 using eight virtex-5 FPGAs," in Proceedings of 3D Systems and Applicatons, S3 - 2,2015.

저 자 소 개

이 윤 혁

- 2012년 : 광운대학교 전자재료 공학과 졸업(공학사)
- 2014년 : 광운대학교 일반대학원 졸업(공학석사)
- 2014년 ~ 현재 : 광운대학교 일반대학원 박사과정
- ORCID : http://orcid.org/0000-0001-7184-6896
- 주관심분야 : 디지털 홀로그램, SoC 설계

저 자 소 개

김 동 욱

- 1983년 : 한양대학교 전자공학과 졸업(공학사)
- 1985년 : 한양대학교 전자공학과 졸업(공학 석사)
- 1991년 : Georgia 공과대학 전기공학과 졸업(공학박사)
- 1992년 ~ 현재 : 광운대학교 전자재료공학과 교수
- 1996년 ~ 2001년 : 반도체 설계 교육센터(IDEC)광운대지역 운영위원
- 1997년 ~ 2000년 : 대학 산업 기술 자문단 자문위원
- 1998년 ~ 2001년 : IEEE SSCS/EDS Joint Chapter of Korea Section 학술위원장
- 1999년 ~ 2001년 : AP-ASIC 학술위원장
- 2001년 : 대한전자공학회 교육연구위원회 부위원장
- 2005년 ~ 2006년 : 대한전자공학회 협동이사
- 2006년 ~ 2008년 : 3차원영상협회 이사
- 2009년 : 실감미디어산업협회 이사
- 2011년 ~ 현재 : 한국방송·미디어공학회 상임이사, 부회장
- ORCID : http://orcid.org/0000-0001-6106-9894
- 주관심분야: 3D 영상처리, 디지털 홀로그램, 디지털 VLSI Testability, VLSI CAD, DSP 설계, Wireless Communication

서 영 호

- 1992년 : 광운대학교 전자재료 공학과 졸업(공학사)
- 2001년 : 광운대학교 일반대학원 졸업(공학석사)
- 2004년 : 광운대학교 일반대학원 졸업(공학박사)
- 2003년 ~ 2004년 : 한국전기연구원 연구원
- 2005년 ~ 2008년 : 한성대학교 조교수
- 2008년 ~ 현재 : 광운대학교 인제니움학부 교수
- ORCID : http://orcid.org/0000-0003-1046-395X
- 주관심분야 : 실감미디어. 2D/3D영상 신호처리, 디지털 홀로그램