

논문 2016-53-1-6

# 낸드 플래시 기반 저장장치의 피크 전류 모델링을 이용한 전력 최적화 기법 연구

( Power Optimization Method Using Peak Current Modeling for  
NAND Flash-based Storage Devices )

원 삼 규\*, 정 의 영\*\*

( Samkyu Won and Eui-Young Chung<sup>©</sup> )

## 요 약

낸드플래시 기반 저장장치는 성능 향상을 위해 다중 채널, 다중 웨이 구조를 통해 다수의 낸드 디바이스를 병렬 동작시키고 있다. 하지만 동시 동작하는 낸드 디바이스의 수가 늘어나면서 전력 소모 문제가 가시화되었으며, 특히 디바이스 간 복수의 피크 전류가 서로 중첩되면서 높은 전력소모로 인해 데이터 신뢰성과 시스템 안정성에 큰 영향을 미치고 있다. 본 논문에서는 낸드 디바이스에서 지우기, 쓰기, 읽기 동작에 대한 전류 파형을 측정, 이를 프로파일링하여 피크 전류에 대한 정의와 모델링을 진행하였고, 나아가 다수의 낸드에서 피크 전류 중첩 확률을 계산한다. 또한 시스템 수준의 TLM 시뮬레이터를 개발하여 다양한 시뮬레이션 시나리오를 주입하여 피크 전류 중첩 현상을 분석 한다. 본 실험 결과에서는 낸드간 피크 중첩 현상을 차단할 수 있는 간단한 전력 관리 기법을 적용하여 피크 전류 중첩과 시스템 성능 간의 관계를 살펴보고 이를 통해 성능 저하 최소화를 위한 피크 중첩 비율을 제시하였다.

## Abstract

NAND flash based storage devices adopts multi-channel and multi-way architecture to improve performance using parallel operation of multiple NAND devices. However, multiple NAND devices consume higher current and peak power overlap problem influences on the system stability and data reliability. In this paper, current waveform is measured for erase, program and read operations, peak current and model is defined by profiling method, and estimated probability of peak current overlap among NAND devices. Also, system level TLM simulator is developed to analyze peak overlap phenomenon depending on various simulation scenario. In order to remove peak overlapping, token-ring based simple power management method is applied in the simulation experiments. The optimal peak overlap ratio is proposed to minimize performance degradation based on relationship between peak current overlapping and system performance.

**Keywords :** NAND Flash Memory, Peak current, Power consumption, Multi-Channel, Multi-way

\* 정회원, 연세대학교 전기전자공학과  
(Department of Electrical and Electronic  
Engineering, Yonsei University), SK 하이닉스 (SK  
- Hynix Semiconductor)

\*\* 정회원, 연세대학교 전기전자공학과  
(Department of Electrical and Electronic  
Engineering, Yonsei University)

<sup>©</sup> Corresponding Author(E-mail: eychung@yonsei.ac.kr)

※ 이 논문은 SK 하이닉스, IDEC의 EDA Tool 및  
2015년도 정부(교육부)의 재원으로 한국연구재단의  
지원을 받아 수행된 기초연구사업임 (NRF -  
2013R1 A1A2011208)

Received : September 14, 2015 Revised : December 3, 2015

Accepted : December 30, 2015

## I. 서 론

반도체 공정 기술의 발전과 함께 낸드 플래시 메모리를 구성하는 셀(Cell)의 크기가 지속적으로 줄어들어 왔으며, 이와 함께 낸드 플래시 기반 저장 장치의 집적도 또한 해마다 크게 증가해 오고 있다<sup>[1]</sup>. 또한 한 개의 셀에 두 비트(bit) 이상의 데이터를 저장하는 다중 셀(Multi-level cell) 기술의 발전으로 인해 우수한 가격 경쟁력을 확보함으로써 대용량 저장장치인 Solid state disk (SSD)에 채택되고 있다<sup>[2~3]</sup>. 특히, 기존의 Hard disk drive (HDD)와 비교하여, 작은 물리적 구동장치가

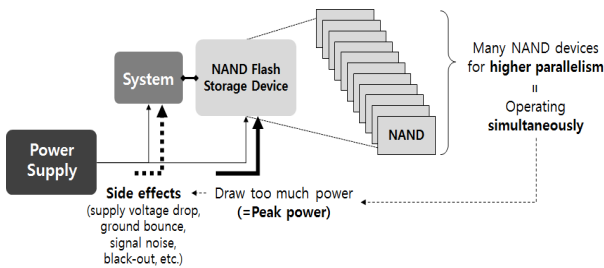


그림 1. 낸드 플래시 기반 저장 장치의 피크 전류 중첩 문제

Fig. 1. Peak power overlap problem of NAND flash-based storage device.

빠져 있어 작은 크기에 저전력 및 고성능을 제공함으로써 HDD를 빠르게 대체하고 있다.

최근 생산되는 낸드 플래시 기반 저장 장치들은 다수의 낸드 디바이스가 다중 채널 (multi-channel)과 다중 웨이 (multi-way) 구조로 컨트롤러에 연결되어 있어, 데이터 접근의 병렬성을 높여 시스템 성능 향상을 도모하고 있다.

과거에는 낸드 플래시 기반 저장 장치를 구성하는 채널 및 웨이의 수가 제한적이기 때문에 병렬적 접근을 고려하더라도 전력 소모 측면에서는 문제점은 크게 고려하지 않았다. 하지만 최근 저장 장치는 고용량 메모리를 사용하며, 그로 인해 그림 1과 같이 동시 동작하는 채널/웨이의 수가 증가하면서 낸드 플래시 소모되는 피크 전류의 중첩 가능성이 높아지고, 이로 인해 시스템 허용 기준을 넘어서는 경우가 빈번히 발생하게 된다. 과도한 피크 전류는 공급 전압 강하, 그라운드 바운스, 신호 잡음, 공급 전력 차단 등과 같은 부작용을 일으키며 이는 저장 장치뿐 아니라 호스트 시스템의 신뢰성 하락 및 물리적 손상을 유발하는 원인이 된다<sup>[4-5]</sup>.

위와 같은 문제를 해결하기 위한 접근 방안으로 디바이스 수준에서 낸드 플래시 내부의 동작 타이밍을 조절하거나 시스템 수준에서 채널 및 웨이 동작을 유동적으로 제어하는 방법이 있다. 이와 관련하여 일부 진행된 연구가 있으나 낸드 플래시 메모리에 흐르는 전류 모델링 미흡으로 시뮬레이션 정확도를 보장하기 어려우며, 시스템이 허용하는 전력량과 성능 간의 trade-off 탐색이 미비하여 적합한 해결책을 제시하지 못하였다<sup>[3,6-10]</sup>.

본 논문에서는 낸드 플래시 메모리의 피크 전류 모델링을 통하여 낸드 플래시 기반 저장 장치에 최적화된 시뮬레이션 환경을 구축하고, 이를 바탕으로 피크 전류 중첩 현상을 방지할 수 있는 관리 기법을 적용하여 피크 전력과 시스템 성능 간의 trade-off 관계를 분석하고자 한다.

## II. 본 론

### 1. 기존 전력 모델링 방법론과 관리 기법

저장 장치의 전력 프로파일 결과를 활용하는 전력 모델<sup>[4]</sup>은 전체 전력 소모를 대기 상태의 전력과 동작 상태의 전력, 두 가지로 구분한다. 대기 상태의 전력은 저장 장치의 컨트롤러가 소모하는 전력을, 동작 상태의 전력은 저장 장치를 구성하는 낸드 디바이스가 컨트롤러로부터 전송 받은 명령을 수행할 때 소모하는 전력을 각각 뜻한다. 저장 장치 내부 채널에 다수의 웨이가 존재하는 경우, 순차적인 쓰기 명령을 인가했을 시 소모되는 전력을 측정 후, 그 결과를 바탕으로 웨이당 전력 소모량이 계산되며, 이를 통해 낸드 플래시 기반 저장 장치의 전력 모델이 완성된다. 하지만 대기 상태 전력과 동작 상태 전력으로 전체 전력 소모를 구분한다는 점에서 모델링이 단조롭다는 한계가 있다.

분석적 전력 모델을 기반으로 한 시스템 수준의 시뮬레이션 환경<sup>[8-10]</sup>은 캐시 및 메인 메모리에 대한 타이밍, 면적, 전력 모델을 제공하는 CACTI 툴을 응용하여 낸드 플래시 메모리에 대한 매개 변수화 모델을 구축하였다. 기존 연구와 비교하여 낸드 플래시 내부 동작에 대한 세부적인 전력 모델을 제안하였지만, 실제 낸드 플래시 제조사마다 독자적으로 보유하는 설계 관련 매개 변수들이 반영되지 않기 때문에 시뮬레이션 정확도가 다소 떨어지는 단점이 있다.

디바이스 수준의 웨이 인터리빙 기법<sup>[5]</sup>은 다수의 낸드 디바이스가 동시다발적으로 동작할 시에 발생하는 피크 전류 중첩을 직관적으로 제어한다. 각각의 낸드 디바이스는 전력 감지 신호를 통해 해당 낸드 디바이스의 bit-line pre-charge 또는 charge pump ramp-up 여부를 컨트롤러에게 인지도시켜준다. 컨트롤러 내부에서는 해당 낸드 디바이스의 R/B 신호와 연동하여 디바이스 동작 여부를 결정한다. 이 기법은 낸드 디바이스간의 피크 전력이 중첩되는 것을 방지하여 전력 공급을 안정화시키고 시스템의 신뢰성을 향상시키는 장점이 있다. 하지만 피크 전류 중첩을 무조건적으로 차단하기 때문에 전력 효율 대비 성능 하락의 폭이 크다는 문제가 있다.

### 2. 피크 전류 중첩에 대한 분석

#### 가. 전류 파형 분석

전류 모델링에 앞서 낸드 단품에서 각 낸드 기본 동작에 따른 전류 파형을 측정하였다. 이러한 실측 데이터 기반의 모델링은 추후 시뮬레이션 결과에서 높은 정

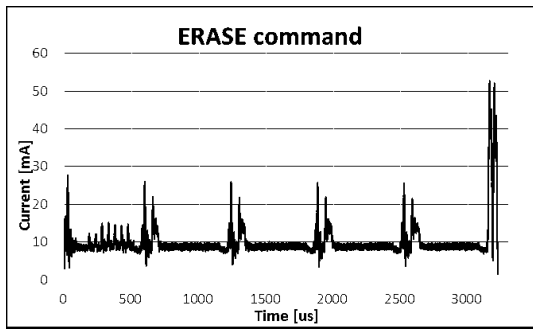


그림 2. 지우기 동작 전류 파형  
Fig. 2. Current waveform of erase operation.

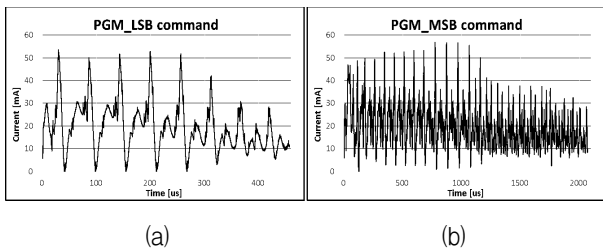


그림 3. 쓰기 동작 전류 파형 (a) LSB (b) MSB  
Fig. 3. Current waveform of program operation (a) LSB (b) MSB.

확도를 보장하게 된다.

낸드 동작(Operation)은 크게 지우기(Erase), 쓰기(Program), 읽기(Read) 세 가지로 구분되며, MLC 낸드의 경우 쓰기 동작은, LSB 페이지 쓰기과 MSB 페이지 쓰기로 나뉘며, 마찬가지로 읽기 동작도 LSB 페이지 읽기, MSB 페이지 읽기로 나뉜다. 이 때 쓰인 데이터의 패턴에 따라서, '00' 패턴 또는, 'FF' 패턴 읽기로 나뉜다. 그림 2는 지우기 동작에서의 전류 파형, 그림 3은 LSB 및 MSB 페이지 쓰기에서의 전류 파형이며, 그림 4는 패턴별 읽기 동작에서의 전류 파형을 여러 번 반복하여 추출한 것을 그래프로 나타낸 것이다.

쓰기 동작의 경우 내부적으로 프로그램 펄스와 프로그램 검증 동작이 반복적으로 발생하는 것을 알 수 있으며 내부 셀이 프로그램 됨에 따라 전류가 줄어드는 양상을 보인다. 읽기 동작의 경우 셀이 '00' 패턴으로 쓰인 경우는 비교적 낮은 전류가 흐르지만 'FF' 패턴에 대해서는 평균 30mA 이상의 높은 전류가 흐르는 것을 알 수 있다.

나. 피크 전류 구간의 정의

피크 전류 모델링에 앞서 다음과 같이 두 가지 매개 변수를 도입하였다.

- Peak threshold ( $I_{th}$ ): 본 값을 기준으로 피크 전류

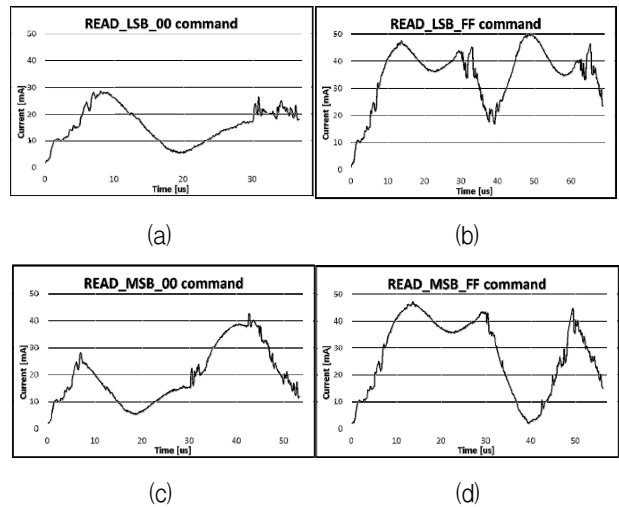


그림 4. 읽기 동작 전류 파형 (a) LSB '00' 패턴 (b) LSB 'FF' 패턴 (c) MSB '00' 패턴 (d) MSB 'FF' 패턴  
Fig. 4. Current waveform of read operation (a) LSB '00' pattern (b) LSB 'FF' pattern (c) MSB '00' pattern (d) MSB 'FF' pattern.

를 구분한다. 시스템 설계 기준에 따라 유동적으로 결정한다.

- Peak duration ( $T_d$ ): 피크 전류가 흐르는 시간을 구분한다. 본 값보다 길게 흐르는 경우 피크 구간으로, 짧게 흐르는 경우는 단순 노이즈로 간주하며, 자체 보호 회로인 노이즈 필터에 의해 이러한 피크 전류는 보상 가능하다.

위 매개 변수를 바탕으로 피크 전류 구간 (PZ: Peak zone)은 다음과 같은 수식 (1)로 정의된다.

$$I_{pz} > I_{th} \quad s.t. \quad T_{pz} > T_d \quad (1)$$

$I_{pz}$ 는 피크 전류 구간에서 흐르는 전류를 의미하며,  $T_{pz}$ 는 피크 전류 구간의 지속 시간을 의미한다.

다. 피크 전류 구간의 모델링

본 논문에서는 peak threshold를 40mA, peak duration을 1usec로 각각 선정하여 모델링을 진행하였으며, 시스템 설계 기준에 따라 변경될 수 있다. 그림 5는 LSB 쓰기 동작에서의 전류 파형을 일부 발췌한 것으로 위의 피크 전류 모델링에 따라 피크 전류 구간을 정의할 수 있다.

앞선 피크 전류 구간을 기준으로 각각의 낸드 동작이 모델링되는 경우, 동작 시간( $T_{op}$ )은 다음과 같은 수식

표 1. 낸드 명령별 피크 구간 비율

Table 1. Peak zone ratio of each NAND command.

낸드 명령	Top(μs)	Tnpz(μs)	Tpz(μs)	Rpz(%)		
지우기	3222.16	3197.68	24.48	0.76		
쓰기	LSB	456.96	432.48	24.48	<b>5.36</b>	
	MSB	2069.28	1989.76	79.52	<b>3.84</b>	
읽기	LSB	'00'	36.80	36.80	0.00	
		'FF'	68.72	44.40	24.32	<b>35.39</b>
	MSB	'00'	53.28	53.28	0.00	0.00
		'FF'	56.16	45.28	10.88	<b>19.37</b>

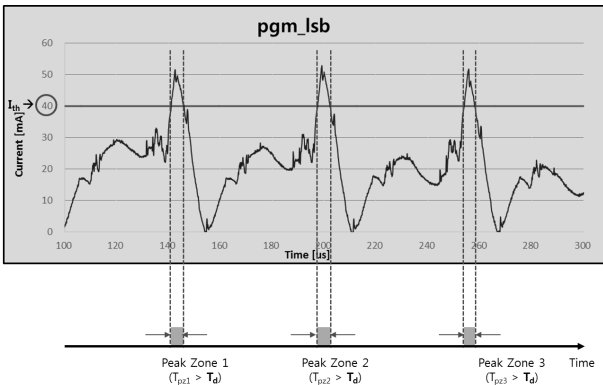


그림 5. LSB 쓰기 명령의 피크 전류 구간 예

Fig. 5. Example of peak current zone in LSB program command.

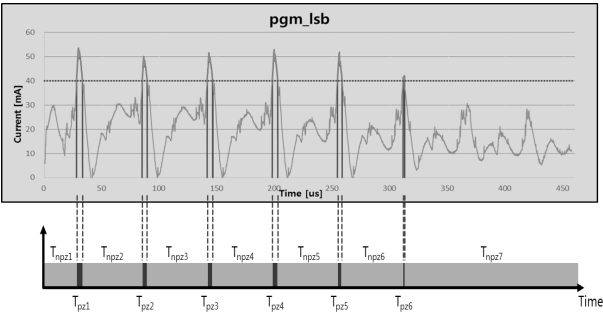


그림 6. LSB 쓰기 명령의 첨두 전류 구간 모델링

Fig. 6. Peak current zone modeling of LSB program operation.

(2)로 표현되며 그림 6은 LSB 쓰기 명령에 대해 이를 도식화한 것이다.

$$\begin{aligned}
 T_{op} &= T_{non\ peak\ zone} + T_{peak\ zone} \\
 &= t_{npz0} + t_{pz0} + t_{npz1} + \dots + t_{pz,n-1} + t_{npz,n} \\
 &= \sum_{i=0}^n (t_{npz,i}) + \sum_{i=0}^{n-1} (t_{pz,i}) \tag{2}
 \end{aligned}$$



그림 7. 두 개 칩에서 LSB 쓰기 명령의 피크 전류 중첩 시 전류 변화 예

Fig. 7. Example of peak overlapped current for two NAND chips in LSB program command.

이를 바탕으로 피크 구간 비율( $R_{pz}$ )은 다음과 같이 계산되며, 각 낸드 동작에 대한 피크 구간 비율은 표 1을 통해 알 수 있다.

$$R_{pz} = \frac{T_{peak\ zone}}{T_{op}} \tag{3}$$

라. 피크 전류 중첩

그림 7의 예처럼 일정 수준 이상의 피크 구간 비율( $R_{pz}$ )을 포함하는 낸드 동작들이 동시다발적으로 수행되는 경우 피크 전류 중첩 현상은 불가피하게 발생한다.

본 논문에서는 우선 채널과 웨이와 무관하게 동시 동작할 수 있는 낸드 디바이스의 수를 증가시키면서 피크 구간 중첩 확률(Peak zone overlap probability:  $P_{pzo}$ )을 다음과 같은 방식으로 계산하였다.

첫째, 시간 지연  $\tau$ 를 0에서  $T_{op}$ 까지 순차적으로 증가, 즉 전류 파형 측정 주기인 80ns 단위로 증가

둘째, 매 시간 지연 증가분마다 피크 전류 중첩 여부 기록 (중첩 시 중첩 변수 증가)

셋째, 총 시간 지연 증가분에서 피크 전류 중첩 횟수 계산

$$P_{pzo} = \frac{\text{중첩 횟수}}{\text{총 시간 지연 증가분}} \tag{4}$$

피크 구간 중첩 확률은 2개 이상의 낸드 명령이 수행될 때 발생할 수 있는 모든 경우의 수를 포함하는 것으로 이를 바탕으로 실제 저장 장치에서 일어날 수 있는 피크 전류 중첩 정도를 가늠해 볼 수 있다.

표 2. 시뮬레이터 내부 환경변수

Table 2. Internal parameters of proposed simulator.

환경변수	설명 (값)	시뮬레이션 설정값	
# of ways	channel을 구성하는 way 수 (2, 4, 8, ..., X)	2, 4, 8, 16	
Command type/ratio	인가할 낸드 명령 및 비율 (%) ([쓰기, 읽기] = [X, (100-X)])	[100, 0]	[0, 100]
Address/Data transfer time	주소/데이터 전송 시간 ( $\mu$ s) ( $X \pm \alpha$ (가우시안 분포))	20, 40, 80, 100	5, 10, 20
# of commands	인가할 낸드 명령 수	1000	
PM scheme	전력 관리 기법 유형	토큰 링 기반 전력 관리 기법	

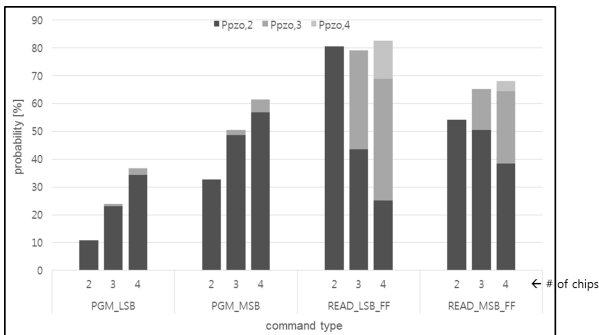


그림 8. 피크 구간 중첩 확률  
Fig. 8. Total peak zone overlap probability.

그림 8은 낸드 디바이스의 수를 증가시키며 산출한 피크 구간 중첩 확률이다. 낸드 디바이스의 수가 증가할수록 중첩 확률 또한 증가하는 양상을 보이며, 중첩 구간 비율이 높은 읽기 동작에서 중첩 확률이 높게 산출되었다. 즉, 피크 구간 중첩 확률이 커질수록 동시에 피크에 있는 낸드의 개수가 증가함을 알 수 있다.

본 결과를 통해 피크 전류 중첩 확률이 결코 무시할 수 없을 정도로 높게 예측되며, 향후 낸드 플래시 기반 저장 장치의 성능 향상을 위해 동시 동작하는 디바이스의 수를 막연하게 늘리는 경우 피크 전류 중첩 문제로 인한 시스템 안정성은 더욱 위험해 질 것이다.

### 3. 시뮬레이터 개발 및 피크 전류 관리 기법

#### 가. 전체 시뮬레이션 구조

본 시뮬레이터는 Synopsys사의 Platform Architect를 기반으로 하여, systemC 언어로 cycle-accurate한 시스템 수준의 TLM 시뮬레이터를 구현하였다. 시뮬레이터는 피크 전류 프로파일러와 성능 및 전력 시뮬레이터로 구성되어 있다. 동작 타이밍과 관련된 기본적인 라이브러리를 제공하고, 사용자가 추가적으로 설계한 타이밍 모델 및 전력 모델과 결합하여 정확도 높은 시

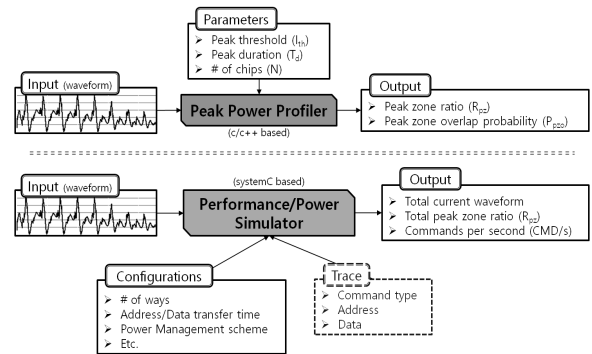


그림 9. 전체 시뮬레이터 구조  
Fig. 9. Overall simulation architecture.

뮬레이션 결과를 도출할 수 있다. 그림 9는 전체적인 시뮬레이터 구조를 나타낸다.

시뮬레이션 입력으로는 그림 2-4와 같이 측정된 전류 파형을 사용하거나, 실제 낸드 칩 설계 후 얻은 동작별 전류 시뮬레이션 파형을 사용할 수 있다. 표 2에 명시되어 있는 내부 환경변수들의 조합을 통해 시뮬레이션 시나리오가 생성된다. 사용자가 설정한 환경변수의 조합 따라 가상의 시뮬레이션 시나리오가 생성되며, 좀더 현실적인 시뮬레이션 결과를 위해서는 낸드 명령, 주소, 데이터 등을 포함하는 실제 낸드 트레이스를 주입하는 것도 가능하다.

시뮬레이션 결과로는 전체 전류 파형 및 way별 전류 파형, 피크 구간 중첩 비율, 초당 수행되는 낸드 명령 수(Commands per second)가 산출된다. 본 실험 결과에서는 피크 구간 중첩 비율을 통해 시스템 전력 소모에 대한 평가를, 초당 수행되는 NAND 명령 수를 통해 시스템 성능에 대한 평가를 진행한다.

#### 나. 토큰 링 기반의 전력 관리 기법

본 전력 관리 기법은 피크 전류 중첩을 차단하기 위한 것으로 다음과 같은 4가지 사항을 바탕으로 한다. 실험 결과에서는 본 전력 관리 기법을 적용하여 어느

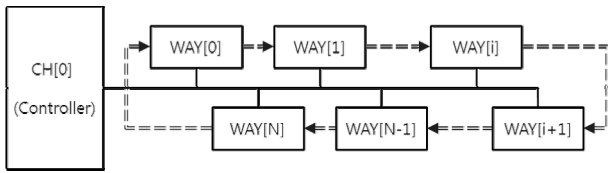


그림 10. 데이지 체인 방식의 way 연결  
Fig. 10. Daisy-chain based way connection.

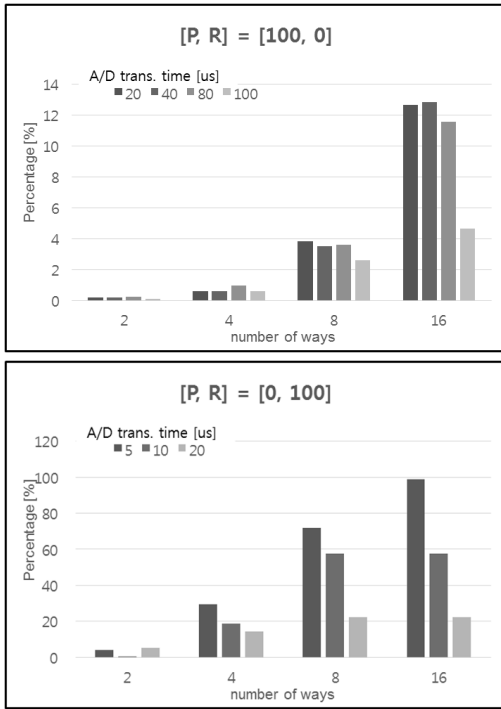


그림 11. 쓰기/읽기 피크 구간 중첩 비율  
Fig. 11. Peak zone overlap ratio at write/read.

정도 효율성을 가지는지 평가할 것이다.

첫째, 채널을 구성하는 웨이는 그림 10과 같이 데이지 체인 방식으로 연결되어 있다.

둘째, 피크 전류 구간의 통과 권한을 가진 토큰 수는 하나를 가정한다.

셋째, 특정 웨이가 피크 전류 구간을 통과하기 위해서는 가용 토큰이 돌아오기까지 대기한다. 이 때 대기 시간이 길어지면, 성능 저하가 발생 한다.

넷째, 사용한 토큰이나 피크 전류 구간이 아니어서 필요하지 않은 토큰은 체인 연결 순서에 따라 다음 웨이로 전달한다.

### III. 실험

앞 절에서 명시된 시뮬레이터 내부 환경변수들을 조합하여 가상의 시나리오 생성이 가능하다. 본 실험에 사용된 환경변수들의 설정 값은 표 2에 나타나 있으며,

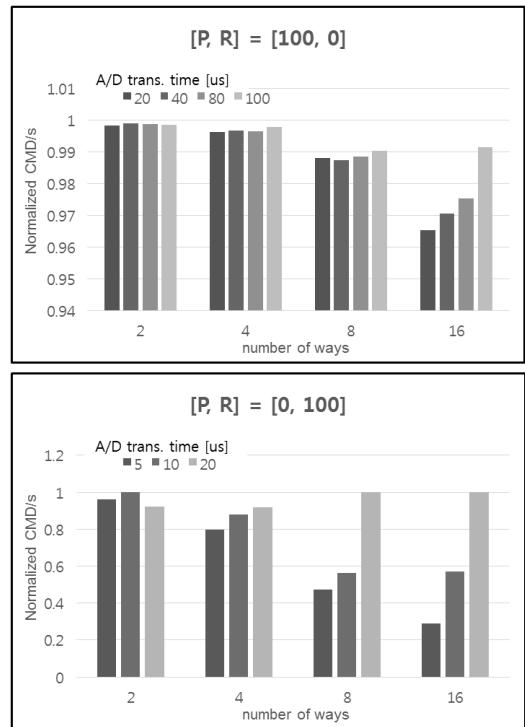


그림 12. 토큰 링 기반의 전력 관리 기법으로 인한 쓰기/읽기 성능 하락  
Fig. 12. Write/read performance degradation for token ring based power management.

기본적으로 라운드 로빈 방식의 웨이 인터리빙 상황을 가정하였으며, 주소/데이터 전송 시간은 SK하이닉스에서 제공한 데이터시트를 참조하여 산출하였다.

우선 전력 관리 기법을 적용하지 않은 경우 피크 구간 중첩 현상은 그림 11과 같이 웨이의 수가 증가할수록 그 비율이 증가하는 추세를 보인다. 특히 피크 구간 비율이 높은 읽기 명령의 경우 중첩 현상이 더욱 가중되는 것을 알 수 있다.

토큰 링 기반의 전력 관리 기법을 적용하는 경우, 토큰을 소유한 낸드 디바이스만이 피크 구간에 진입하게 됨으로 피크 전류 중첩을 완벽히 차단하지만 불가피하게 토큰을 대기하는 시간이 발생하므로 성능 하락의 요인이 된다.

그림 12는 토큰 링 기반의 전력 관리 기법으로 인한 성능 하락 정도를 나타낸 결과이다. 쓰기 명령의 경우 평균 2% 내외의 성능 하락이 발생하였으며, 피크 구간 비율이 상대적으로 높은 읽기 명령의 경우 최대 72% 정도의 성능 하락이 발생하는 것을 알 수 있다. 이를 근거로 성능하락을 최소화하기 위해서는 설계 초기단계에서부터 동작 시간에서 전류 피크 구간을 적절히 분배하여 최소화 할 필요가 있다.

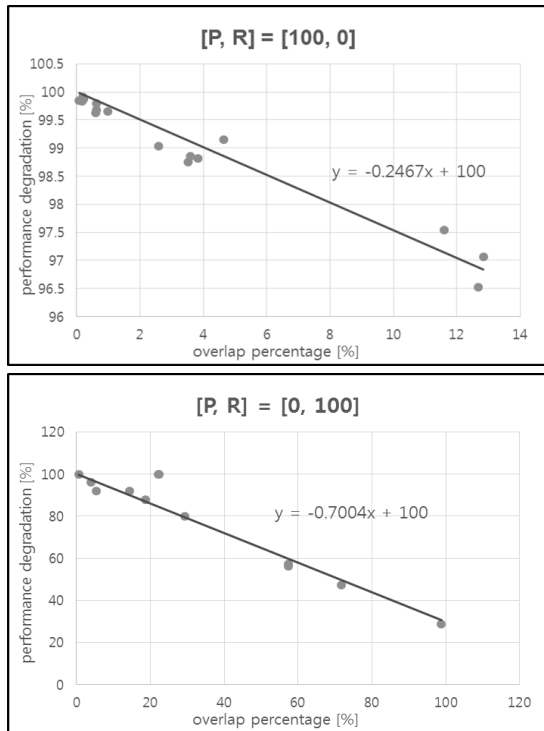


그림 13. 피크 중첩 비율  
Fig. 13. Peak overlap ratio.

그림 13은 토큰 링 기반의 전력 관리 기법을 적용하는 경우 피크 구간 중첩 비율 대비 성능 하락 정도를 추세선으로 나타낸 것이다. 쓰기 동작의 경우 중첩 비율이 10%인 경우 이를 토큰링으로 제거하기 위해 2.5% 가량의 성능 하락이 발생하고, 읽기 동작의 경우는 중첩 비율이 10%인 경우 이를 토큰링으로 제거하기 위한 오버헤드로 7% 가량의 성능 하락을 감안해야 한다.

#### IV. 결론

본 논문에서는 낸드 플래시 기반 저장 장치에서 발생 가능한 피크 전류 중첩 현상에 대해 분석하고, 피크 전류에 대한 정의와 모델링을 기반으로 시뮬레이터를 개발하였다. 더불어, 간단한 전력 관리 기법을 적용하여 피크 전류 중첩 방지와 그에 따른 성능 하락 간의 관계를 살펴보았다.

앞선 분석 및 실험 결과를 통해 피크 구간 중첩 확률은 무시할 수 없는 정도의 수치를 보여주고 있으며, 향후 채널과 웨이의 수가 증가할수록 중첩 확률은 더욱 높아질 것이다. 이러한 문제를 해결하기 위한 방안으로 토큰 링 기반의 전력 관리 기법을 적용함으로써 약간의 성능 하락을 감수하는 대신 피크 구간 중첩 현상을 제거할 수 있다.

하지만 이러한 전력 관리 기법은 시스템이 허용하는 전체 전력 상한선을 적절히 활용하지 못하는 취약점이 있다. 향후 이를 개선할 수 있는 새로운 전력 관리 기법을 고안하여 전력과 성능 측면에서 효율성을 높일 것이다.

#### REFERENCES

- [1] Park, S-K. "Technology Scaling Challenge and Future Prospects of DRAM and NAND Flash Memory," In Memory Workshop (IMW), 2015 IEEE International , pp. 1-4, 2015
- [2] Li, Y and Quader, K.N. "NAND flash memory: Challenges and opportunities," Computer, vol. 46, no. 8, pp.23-29, 2013
- [3] Takeuchi, Ken. "Novel co-design of nand flash memory and nand flash controller circuits for sub-30 nm low-power high-speed solid-state drives (ssd)," *IEEE Journal of Solid-State Circuits*, vol. 44, no. 4, pp. 1227-1234, 2009.
- [4] HONG, G. "Analysis of peak current consumption for large-scale, parallel flash memory." In Workshop for *Operating System Support for Non-Volatile RAM (NVRAMOS 2011 Spring)*, Jeju, Korea, April 2011.
- [5] Balgeun Yoo, Youjip Won, et al. "SSD characterization: From energy consumption's perspective," in Proceedings of *HotStorage*, 2011.
- [6] Park, Jinha, et al. "Power modeling of solid state disk for dynamic power management policy design in embedded systems," *Software Technologies for Embedded and Ubiquitous Systems*, pp. 24-35, 2009.
- [7] S. Lee, and J. Kim. "Using dynamic voltage scaling for energy-efficient flash-based storage devices," *IEEE International SoC Design Conference*, 2010.
- [8] Grupp, Laura M., et al. "Characterizing flash memory: anomalies, observations, and applications," *IEEE International Symposium on Microarchitecture*, 2009.
- [9] Mohan, Vidyabhushan, Sudhanva Gurumurthi, and Mircea R. Stan. "FlashPower: A detailed power model for NAND flash memory," in Proceedings of *the Conference on Design, Automation and Test in Europe*, 2010.
- [10] Mohan, Vidyabhushan, et al. "Modeling Power Consumption of NAND Flash Memories Using FlashPower," *IEEE Transactions on Computer - Aided Design of Integrated Circuits and Systems*, vol. 32, no.7, pp. 1031-1044, 2013.

저 자 소 개



원 삼 규(정회원)  
 1996년 부산대학교 학사 졸업  
 1998년 포항공대 석사 졸업  
 2008년~현재 연세대학교 박사과정  
 <주관심 분야 : NVM 메모리 시스템 구조, 저전력 회로 설계, VLSI 설계>



정 의 영(정회원)  
 1988년 고려대학교 학사 졸업  
 1990년 고려대학교 석사 졸업  
 2002년 Stanford University 박사 졸업  
 <주관심 분야 : 시스템 구조, VLSI 설계, 저전력 설계>