

NSCR_PPS 소자에서 게이트와 N⁺ 확산층 간격의 변화가 정전기 보호성능에 미치는 영향

서용진*, 양준원** 정회원

Effects of the ESD Protection Performance on GPNS(Gate to Primary N⁺ diffusion Space) Variation in the NSCR_PPS Device

Jun-Won Yang*, and Yong-Jin Seo** *Regular Members*

요 약

PPS 소자가 삽입된 N형 실리콘 제어 정류기(NSCR_PPS)소자에서 게이트와 N⁺ 확산층 간격(Gate to Primary N⁺ diffusion Space; GPNS)의 변화가 정전기 보호 성능에 미치는 영향을 연구하였다. FPW 구조와 CPS 이온주입을 행하지 않은 구조를 갖는 종래의 NSCR 표준소자는 on 저항, 스냅백 홀딩 전압 및 열적 브레이크다운 전압이 너무 낮아 정전기 보호소자의 필요조건을 만족시키지 못해 마이크로칩의 정전기보호소자로 적용이 어려웠다. 그러나 본 연구에서 제안하는 PPW 구조와 CPS 이온주입을 동시에 적용하여 변형설계된 소자에서는 GPNS의 변화가 정전기 보호성능의 향상에 영향을 주는 중요한 파라미터였으며, 정전기보호소자의 설계 창을 만족시키는 향상된 정전기보호성능을 나타내어 고전압 동작용 마이크로 칩의 정전기보호 소자로 적용 가능성을 확인하였다.

Key Words : ESD(Electrostatic Discharge), NSCR(N-type Silicon Controlled Rectifier), PPS(P-type MOSFET Pass Structure), FPW(Full P-Well), PPW(Partial P-Well), CPS(Counter Pocket Source), GPNS(Gate to Primary N⁺ Diffusion Space)

ABSTRACT

The ESD(electrostatic discharge) protection performance of PPS(P-type MOSFET pass structure) embedded N-type silicon controlled rectifier(NSCR_PPS) device with different GPNS(Gate to Primary N⁺ Diffusion Space) structure was discussed for high voltage I/O applications. A conventional NSCR_PPS standard device with FPW(Full P-Well) structure and non-CPS(Counter Pocket Source) implant shows typical SCR-like characteristics with low on-resistance(Ron), low snapback holding voltage(Vh) and low thermal breakdown voltage(Vtb), which may cause latch-up problem during normal operation. However, our proposed NSCR_PPS devices with modified PPW(Partial P-Well) structure and optimal CPS implant demonstrate the improved ESD protection performance as a function of GPNS variation. GPNS was an important parameter, which is satisfied design window of ESD protection device.

I. 서 론

우주환경에서 쏟아지는 고에너지 입자들은 위성체 내부에 일종의 정전기를 형성하게 된다. 이 정전기의 전압이 일정 수준 이상 높아지게 되면 한 번에 에너지를 방출하기 때문에 위성체의 전자 시스템에 심각한 손상을 줄 수 있다[1]. 따라서 위성시스템에 사용되는 마이크로 칩을 제조할 때 외

부 정전기로부터 칩 내부 회로를 보호할 수 있는 정전기 보호소자를 개발하는 것이 매우 중요하다[2][3][4][5][6][7]. 그동안 이중 확산된 드레인(double diffused drain)을 갖는 N형 MOSFET(DDNMOS) 소자가 정전기 보호를 위해 사용되어 왔으나 고전압에서 동작하는 마이크로 칩의 경우에는 정전기 스트레스에 매우 취약하기 때문에 정전기 보호를 구현하기 어렵다[8][9][10][11]. 다양한 정전기 보호 소자들 가운데 SCR(Silicon Controlled Rectifier) 소자는 고전류에 대한

* 본 연구는 2015년 세한대학교 교내연구비 지원으로 수행하였음.
*세한대학교 소방행정학과/나노정보소재연구소 (syj@sehan.ac.kr)
**세한대학교 정보물류학과 (jwyang@sehan.ac.kr), 교신저자 : 양준원
접수일자 : 2015년 10월 10일, 최종게재확정일자 : 2015년 12월 24일

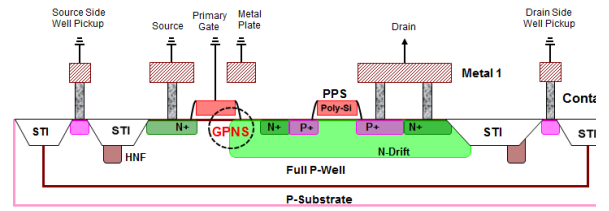
면역 특성이 우수하다는 장점을 가지고 있다[8][12][13]. 그러나 고전압 동작용 SCR 소자는 높은 트리거링 전압 때문에 정상적인 동작 동안 래치업에 취약하다는 단점이 있다 [12][13][14]. 이처럼 SCR 소자가 래치업에 취약한 이유는 고 전류 영역에서 on 저항이 너무 작아 스냅백 홀딩 전압이 너무 낮기 때문이므로 on 저항을 증가시킬 수 있는 방법이 모색되어야 한다. 이전 연구에서 NESCR(N-type Embedded SCR) 표준 소자가 갖는 래치업 문제를 해결하기 위해 N⁺ 드레인 오른쪽에 P⁺ 확산층을 이온주입하여 PMOS Pass Structure(PPS) 소자가 삽입된 PNPN_SCR(thyristor) 소자를 만들고, P-Well의 구조를 부분적으로 형성시킨 부분웰(Partial P-Well; PPW)을 갖도록 변형설계한 소자는 기존의 NESCR 표준소자보다 현저하게 큰 on 저항과 높은 스냅백 홀딩 전압을 나타내어 래치업을 피할 수 있는 우수한 구조임을 제안한 바 있다[6]. 또한 NSCR_PPS 소자에서 부분웰의 면적을 각각 달리하여 소자를 변형 설계한 결과 향상된 정전기 보호 성능을 얻기 위해서는 부분웰의 면적을 감소시키는 것이 더 유리함을 보고한 바 있다[7].

이상과 같이 PPS 소자를 이용하여 안정적인 정전기 보호 성능을 구현하기 위해서는 “정전기보호소자의 설계창(Design Window of ESD Protection Device)”[2][4]을 만족시킬 수 있는 필요충분조건에 대한 개선이 선행되어야 한다. PPS 소자는 on 상태에서의 저항이 너무 작고 스냅백 홀딩 전압(V_h)이 동작전압(V_{op})보다 낮아(V_h < V_{op}) 래치업에 취약한 문제가 발생한다. 또한 열적 브레이크다운 전압(V_{tb})이 트리거링 전압(V_{tr})보다 작아(V_{tb} < V_{tr}) 멀티핑거 트리거링이 불안정한 문제점이 있다. 따라서 안정적인 정전기 보호 성능을 구현하기 위해서는 스냅백 홀딩 전압을 동작전압보다 크게 만들고(V_h > V_{op}), 열적 브레이크다운 전압을 트리거링 전압 이상(V_{tb} > V_{tr})으로 증가시키는 방법을 개발할 필요가 있다[1][2][4].

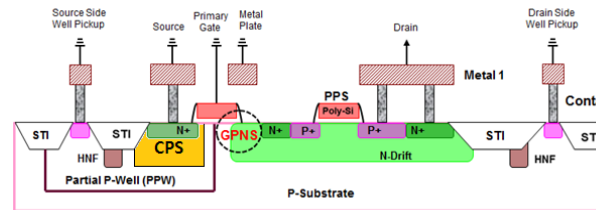
따라서 본 연구에서는 FPW(Full P-Well), PPW(Partial P-Well)와 같은 웰 구조 및 GPNS(Gate to Primary N⁺ Diffusion Space)의 변화가 NSCR_PPS 소자의 정전기 보호 특성에 미치는 영향을 고찰하고자 시뮬레이션 분석을 통해 ‘정전기보호소자의 설계창’을 만족시킬 수 있는 필요충분조건인 최적조건을 찾고자 한다. 본 연구에서는 공정 및 소자 시뮬레이션을 통해 고전압에서 동작하는 NSCR_PPS 소자의 정전기보호특성을 분석하였고, I-V 특성 및 전류밀도 및 전류경로, 전계, 국소온도(local temperature)와 같은 등고선(contour) 분석을 통해 본 연구에서 제안하는 소자가 고전압 동작용 I/O 응용을 위해 적용가능한지를 연구하였다.

II. 소자구조 및 디자인 윈도우

1. 소자구조



(a) FPW 구조를 갖는 NSCR_PPS 표준소자의 개략도



(b) PPW 및 CPS 구조를 갖는 NSCR_PPS 변형소자 개략도

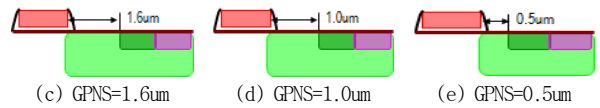


그림 1. 본 연구에서 제안하는 웰 구조 및 GPNS 간격을 달리 한 NSCR_PPS 변형소자의 개략도

그림 1(a)는 NSCR_PPS 표준소자의 구조를 개략적으로 나타낸 것으로 N⁺ 소오스와 드레인을 각각 2개의 영역으로 나누는 후, P⁺ 이온주입을 통해 P형 MOSFET 소자가 삽입된 PPS 구조이며, P형의 CPS이온주입을 행하지 않은 FPW 구조를 채택하고 있다. 그림 1(b)는 본 연구에서 제안하는 PGM(Primary Gate Middle) 구조의 PPW와 CPS 이온주입을 행한 PPW_CPS 소자의 구조를 개략적으로 나타낸 것이다. 여기서 PGM 구조의 부분웰(PPW)은 앞선 연구[7]에서 가장 우수한 정전기 보호 성능을 보인 구조이며, P형의 CPS 이온주입은 N⁺ 소오스를 둘러싸기 위해 수행되는 것으로 P⁺ Drift 이온주입(BF2, 100KeV, 2.7×10¹³cm⁻³)과 HNF(High N Stop Field Implant) 이온주입(B, 180KeV, 8.5×10¹³cm⁻³)을 동시에 적용한 구조이다[15].

일반적으로 EDNMOS(Extended Drain N-type MOSFET) 소자에서 N⁻ Drift 영역의 왼쪽 끝단과 N⁺ 확산 영역 사이의 거리는 측면방향의 NPN BJT의 애발란치 브레이크다운 전압 및 트리거링 전압을 결정하는 주요 파라미터들 중의 하나인 것으로 알려져 있다[1]. 따라서 그림 1(a), (b)에 보인 바와 같이 NSCR_PPS 소자의 N⁻ Drift 영역의 왼쪽 끝과 N⁺ 확산영역 사이의 거리에 해당되는 파라미터인 GPNS(Gate to Primary N⁺ Diffusion Space)를 그림 1(c), (d) 및 (e)에 보인 것처럼 1.6um에서 0.5um까지 스텝릿하여 I-V 특성의 변화를 조사함으로써 NSCR_PPS 소자의 애발란치 브레이크다운 전압 및 트리거링 전압을 자유롭게 조절할 수 있는 방법을 모색하였다.

2. 디자인 윈도우

정전기보호소자가 동작할 때의 전류-전압 특성이 갖추어

야 할 조건인 “정전기보호소자의 설계창 (Design Window of ESD Protection Device)”이 필요하다. 정전기보호소자가 입출력 회로에 적용되어 정전기 보호 기능을 원만하게 수행하면서도 다른 부작용을 유발하지 않기 위해서는 표 1에 명시된 조건에 부합하는 전기적 특성을 기본적으로 갖추어야 한다. 각 조건에 부합하는 전기적 특성에 대한 자세한 설명은 참고문헌[1][2][4]에 상세히 소개되었다.

표 1. ESD 보호를 위한 필요충분조건[2]

Requirements for ESD protection	
$V_{op} < V_{av}, V_{tr}$	
$V_{tr}, V_{tb} < V_{gox}$	
$V_{op} + \Delta V < V_h$	
Itb: Large	
$V_{tr} \leq V_{tb}$	

III. 결과 및 고찰

NSCR_PPS 소자는 동작전압이 30V인 고전압 기술 (@0.18um_30V)을 적용한 TSUPREM4 공정 시뮬레이터를 사용하여 제작되었으며 소자 특성은 DESSIS 소자 시뮬레이터를 사용하여 분석되었다. 정전기 스트레스를 시뮬레이션하기 위해 10ns의 상승시간(rise time)과 100ns의 지속시간(duration time)을 갖는 사다리형 전류 펄스를 사용하여 과도(transient) 시뮬레이션이 수행되었다. 본 연구에서 사용된 시뮬레이션 방법은 이전 연구와 유사하다[1][2][3][4][5][6][7].

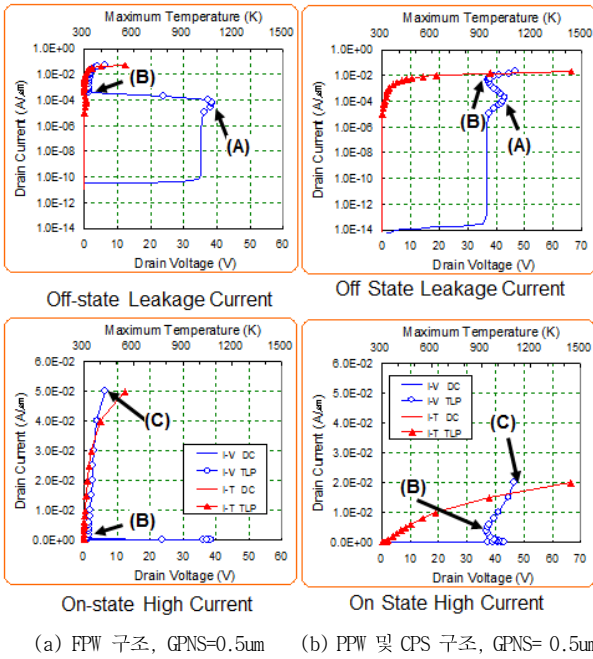
표 2는 본 연구에서 고찰한 FPW와 PPW 구조에서 GPNS 변화에 따른 시뮬레이션 분석을 통해 추출한 I-V 특성 데이터를 보인 것이다. FPW 구조를 갖는 표준소자에서 GPNS를 1.6um에서 0.5um까지 감소시킨 경우 애발란치 브레이크다운 전압과 트리거링 전압은 GPNS=1.6um인 PPS 표준소자에 비해 대략 1/10 이상 감소하는 것으로 나타났다. 또한 on 저항과 열적 브레이크다운 전압도 약간 감소하는 경향을 보

였다. NSCR_PPS 표준소자의 I-V 특성은 동작전압($V_{op} \approx 30V$) 보다 훨씬 더 낮은 스냅백 홀딩 전압($V_h : 1.3 \sim 1.4V$), 낮은 on 저항($R_{on} : 101 \sim 131 \Omega \cdot \mu m$)을 나타내어 정상적인 동작 동안 래치업 문제에 매우 취약함을 알 수 있다. 그러나 PPW 및 CPS 구조를 갖는 NSCR_PPS 변형소자의 스냅백 홀딩 전압은 36.9~40.8V로 증가하였고, on 저항은 613~1873 $\Omega \cdot \mu m$ 까지 증가를 하였으며, 열적 브레이크다운 전압도 46.8~65.0V까지 증가를 하여 높은 $R_{on}, V_h > V_{op}, V_{tb} > V_{tr}$ 의 디자인 윈도우를 만족시키고 있어 종래의 NSCR_PPS 소자에서 문제시 되었던 래치업 문제를 해결할 수 있음을 알 수 있다. 즉, FPW 구조를 갖는 NSCR_PPS 표준소자보다는 PPW와 CPS 이온주입을 동시에 적용한 NSCR_PPS 변형소자가 정전기보호성능의 향상에 매우 효과적임을 알 수 있다. 따라서 PPW와 CPS 이온주입을 동시에 적용한 PPW_CPS 변형소자는 FPW 표준소자보다 더 높은 스냅백 홀딩 전압 ($V_h \approx 37.0V$ 이상)을 나타내어 동작전압 30V보다 더 높은 값을 만족하였다. 따라서 래치업 면적이 보장되었다. off-상태 누설전류(I_{off})는 표준소자에 비해 4승($\sim 10^{-4}$) 이상 감소하였고, 열적 브레이크다운 전압도 증가를 하여 $V_{tb} > V_{tr}$ 의 디자인 윈도우를 만족시킴을 알 수 있다. 이상과 같이 on 저항, 스냅백 홀딩 전압, 열적 브레이크다운 전압이 증가하는 경향을 보이므로 고전압 I/O 응용을 위한 최적화된 정전기 보호 성능을 얻기 위해서는 그림 1(b)에 보인 것처럼 부분웰 (PPW)과 CPS 이온주입을 동시에 수행하고 GPNS를 적절히 조절하는 것이 더 효과적임을 알 수 있다.

그림 2는 각각 FPW와 PPW 구조에서 GPNS가 0.5um인 NSCR_PPS 소자의 I-V 특성을 각각 나타낸 것이다. Well의 구조는 소자의 on 저항, 스냅백 홀딩 전압 및 열적 브레이크다운 전압에 영향을 미치는 중요한 변수인 것으로 나타났다. FPW 보다는 PPW 구조에서 열적 브레이크다운 전류는 50[mA/um]에서 20[mA/um]으로 감소하였지만, off 상태 누설전류는 4승 정도 감소하였고, on 저항, 스냅백 홀딩 전압, 열적브레이크다운 전압 등은 상당한 증가를 보였다. 즉, PPW 구조를 채택한 후, CPS 이온주입을 행하고, GPNS를

표 2. 시뮬레이션 분석을 통해 추출한 I-V 특성 데이터

	Full P-Well (FPW)			CPS + Partial P-Well (PPW)		
	(a) Standard GPNS=1.6um	(b) GPNS=1.0 um	(c) GPNS=0.5 um	(d) GPNS=1.6 um	(e) GPNS=1.0 um	(f) GPNS=0.5 um
Ioff	1.2E-10	1.5E-10	1.2E-10	6.4E-14	3.0E-14	3.0E-14
Vav	41.0	39.5	35.0	38.9	37.5	36.6
Vtr	45.0	43.8	38.5	45.9	44.7	43.0
Itr	5.0E-02	5.0E-02	7.0E-02	2.0E-01	2.0E-01	2.0E-01
Vh	1.4	1.3	1.3	36.9	40.8	37.0
Ih	4.0E-01	6.0E-01	6.0E-01	5.0E+00	3.0E+00	4.0E+00
Vtb	7.9	6.9	6.3	65.0	63.8	46.8
Itb	50.0	50.0	50.0	20.0	20.0	20.0
Ron	131	113	101	1873	1353	613



(a) FPW 구조, GPNS=0.5um (b) PPW 및 CPS 구조, GPNS= 0.5um

그림 2. 웰 구조 변화 및 GPNS 변화에 따른 I-V 특성의 변화

적절히 조절하면 정전기보호를 위한 필요충분조건인 높은 온저항, $V_h > V_{op}$ 및 $V_{th} > V_{tr}$ 과 같은 디자인 윈도우[2]를 만족시킬 수 있을 것으로 생각된다.

그림 3은 FPW 구조에서 GPNS=0.5um인 NSCR_PPS 표준소자의 전류밀도, 전계 및 국소(local)온도와 같은 등고선 분포를 나타낸 것이다. 각각의 스트레스 전류는 그림 2(a)에 보인 (A) 트리거링 포인트, (B) 스냅백 홀딩 포인트 및 (C) 열적 브레이크다운 포인트에 해당한다. 그림 3(a)는 스트레스 전류가 0.07mA인 트리거링 포인트 근처에서 GPNS=0.5um인 소자의 전류 흐름, 고전계 영역 및 최대 국

소온도 영역 등의 등고선 분포를 보인 것으로 GPNS=1.6um인 소자와 거의 동일한 등고선 분포를 나타내었기 때문에 등고선 데이터만으로는 GPNS 감소에 따라 V_{av} 및 V_{tr} 이 약간 감소하는 원인을 가시적으로 관찰할 수 없었다. 단지 GPNS=0.5um인 소자의 경우, GPNS=1.6um일 때보다 축소된 두 전극 사이의 유효 전류경로가 V_{av} 및 V_{tr} 의 감소에 어느 정도 기여하였을 것으로 추정된다. 그림 3(b)는 스트레스 전류가 0.6mA인 스냅백 홀딩 포인트 근처에서의 GPNS=0.5um인 변형소자의 전류 흐름, 고전계 영역 및 최대 국소온도 영역 등의 등고선 분포를 보인 것이다. 마찬가지로 두 소자 간의 전류 흐름과 고전계 영역의 분포가 유사하기 때문에 스냅백 홀딩 포인트 근처에서의 전압 강하, 즉 스냅백 홀딩 전압 역시 거의 동일한 값을 나타내었다. 그림 3(c)는 스트레스 전류가 50mA인 열적 브레이크다운 포인트 근처에서 GPNS=0.5um인 변형소자의 등고선 분포를 보인 것으로 1차 게이트 하부의 채널 영역을 중심으로 새롭게 형성되는 고전계 영역은 표준소자에 비해 약간 작게 나타났다. 따라서 표2에 보였듯이 GPNS 감소에 따라 열적 브레이크다운 전압이 감소한 것으로 생각된다. 이상과 같이 GPNS의 축소로 인해 두 전극 사이의 유효 전류경로가 표준소자에 비해 감소하므로 R_{on} 및 V_{av} 도 감소한 것으로 추정된다.

그림 4는 PPW 및 CPS 구조에서 GPNS=0.5um인 NSCR_PPS 변형소자의 등고선 분포를 나타낸 것이다. 각각의 스트레스 전류는 그림 2(b)에 보인 (A) 트리거링 포인트, (B) 스냅백 홀딩 포인트 및 (C) 열적 브레이크다운 포인트에 해당한다. 그림 4(a)는 스트레스 전류가 0.2mA인 트리거링 포인트 근처에서의 소자의 전류흐름은 GPNS=1.6um인 표준소자와 거의 유사한 양상을 나타내었지만, 전류가 수직방향으로 좀 더 넓게 분포하는 양상을 나타내었다. 고전계 영역

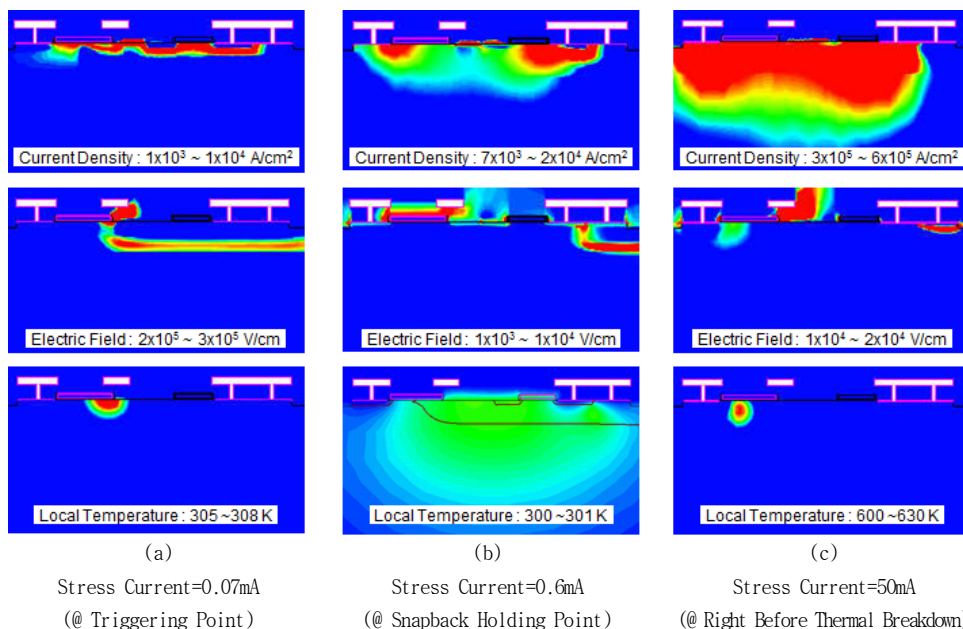


그림 3. FPW 구조에서 GPNS가 0.5um인 NSCR_PPS 표준소자의 등고선 분석.(숫자는 전계 및 전류밀도의 해당 범위를 나타냄)
(a) 트리거링 포인트, (b) 스냅백 홀딩 포인트, (c) 열적 브레이크다운이 일어나기 바로 전

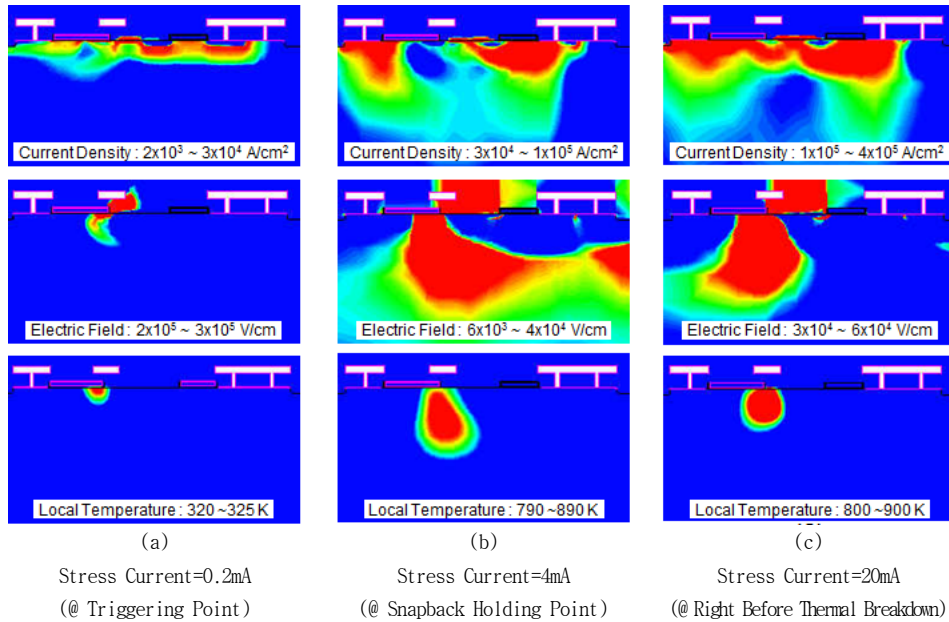


그림 4. PPW와 CPS 구조에서 GPNS가 0.5um인 NSCR_PPS 변형소자의 등고선 분석.(숫자는 전계 및 전류밀도의 해당 범위를 나타냄) (a) 트리거링 포인트, (b) 스냅백 홀딩 포인트, (c) 열적 브레이크다운이 일어나기 바로 전

은 표준소자와 마찬가지로 N⁻ Drift/P-Well의 경계면에 집중되어 있지만 약간 작았으며, 특히 수직방향의 경우 전계값이 현저하게 감소하는 양상을 나타내었다. 최대 온도 영역도 고전류 영역과 고전계 영역이 겹치는 영역, 즉 1차 게이트 우측 하단의 표면 영역에서 국부적으로 발생하였다. 그림 4(b)는 스트레스 전류가 4mA인 스냅백 홀딩 포인트 근처에서 소자의 전류 흐름 및 고전계 영역의 등고선 분포를 보인 것으로 GPNS=1.6um인 표준소자와 거의 유사한 분포를 나타내었다. 따라서 표준소자와 변형소자 사이의 전류흐름과 고전계 영역의 분포가 동일하기 때문에 스냅백 홀딩 포인트 근처에서의 전압강하, 즉 스냅백 홀딩 전압 역시 거의 동일한 값을 나타내었다. 그림 4(c)는 스트레스 전류가 20mA로 열적 브레이크다운이 일어나기 직전의 등고선 분포를 나타낸 것이다. 스트레스 전류가 증가함에 따라 스냅백 홀딩 포인트 근처에서 U자 형태로 분포하던 주(main) 전류경로가 열적 브레이크다운 포인트 근처에서는 다시 소자의 표면으로 회귀하는 특성을 나타내었다. 한편, GPNS=0.5um인 변형소자의 고전계 영역은 1차 게이트 우측 하부에서 시작하여 N⁻ 소오스 확산 영역을 크게 둘러싸는 형태로 존재하였다. 따라서 열적 브레이크다운 포인트 근처에서 GPNS=0.5um인 소자와 GPNS=1.6um인 소자 사이에 존재하는 Ron 값과 Vtb 값의 차이는 주전류경로의 형태 차이로 인해 발생하는 것으로 추정된다. PPW 및 CPS 구조에서 GPNS=0.5um인 변형소자의 전류 흐름, 고전계 영역 등의 등고선 분포를 GPNS=1.6um인 소자와 비교할 때 가장 두드러진 차이는 열적 브레이크다운 포인트 근처에서의 전류 흐름이다. 즉, GPNS=1.6um인 표준소자의 전류 흐름은 U자 형태의 주 전류경로를 형성하는 반면에, GPNS=0.5um인 변형소자의 전류 흐름은 주전류경로가 다시 소자의 표면으로 회귀하는 특성을 나타낸다는 것이

다. 결국 GPNS를 감소시킬 경우, 주 전류경로가 물리적으로 다시 짧아지며, 이로 인해 고전류 영역에서 상대적으로 낮은 Ron 및 Vtb 현상이 나타나는 것으로 추정된다.

서론에서 설명한 것처럼 고전압용 정전기 보호소자로 사용되는 NSCR_PPS 표준소자가 가지고 있는 문제점을 개선하기 위해 이전 연구인 CPS 이온주입[2][4], 부분웰(PPW)의 적용[6][7]과 함께 본 연구에서 제안하는 GPNS의 조절 등 시뮬레이션을 통해 공정을 최적화시킨다면 그동안 문제가 되던 I-V 파라미터들은 정전기 디자인 윈도우에 맞게 만들 수 있는 것으로 생각된다.

IV. 결론

기존의 NSCR_PPS 표준소자는 온 저항, 스냅백 홀딩 전압과 열적 브레이크다운 전압이 너무 낮아 정전기 보호 소자로 적용이 어려웠으나 본 연구에서 제안한 것처럼 부분웰(PPW) 및 CPS 이온주입을 모두 적용한 구조에서 GPNS를 적절히 조절한 결과 안정한 정전기 보호 특성을 얻을 수 있었다. 즉, GPNS가 PPS 변형소자의 on 저항과 스냅백 홀딩 전압에 영향을 미치는 중요한 변수인 것으로 나타났다. 즉, 부분웰(PPW) 및 CPS 이온주입을 모두 적용한 구조에서 GPNS를 적절히 조절하였을 때 스냅백 홀딩 전압을 동작전압 이상으로 크게 만들 수 있는 것으로 생각된다. 또한 등고선 데이터 분석 결과에 의하면 변형된 PPW_CPS 변형소자의 경우에는 고전류 레벨에서도 소자 표면 영역에 형성된 고전계 영역이 거의 그대로 유지되었고 주전류경로가 U자 형태로 전환됨으로서 소자의 on 저항의 증가 및 높은 래치업 면역과 유연한 트리거링 전압을 얻을 수 있는 것으로 분석되

었다. 따라서 NSCR_PPS 소자는 게이트와 N⁺ 확산층 간격의 변화를 적절히 조절함으로써 향상된 정전기 보호성능을 얻을 수 있어 위성체나 위성통신기에서 사용되는 고전압용 마이크로 칩의 정전기 보호 소자로 사용가능함을 확인하였다.

참 고 문 헌

[1] 양준원, 서용진, “고전압용 LDI 칩의 정전기 보호를 위한 EDNMOS 소자의 특성 개선”, 통신위성우주산업연구회논문지, 제7권 제2호, pp.18-24, 2012.

[2] 양준원, 서용진, “CPS 이온주입을 통한 NEDSCR 소자의 정전기 보호 성능 개선”, 통신위성우주산업연구회논문지, 제8권 제1호, pp.45-53, 2013.03.

[3] 양준원, 김형호, 서용진, “DDIC 칩의 정전기 보호 소자로 적용되는 EDNMOS 소자의 고전류 특성 및 더블 스냅백 메커니즘 분석”, 통신위성우주산업연구회논문지, 제8권 제2호, pp.36-43, 2013.06.

[4] 양준원, 서용진, “N형 실리콘 제어 정류기 소자의 구조 변형을 통한 정전기 보호 성능의 향상에 대한 연구, 통신위성우주산업연구회논문지, 제8권 제4호, pp.124-129, 2013.12.

[5] 서용진, 양준원, “DPS(Double Polarity Source) 구조를 갖는 고전압 동작용 EDNMOS 소자의 정전기 보호 성능 개선, 통신위성우주산업연구회논문지, 제9권 제2호, pp.12-17, 2014.06.

[6] 양준원, 서용진, “NESCR 소자에서 정전기 보호 성능 향상을 위한 최적의 P-Well 구조설계”, 통신위성우주산업연구회논문지, 제9권 제3호, pp.15-21, 2014.09.

[7] 양준원, 서용진, “PPS 소자가 삽입된 N형 SCR 소자에서 부분웰 구조가 정전기 보호 성능에 미치는 영향”, 통신위성우주산업연구회논문지, 제9권 제4호, pp.63-68, 2015.12.

[8] S. Dabral and T. J. Maloney, “Basic ESD and I/O Design”, John Wiley, New York, 1998.

[9] M. P. J. Mergens, W. Wilkening, S. Mettler, H. Wolf, A. Stricker and W. Fichtner, “Analysis of lateral DMOS power devices under ESD stress conditions”, IEEE Trans. Electron Devices, 47, pp. 2128-2137, 2000.

[10] B. C. Jeon, S. C. Lee, J. K. Oh, S. S. Kim, M. K. Han, Y.I. Jung, H. T. So, J. S. Shim and K. H. Kim, “ESD characterization of grounded-gate NMOS with 0.35um/18V technology employing transmission line pulser (TLP) test”, in Proc. EOS/ESD Symp., pp. 362-372, 2002.

[11] G. Bosselli, S. Meeuwsen, T. Mouthaan and F. Kuper, “Investigations on double diffused MOS (DMOS) transistors under ESD zap conditions”, in Proc. EOS/정전기 Symp., pp. 11-18, 1999.

[12] A. Chatterjee and T. Polgreen, “A low-voltage triggering SCR for on-chip ESD protection at output and input pads,” IEEE Electron Device Lett., vol.12, pp. 21-22, Jan. 1991.

[13] M. D. Ker, H. H. Chang, and C. Y. Wu, “A gate-coupled PTLSCR/NTLSCR ESD protection circuit for deep-submicron low voltage CMOS IC’s,” IEEE J. Solid-State Circuits, vol. 32, pp. 38-51, Jan. 1997.

[14] C. H. Lai, M. H. Liu, S. Su, T. C. Lu, and S. Pan, “A novel gate coupled SCR ESD protection structure with high latchup immunity for high-speed I/O pad,” IEEE Electron Device Lett., vol. 25, pp. 328-330, May 2004.

[15] 양준원, 서용진, “PMOS 소자가 삽입된 부분웰 구조의 N형 SCR 소자에서 정전기 보호 성능 향상을 위한 최적의CPS 이온주입에 대한 연구,”한국위성정보통신학회논문지, 제10권 제4호, 2015.12. (심사중)

저자

양 준 원(Jun-Won Yang)

정희원



- 1989년 2월 : 영남대학교 전자공학과 학사졸업
- 1995년 3월 : Keio대학교 이공학연구과 전기공학과 석사졸업
- 1999년 3월 : Keio대학교 이공학연구과 전기공학과 박사수료
- 1999년 3월 ~ 현재 : 세한대학교 정보물류학과 교수

<관심분야> : 위성통신, 전자파 해석

서 용 진(Yong-Jin Seo)

정희원



- 1987년 2월 : 중앙대학교 전기공학과 학사졸업
- 1989년 2월 : 중앙대학교 전기공학과 석사졸업
- 1994년 2월 : 중앙대학교 전기공학과 박사졸업
- 1995년 3월 ~ 현재 : 세한대학교 교수
- 2004년 3월 ~ 현재 : 세한대학교 나노정보소재연구소 소장

<관심분야> : 반도체소자, 정전기보호소자, CMP공정