

<http://dx.doi.org/10.7236/IIBC.2015.15.5.219>

IIBC 2015-5-28

비대칭적 멀티코어 디지털 신호처리 프로세서의 성능 연구

A Performance Study of Asymmetric Multi-core Digital Signal Processor Architectures

이종복*

Jongbok Lee*

요약 최근에 멀티코어 프로세서 구조가 디지털 신호처리 프로세서의 성능을 개선하기 위하여 광범위하게 이용되고 있다. 이러한 멀티코어 프로세서는 크게 대칭적 구조와 비대칭적 구조로 나뉜다. 비대칭적 멀티코어 프로세서는 대칭적 멀티코어 프로세서에 비하여 더욱 성능이 높고 효율적이라고 알려져 있다. 본 논문에서는 비대칭적 멀티코어 디지털 신호처리 프로세서가 대칭적 멀티코어 디지털 신호처리 프로세서에 대하여 갖는 성능의 우수성을 고찰하기 위하여, 다양한 구성을 갖는 비대칭적 쿼드코어, 옥타코어 및 헥사데카코어 디지털 신호처리 프로세서에 대하여 UTDSP 벤치마크를 입력으로 하여 모의실험을 수행하여 그 성능을 측정하고 비슷한 하드웨어 규모의 대칭적 멀티코어 디지털 신호처리 프로세서와 그 성능을 비교하였다.

Abstract Recently, the multi-core processor architecture is widely used in the digital signal processors for enhancing its performance. Multi-core processors are classified either as symmetric or asymmetric. Asymmetric multi-core processors are known to have higher performance and more efficient than symmetric multi-core processors. In order to study the performance enhancement of asymmetric multi-core digital signal processors over the symmetric ones, the trace-driven simulation has been executed for various asymmetric quad-core, octa-core and hexadeca-core digital signal processors and compared with the symmetric ones of similar hardware budget using UTDSP benchmarks as input.

Key Words : asymmetric multi-core digital signal processor, quad-core, octa-core, hexadeca-core.

1. 서론

디지털 신호처리 프로세서는 음성신호, 영상신호, 전자기신호 또는 광학신호 등을 처리하는 전용 마이크로 프로세서이다. 특히 최근에 이르러 그래픽 처리, 암호화, 압축 및 스마트 자동차 센서용 반도체칩을 위하여 디지

털 신호처리 프로세서 성능의 고도화가 요구되고 있다 [1,2].

한편, 현재 멀티코어 프로세서가 스마트폰, 태블릿 PC, 노트북, 데스크탑 등과 같은 컴퓨터 시스템의 성능 향상을 높이기 위하여 광범위하게 쓰이고 있다. 그 중에서 비대칭적 (asymmetric) 멀티코어 프로세서는 동일한

*정희원, 한성대학교 정보통신공학과
접수일자 : 2015년 9월 30일, 수정완료 : 2015년 10월 7일
게재확정일자 : 2015년 10월 9일

Received: 30 September, 2015 / Revised: 7 October, 2015 /
Accepted: 9 October, 2015

*Corresponding Author: jblee@hansung.ac.kr
Dept. of Information & Communications Eng., Hansung
University, Korea

명령어 집합을 가지면서 서로 다른 구조, 복잡도, 성능 및 전력소비를 갖는 이종 (heterogeneous)의 코어들로 구성된다^[3,4]. 전형적인 비대칭적 멀티코어 프로세서는 고속의 대규모 복잡도로 구성되는 코어와, 저속의 작고 간단한 여러 개의 프로세서들로 구성된다. 이러한 비대칭적 멀티코어 프로세서는 동종 (homogeneous)의 코어들로 구성되는 대칭적 멀티코어 프로세서에 비하여 더욱 성능과 효율이 높은 것으로 알려져 있다. 본 논문에서는 다양한 사양의 비대칭적 쿼드코어(quad-core), 옥타코어(octa-core) 및 헥사데카코어(hexadeca-core) 디지털 신호처리 프로세서에 대하여, UTDSP 벤치마크를 입력으로 하여 모의실험을 수행하여 성능을 측정하였으며, 동급의 하드웨어 비용을 갖는 대칭적 멀티코어 디지털 신호처리 프로세서와 결과를 비교하였다.

본 논문은 다음과 같이 구성된다. 2장에서 비대칭적 멀티코어 신호처리 프로세서에 대하여 살펴보고, 3장에서 모의실험 환경에 대하여 고찰한다. 4장에서 모의실험 결과를 보이며, 5장에서 결론을 맺는다.

II. 비대칭적 멀티코어 디지털 신호처리 프로세서 시스템

1. 비대칭적 멀티코어 디지털 신호처리 프로세서의 구조

N 개의 코어로 구성되는 비대칭적 멀티코어 디지털 신호처리 프로세서에서, 한 개의 코어는 여러 개의 긴 쓰레드 (thread)를 실행시킬 수 있는 고성능 비순차 (out-of-order) 슈퍼스칼라 프로세서로, 나머지 N-1 개의 코어들은 단순한 구조의 RISC 또는 짧은 길이의 쓰레드를 실행시키는 순차 (in-order) 슈퍼스칼라 프로세서로 구성된다.

한편, 각 코어는 자체적으로 1 차 명령어 캐쉬와 1 차 데이터 캐쉬를 가지며, 메인 메모리와 연결되는 공통의 2 차 통합 캐쉬를 공유한다. 각 코어에 설치된 1 차 데이터 캐쉬의 일관성(cache-coherency)을 위하여 MESI 프로토콜을 이용하여, 어느 코어에서 공유된 캐쉬 메모리에 쓰기 작업을 하였을 때, 나머지 코어에서는 해당 데이터를 무효화 (write-invalidate) 시킨다. 이하 본 논문에서 기술하는 명령어 캐쉬와 데이터 캐쉬는 모두 1 차 캐쉬를 의미한다.

2. 비대칭 멀티코어 디지털 신호처리 프로세서 동적 스케줄링

멀티코어 디지털 신호처리 프로세서의 전역제어부 (global control unit)는, 비대칭적 멀티코어 프로세서 시스템에서 각 코어에 동적으로 쓰레드를 예측하여 할당하고 실행이 완료되었을 때는 다음 쓰레드를 예측하는 기능을 담당한다^[5,6].

쓰레드는 RISC 형일 때 명령어 1 개로, 슈퍼스칼라 형일 때는 명령어 N 개로 구성된다. 각 쓰레드의 개수는 구조에 따라 한 개 또는 두 개 이상일 수도 있다. 전역제어부가 쓰레드를 코어에 할당할 때 프로그램 카운터의 값을 알려주며, 명령어의 해독(decoding) 및 실행은 각 코어에서 처리된다.

전역제어부는 다음의 쓰레드를 동적으로 예측하기 위하여 2 단계 방법을 이용한다. 이것은 분기 예측 방법과 유사한데, 제 1 단계에서 최근 k 개의 쓰레드의 향방을 추적하고, 제 2 단계에서 카운터를 이용하여 각 쓰레드의 타겟이 선정된 회수를 기록함으로써, 다음 쓰레드들을 높은 정확도로 예측할 수 있다^[7].

3. 비대칭적 멀티코어 디지털 신호처리 프로세서를 구성하는 캐쉬의 구성

멀티코어 디지털 신호처리 프로세서에서 명령어 캐쉬 미스에 의한 성능의 손실을 최소화하기 위하여, 캐쉬를 충분한 용량과 2 차 이상의 연관도 (2-way set associative) 로 구성하여 충분한 캐쉬 히트율을 확보할 수 있다. 데이터 캐쉬의 경우, 여러 코어 간의 캐쉬 일관성(Cache Coherency)을 위한 MESI 프로토콜의 적용으로 인하여 캐쉬의 데이터를 무효화 (write-invalidate) 하는 경우가 빈번히 발생한다. 따라서, 직접 캐쉬로는 적절한 캐쉬 히트율을 확보할 수가 없어서 멀티코어 디지털 신호처리 프로세서의 성능 손실이 크므로, 데이터 캐쉬 역시 충분한 용량과 2 차 이상의 연관도로 구성한다.

III. 모의실험 환경

1. 비대칭적 멀티코어 디지털 신호처리 프로세서 모의실험기

본 논문에서는 명령어 자취형 모의실험기를 개발하여 모의실험에 이용하였다^[8]. 비대칭적 멀티코어 디지털 신

호처리 프로세서는 제 1 단계 명령어 자취의 발생, 제 2 단계 명령어 자취를 입력으로하는 비대칭적 멀티코어 프로세서의 실행으로 진행된다.

제 1 단계에서 명령어 자취는 SimpleScalar를 이용하여 UTDSP 벤치마크 프로그램으로부터 임의의 차수의 멀티코어에 적합하도록 발생되었다^[9]. 초기화 작업을 거친 후에, 각 코어는 매 사이클마다 1 개 또는 N 개의 명령어를 인출받는다. 인출한 명령어는 재명명 (renaming) 작업 중 명령어 종속에 의한 타임스탬프(timestamp) 값을 설정받는다. 레지스터 화일의 타임스탬프 값에 의하여, 멀티코어 프로세서 명령어 간의 종속성이 유지되어 성능을 구하는데 반영된다.

제 2 단계에서 명령어 자취는 각 코어가 단순한 RISC 프로세서, 순차 슈퍼스칼라 및 비순차 슈퍼스칼라 프로세서로 동작하는 비대칭적 멀티코어 디지털 신호처리 프로세서에 입력된다.

N 개의 비대칭 멀티코어에 대하여 각각 해당 코어의 윈도우 공간에 동종형이나 이종형이나에 따라서 적절하게 한 개 또는 M 개의 명령어를 인출해서 채우고, 각 코어에 대하여 명령어를 실행하면서 종속성에 의하여 부여된 명령어의 타임스탬프가 충족되면 삭제한다. 이 과정은 코어 내부 및 코어 간의 레지스터 종속 및 메모리 종속 검사에 적용되며, 입력으로 주어진 벤치마크 프로그램의 모든 명령어가 소진될 때까지 반복된다.

위 과정이 한번 실행될 때 마다 사이클이 증가하므로, 매 사이클 당 명령어의 실행 및 삭제가 가장 오래 걸리는 코어가 해당 사이클 수를 결정한다. 모의실험에 입력으로 쓰인 명령어의 총 개수를 처리하기 위하여 소요된 총 사이클 수로 나누어, 비대칭적 멀티코어 프로세서 시스템의 성능의 척도인 IPC(Instruction Per Cycle)를 계산할 수 있다.

2. 비대칭적 디지털 신호처리 멀티코어

프로세서 및 벤치마크의 사양

표 1은 모의실험에 이용된 멀티코어 디지털 신호처리 프로세서 아키텍처의 사양을 나타낸 것이다. 코어의 개수는 쿼드코어가 4 개, 옥타코어가 8 개, 헥사데카코어가 16 개이다. 각 코어는 RISC 방식 또는 슈퍼스칼라 방식으로 운영되므로, 동종형 및 이종형 여부에 따라 적절하게 매 사이클마다 1 개에서 N 개의 명령어를 인출, 이슈, 실행 및 종료한다.

표 1. 모의실험에 이용된 멀티코어 디지털 신호처리 프로세서 아키텍처 하드웨어의 사양

Table 1. The architecture specification of each digital signal processor core

항목	값	
멀티코어의 수	4, 8, 16	
구조	RISC	슈퍼스칼라
쓰레드의 크기	1	4/8/16/32/64
인출율, 이슈율, 퇴거율	1	2/4/8
명령어 캐쉬 및 데이터 캐쉬의 공통 사항	128 KB, 2 차 연관, 16 B 미스 페널티 10 사이클	
연산유닛 개수	산술논리(1/2/4/8), 분기(1), 로드(1/2), 스토어(1), 실수형 덧셈기(1,2,4), 실수형 곱셈기(1,2,4)	
쓰레드 어드레스 캐쉬	2 K 엔트리	
쓰레드 예측기	2 단계 14 비트 전역 히스토리 방식 미스 페널티 6 사이클	
이슈 지연 사이클	산술논리(1), 분기(1), 로드(1), 스토어(1), 실수형 곱셈(1), 단정도 실수형 나눗셈(4), 배정도 실수형 나눗셈(7)	
결과 지연 사이클	산술논리(1), 분기(1), 로드(1), 스토어(1), 단정도 실수형 나눗셈(6), 배정도 실수형 나눗셈(9)	

각 코어의 연산유닛은 정수형 유닛, 로드 스토어 유닛, 분기 유닛, 실수형 덧셈기 및 실수형 곱셈기로 구성된다. 명령어 캐쉬와 데이터 캐쉬는 각 코어마다 설치되고 128 KB의 용량을 갖도록 설정하였으며, 2 차 연관도 (2-way set associativity) 방식을 통하여 접근된다.

표 2. 대칭적 멀티코어 디지털 신호처리 프로세서와 대응하는 비대칭적 멀티코어 디지털 신호처리 프로세서의 세부 사양

Table 2. The specific architecture configurations of the symmetric multi-core digital signal processors corresponding to the asymmetric multi-core digital signal processors

코어수	대칭적	비대칭적	
쿼드코어(4)	$I_2 \times 4$	$O_4 \times 1$	$R \times 3$
	$I_4 \times 4$	$O_8 \times 1$	$I_2 \times 3$
	$I_8 \times 4$	$O_{16} \times 1$	$I_4 \times 3$
옥타코어(8)	$I_2 \times 8$	$O_8 \times 1$	$R \times 7$
	$I_4 \times 8$	$O_{16} \times 1$	$I_2 \times 7$
	$I_8 \times 8$	$O_{32} \times 1$	$I_4 \times 7$
헥사데카코어(16)	$I_2 \times 16$	$O_{16} \times 1$	$R \times 15$
	$I_4 \times 16$	$O_{32} \times 1$	$I_2 \times 15$
	$I_8 \times 16$	$O_{64} \times 1$	$I_4 \times 15$

표 2는 본 모의실험에서 사용하는 쿼드코어, 옥타코어 및 헥사데카코어 디지털 신호처리 프로세서의 대칭적 구

조와 이에 대응하는 비대칭적 구조의 각 조합을 나타낸 것이다. 본 논문에서 코어의 복잡도는 코어가 처리할 수 있는 쓰레드의 최대 개수, 쓰레드당 최대 명령어의 개수 및 명령어에 대한 순차 수행 또는 비순차 수행의 여부로 결정된다.

대칭적 멀티코어 프로세서는 쓰레드의 크기가 2, 4, 8 이고 쓰레드의 개수가 1이며 순차 실행되는 간단한 슈퍼스칼라 코어의 세 가지 유형으로 설정하였으며, 각각 I_2 , I_4 , I_8 로 표기하였다. 한편, 비대칭적 멀티코어 프로세서에서 처리할 수 있는 쓰레드의 길이가 4, 8, 16, 32, 64이고 쓰레드의 개수가 2이며 비순차 실행되는 슈퍼스칼라 코어를 각각 O_4 , O_8 , O_{16} , O_{32} , O_{64} 로 표기하였다. 또한 R은 간단한 RISC 코어를 의미한다.

표 3. UTDSP 벤치마크 프로그램
Table 3. UTDSP benchmark programs

벤치마크	설 명	유 형
compress	압축 프로그램	실수형
edge detect	256 그레이 수준 128x128 픽셀 이미지의 에지를 탐지	정수형
FFT	1024 개 점의 복소수 고속 푸리에 변환	실수형
FIR	64 개의 점을 처리하는 256 탭 필터	실수형
histogram	히스토그램 균등화를 통한 256 그레이 수준 128x128 픽셀 이미지의 개선	정수형
IIR	64 개 점에 대한 4 개 직렬 IIR 바이쿼드 필터	실수형
lpc	선형 예측 코딩 부호화기의 구현	실수형
multiplication	두 개 10x10 행렬의 곱셈	실수형
spectral estimation	피리어드그램 평균을 이용하여 음성의 입력 샘플에 대한 전력 스펙트럼 예측	실수형

표 3은 모의실험에 이용된 아홉 개의 UTDSP 벤치마크 프로그램이다. 본 벤치마크는 두 개의 정수형 프로그램과 일곱 개의 실수형 프로그램으로 구성된다. SimpleScalar를 통하여 MIPS IV 10억 개의 명령어 자취를 임의의 차수의 비대칭적 멀티코어 프로세서에 적합하도록 발생시켜서 모의실험기에 입력하였다.

IV. 모의실험 및 결과

그림 1에 쿼드코어, 옥타코어 및 헥사데카코어일 때, 대칭적 멀티코어 디지털 신호처리 프로세서와 이에 대응하는 비대칭적 멀티코어 디지털 신호처리 프로세서의 성능을 각각 나타냈다. 이 때 모의실험 결과를 분석하면 다음과 같다.

1. 쿼드코어 프로세서의 모의실험 결과

그림 1(a)와 1(b)는 각각 대칭적 쿼드코어 프로세서와 비대칭적 쿼드코어 프로세서의 모의실험 결과이다. I_2 코어 네 개로 구성되는 대칭적 쿼드코어 프로세서는 평균 1.94 IPC를 나타냈으며, 이에 대응하는 O_4 코어 한 개와 R 코어 세 개의 조합으로 구성되는 비대칭적 쿼드 코어 프로세서는 그보다 높은 2.49 IPC를 기록하여 성능이 28 % 개선되었다. 한편, I_4 네 개의 대칭적 쿼드 코어 프로세서는 평균 2.51 IPC를 나타냈으며, O_8 한 개와 I_2 세 개의 조합으로 구성되는 비대칭적 쿼드코어 프로세서는 역시 그보다 높은 3.32 IPC를 기록하였다. 마지막으로 I_8 네 개의 대칭적 쿼드코어 프로세서의 사양은 2.99 IPC를 얻은 반면에, 대응하는 O_{16} 한 개와 I_4 세 개로 구성되는 비대칭적 쿼드코어 프로세서는 4.16 IPC를 기록하였다. 쿼드코어의 경우, 비대칭적 멀티코어 디지털 신호처리 프로세서가 대칭적 멀티코어 디지털 신호처리 프로세서에 비하여 평균 33 %의 높은 성능을 나타냈다.

2. 옥타코어 프로세서의 모의실험 결과

그림 1(c)와 1(d)는 옥타코어 프로세서일 때의 모의실험 결과를 비교하여 나타낸 것이다. I_2 여덟 개로 구성되는 대칭적 옥타코어 프로세서의 성능은 평균 2.81 IPC를 기록하였으나, O_8 한 개와 R 일곱 개의 조합인 비대칭적 옥타코어 프로세서는 보다 높은 평균 3.64 IPC를 기록하였다. 또한 여덟 개의 I_4 로 구성된 대칭적 옥타코어 프로세서는 3.50 IPC에 그친 반면, 대응하는 O_{16} 한 개와 I_2 일곱 개로 구성되는 비대칭적 옥타코어 프로세서는 4.59 IPC를 획득하였다. 한편, 여덟 개의 I_8 로 구성되는 대칭적 옥타코어 프로세서는 4.14 IPC를 나타냈고, 이에 대응하여 한 개의 O_{32} 와 일곱 개의 I_4 로 구성되는 비대칭 옥타코어 프로세서는 53 % 성능이 개선된 6.36 IPC를 기록하였다.

비대칭적 옥타코어 프로세서의 대칭적 옥타코어 프로세서에 대한 평균 성능의 개선은 38 %를 기록하여, 쿼드코어의 경우와 거의 같은 성능의 개선을 나타냈다.

3. 헥사데카코어의 모의실험 결과

그림 1(e)와 1(f)는 헥사데카코어 프로세서일 때의 모의실험 결과를 비교하여 나타낸 것이다. I_2 , I_4 , I_8 열 여섯 개의 코어로 구성되는 대칭적 헥사데카코어 프로세서의 평균 성능은 각각 3.97 IPC, 5.13 IPC, 6.27 IPC를 기록하

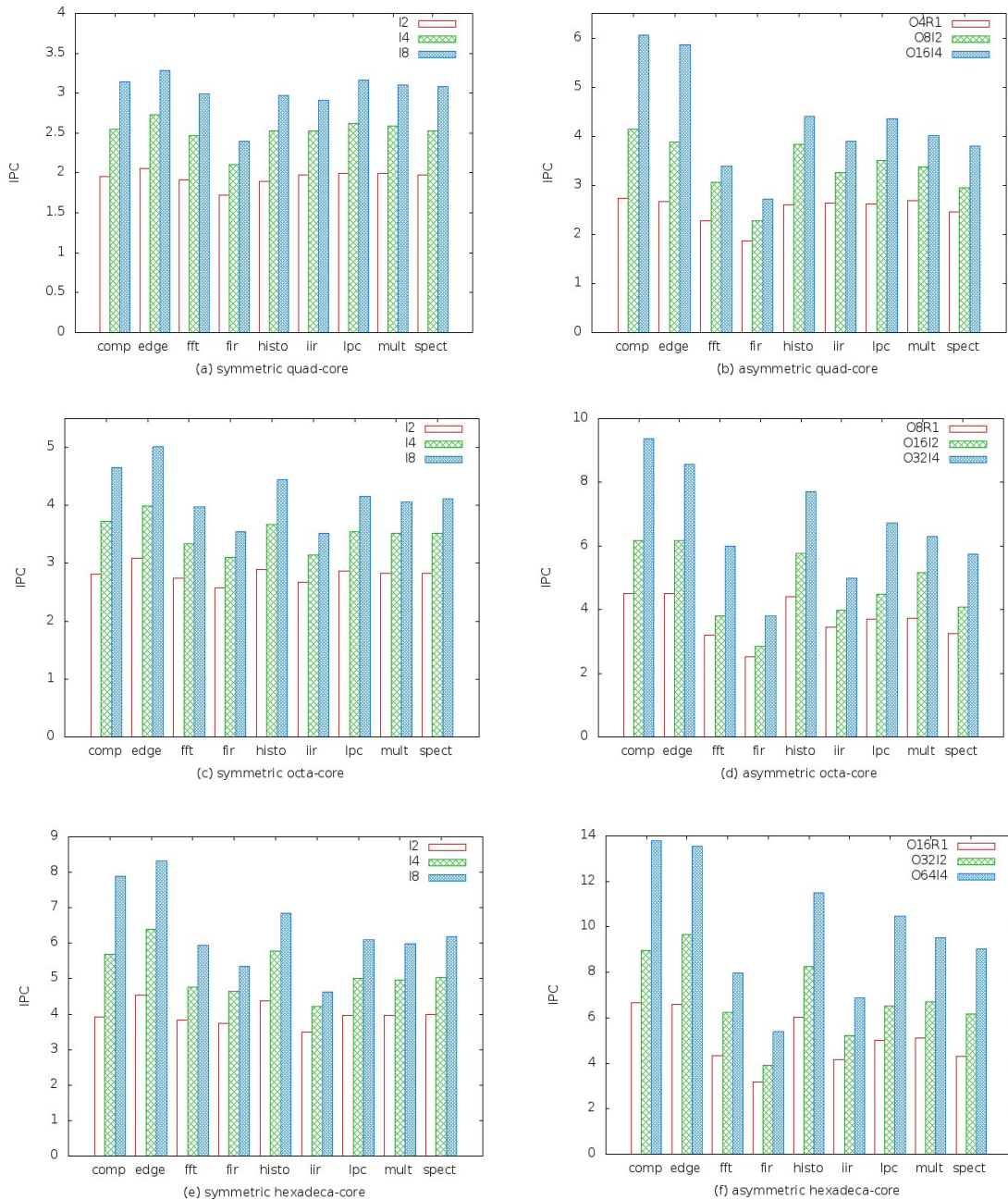


그림 1. 대칭적 멀티코어 디지털 신호처리 프로세서와 비대칭적 멀티코어 디지털 신호처리 프로세서의 성능 비교
 Fig. 1. The performance comparison between the symmetric and the asymmetric multi-core digital signal processors

였다. 이러한 대칭코어에 대응하는 O_{16} , O_{32} , O_{64} 로 구성되는 비대칭 코어의 평균성능은 각각 4.91 IPC, 6.63 IPC, 9.40 IPC로 평균 34 % 개선되었다.

이상에서 볼 때 비슷한 하드웨어 비용을 투자하는 경

우, 동종의 대칭적 멀티코어 디지털 신호처리 프로세서 여러 개로 구축하는 것 보다는, 한 개의 크고 성능이 높은 디지털 신호처리 코어와 작고 간단한 여러 개의 디지털 신호처리 코어들로 구성되는 이종의 비대칭적 멀티코

어 디지털 신호처리 프로세서로 구현함으로써 더욱 높은 성능을 얻을 수 있다는 것을 알 수 있다.

V. 결 론

본 논문에서는 각 코어가 RISC, 순차 및 비순차 슈퍼스칼라와 같은 이종형 프로세서의 다양한 조합으로 구성되는 비대칭적 쿼드코어, 옥타코어, 및 헥사테카코어 디지털 신호처리 프로세서 아키텍처에 대하여 UTDSP 벤치마크를 입력으로 하여 모의실험을 통하여 성능을 측정하고 그 결과를 분석하였다. 비슷한 하드웨어 비용의 동종형 프로세서로 구성되는 대칭적 멀티코어 디지털 신호처리 프로세서와 그 성능을 비교한 결과, 비대칭적 멀티코어 디지털 신호처리 프로세서가 평균 35%의 높은 성능을 나타냈다.

따라서, 충분한 캐쉬 용량이 확보되었을 때, 헥사테카코어 프로세서 이하이면서 동일한 개수의 코어로 비슷한 하드웨어 비용을 투자하였을 때, 동종의 대칭적 멀티코어 프로세서로 구현하는 것보다는 한 개의 크고 성능이 높은 코어 한 개와 작고 간단한 여러 개의 코어로 구성되는 이종의 비대칭적 멀티코어 프로세서가 더욱 높은 성능을 얻을 수 있다는 것을 알 수 있다.

References

[1] L. J. Karam, I. AlKamal, A. Gatherer, G. A. Frantz, D. V. Anderson, B. L. Evans, "Trends in Multi-core DSP Platforms," IEEE Signal Processing Magazine, pp. 1- 10, Nov. 2009

[2] J. Lee, "Performance Study of Multicore Digital Signal Processor Architectures," Journal of The Institute of Internet, Broadcasting and Communication, vol. 13, no. 4, pp. 171-177, Aug. 2013.

[3] R. Kumar et al, "Single-ISA heterogeneous Multicore Architectures for Heterogeneous for Multithreaded Workload Performance," Annual

International Symposium on Computer Architecture, Mar. 2004.

[4] J. Hourd et al, "Exploring Practical Benefits of Asymmetric Multicore Processors," Workshop on Parallel Execution of Sequential Programs on Multi-core Architectures, Apr. 2009.

[5] T. Ungerer, B. Robic, and J. Silk, "Multithreaded Processors," The Computer Journal, Vol. 45, No. 3, 2002

[6] G. S. Sohi, S. E. Breach, and T. N. Vijaykumar, "Multiscalar Processors," Proceedings of the 22nd annual international symposium on Computer architecture, pp. 414-425, May 1995.

[7] T-Y. Yeh and Y. N. Patt, "Alternative Implementations of Two-Level Adaptive Branch Prediction," in Proceedings of the 19th International Symposium on Computer Architecture, pp.124-134, May. 1992.

[8] J. Lee, "A Study of Trace-driven Simulation for Multi-core Processor Architectures," Journal of The Institute of Internet, Broadcasting and Communication, vol. 12, no. 3, pp. 9-13, Jun. 2012.

[9] T. Austin, E. Larson, and D. Ernest, "SimpleScalar : An Infrastructure for Computer System Modeling," Computer, vol. 35, no. 2, pp. 59-67, Feb. 2002.

저자 소개

이 종 복(정회원)



- 1964년 8월 20일생.
- 1988년 : 서울대 컴퓨터공학과 졸업.
- 1998년 : 동 대학 전기공학부 졸업(공학박).
- 1998년 ~ 2000년 : LG반도체 선임연구원.
- 2000년 ~ 현재 : 한성대 정보통신공학과 교수
- Tel : 02-760-4497
- Fax : 02-760-4435
- E-Mail : jblee@hansung.ac.kr

※ 본 연구는 한성대학교 교내연구장려금 지원과제임.