

Pt 나노입자가 분산된 SiO₂ 박막의 저항-정전용량 관계

최병준[†]

서울과학기술대학교 신소재공학과

Relation between Resistance and Capacitance in Atomically Dispersed Pt-SiO₂ Thin Films for Multilevel Resistance Switching Memory

Byung Joon Choi[†]

Department of Materials Science and Engineering, Seoul National University of Science and Technology

(Received July 27, 2015 : Revised August 1, 2015 : Accepted August 2, 2015)

Abstract Resistance switching memory cells were fabricated using atomically dispersed Pt-SiO₂ thin film prepared via RF co-sputtering. The memory cell can switch between a low-resistance-state and a high-resistance-state reversibly and reproducibly through applying alternate voltage polarities. Percolated conducting paths are the origin of the low-resistance-state, while trapping electrons in the negative *U*-center in the Pt-SiO₂ interface cause the high-resistance-state. Intermediate resistance-states are obtained through controlling the compliance current, which can be applied to multi-level operation for high memory density. It is found that the resistance value is related to the capacitance of the memory cell: a 265-fold increase in resistance induces a 2.68-fold increase in capacitance. The exponential growth model of the conducting paths can explain the quantitative relationship of resistance-capacitance. The model states that the conducting path generated in the early stage requires a larger area than that generated in the last stage, which results in a larger decrease in the capacitance.

Key words resistive switching, impedance analysis, nanocomposite thin films, electrical transport.

1. 서 론

저항변화메모리(RRAM; resistance random access memory)는 구조가 비교적 간단하면서도, 빠른 읽기/쓰기 속도를 가지고 있고, 쓰기/지우기 동작의 기대 수명이 긴 비휘발성 메모리이기 때문에 고밀도 또는 고성능의 차세대 메모리로 각광 받고 있다.¹⁻⁴⁾ RRAM의 핵심 소재인 저항변화층 소재로는 NiO, TiO₂, Ta₂O₅, HfO₂와 같은 전이금속 산화물 박막이 많이 쓰이고 있는데, 20 nm 급 크기의 소자에서도 재현성과 균일성이 우수한 RRAM을 만들기 위해 저항변화 소재 및 전극, 소자 구조 및 공정, 소자 설계와 같은 다양한 영역에서의 연구가 이루어지고 있다.⁵⁻¹⁰⁾

한편, 절연성 박막에 수 - 수십 나노미터 크기의 금속성 입자를 균일하게 분산시킨 복합 박막 소재는 광학적,

전자기적, 열적, 열전적, 기계적 특성 등 재료의 다양한 특성을 제어하는 것이 가능하다.^{11,12)} 이와 같은 원리로 반도체 또는 절연층에 금속 나노입자가 분산된 박막을 전하 트랩형 플래쉬 메모리 또는 저항변화메모리의 저항변화층 소재로 사용하고자 하는 연구가 최근 들어 활발히 보고 되고 있다.¹³⁻¹⁸⁾ 특히 Pt 또는 Cr과 같은 금속 입자가 SiO₂ 또는 SiN_x와 같은 절연층에 분산된 복합 박막 소재에서는 ON/OFF 상태에서의 저항비가 100 배 이상으로 크고, 동작 속도가 100 ns 이하로 빠르며, 특히 소자 간 동작 특성의 균일성이 매우 우수한 결과가 보고 되었다.^{17,19,20)} 이러한 복합 박막에서의 낮은 저항 상태와 높은 저항 상태의 근원으로는, 금속 나노입자의 분산에 따른 전도성 경로의 생성으로 인한 낮은 저항 상태, 그리고 금속 나노입자-절연체 사이의 결합에서 기인하는 네거티브 *U*-센터(negative *U*-center)에 전자가

[†]Corresponding author

E-Mail : bjchoi@seoultech.ac.kr (B. J. Choi, Seoultech.)

© Materials Research Society of Korea, All rights reserved.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

포획(trapping) 되는데 따른 전도성 경로의 비활성화로 인한 높은 저항 상태로 설명이 되었다.^{19,21)} 금속 나노입자를 이용한 저항변화 현상의 제어는, 포밍 현상 제어나 소자의 균일성과 재현성 제고 등 RRAM 소자의 특성을 향상시키는 데 중요한 재료공학적인 접근 방법으로 기대되고 있다.^{9,18,22,23)}

본 연구에서는 코스퍼터링 방법으로 제어한 Pt 나노입자가 고르게 분산된 SiO₂ 복합 박막을 이용한 금속-복합 박막-금속 구조의 메모리 소자에서 나타나는 저항-정전용량(capacitance)의 관계에 대해 밝히고자 한다. 이는 금속 나노입자가 분산된 복합 박막 RRAM 단위 소자에서 4 가지 이상의 저항 상태를 나타내어 메모리 소자의 집적도를 높일 수 있는 멀티레벨 동작이 가능한 이유를 설명할 수 있고, 또한 복합 박막 RRAM 소자의 저항변화 현상의 기구를 이해하는 데 중요하기 때문이다.

2. 실험 방법

메모리 소자는 p-타입 실리콘 기판에 열처리에 의해 형성된 200 nm 두께의 SiO₂ 박막 위에 만들어졌다. 30 nm 두께의 하부 전극용 Mo 박막을 DC 마그네트론 스퍼터링 방법으로 형성한 후, Pt(99.99%)와 SiO₂(99.5%) 타겟을 RF 코스퍼터링(cosputtering)하여 Pt 나노입자가 분산된 SiO₂ 복합 박막(SiO₂:Pt)을 20 nm 두께로 형성시켰다. 약 25 nm 두께의 Pt 박막을 RF 스퍼터링한 후 포토리소그래피 - 건식 식각 방법을 사용해 10 × 10 μm² 크기의 프로브 컨택용 상부 전극을 형성했다. 박막 증착은 Ar(순도 99.999%) 16 SCCM을 흘려주어 챔버 내 압력을 3 mTorr로 일정하게 유지한 상태에서 진행되었고, 하부전극부터 상부전극까지 진공 상태에서 연속적으로 진행되었다. SiO₂:Pt 박막의 증착 속도와 Pt 분율은 각각 SiO₂ 타겟과 Pt 타겟의 RF 출력을 이용해 조절했다. 복합 박막의 조성은 러더퍼드 후방산란 분광기(RBS; rutherford backscattering spectroscopy)와 에너지 분산 분광기(EDS; energy disperse spectroscopy)를 사용해 분석했다. 메모리 소자의 전기적 특성은 반도체 파라미터 분석 장비(SPA; semiconductor parameter analyzer, Keithley 237)를 이용해 I(전류) - V(전압) 특성을 분석했다. 메모리 소자의 임피던스(impedance) 분석은 임피던스 분석기(HP4192A)를 이용해 주파수를 변화시키면서 분석했다. 본 연구에서는 10 Hz - 1 MHz 주파수 영역에서 DC 전압을 가하지 않고 40 mV AC 진동 조건으로 임피던스 분석을 진행했다. 고온 안정성 측정을 제외한 모든 전기적 특성 측정은 상온에서 이루어졌다.

3. 결과 및 고찰

Fig. 1(a)에는 Pt(상부전극) - SiO₂:Pt(저항변화층) - Mo(하부전극)으로 이루어진 저항변화메모리 소자의 단면 모식도를 나타냈다. 이 때 저항변화현상이 잘 일어나는 양이온비, Pt/(Pt+Si)가 약 20%인 경우, Pt 나노입자의 크기는 2~3 nm로써 균일하게 분산되어 있는 것을 Fig. 1(a) 내부에 삽입된 전자투과현미경 사진으로부터 확인할 수 있다.

Fig. 1(b)는 전형적인 I-V 곡선을 보여주고 있다. 고저항 상태(HRS; high-resistance-state)의 메모리 소자(-) 전압을 인가해 주면, -1 V 근처에서 저저항 상태(LRS; low-resistance-state)로의 급격한 전이가 일어난다. 이러한 저항변화 양상(HRS에서 LRS로 변화)을 set 동작이라고 한다. 전압을 걸어주지 않아도 LRS는 유지된다. 이번에는 LRS에서 (+) 전압을 서서히 증가시키면서 인가하게 되면, +1.2 V 근처에서 급격히 저항이 증가하면서 다시 HRS 상태로 돌아가는 reset 동작을 볼 수 있다. 이와 같이, 외부에서 인가하는 전압의 방향에 따라 저항변화메모리가 set/reset 동작을 반복하면서 HRS/LRS 를 갖게 된다.

메모리 소자는 정보 저장을 위해 “0”, “1”의 두 가지 상태가 필요하지만, “00”, “01”, “10”, “11”과 같이 4 가지 상태가 있는 멀티레벨에서는 같은 면적에서 2배의 정보를 저장하는 것이 가능해진다. 이와 같은 멀티레벨 동작이 복합 박막을 이용한 본 저항변화메모리에서도 가능한 것으로 보고되었다.^{21,24,25)} 상부 전극에 (-) 전압을 인가하는 set 동작 시에 측정 기기에서 최대허용전류(CC; current compliance)를 설정해 주면, LRS 또는 HRS가

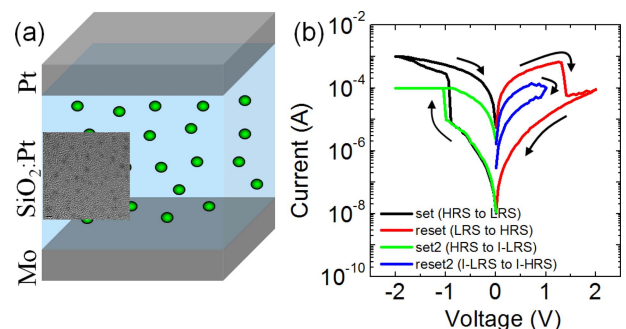


Fig. 1. (a) Schematics of the memory cell structure made of Pt (top electrode) / SiO₂:Pt (switching layer) / Mo (bottom electrode). (inset) plan-view transmission electron microscope image of SiO₂:20%Pt, (b) Typical I-V curves showing set-reset switching for LRS and HRS, and partial set-reset switching for I-LRS and I-HRS under current compliance.

아닌 중간 상태의 저항값을 갖게 된다. Fig. 1(b)에서는 HRS에서 set 동작 시 100 μ A 크기의 CC를 가할 경우 Fig. 1(b)에 나타낸 바와 같이 중간 상태의 LRS(Intermediate (I-) LRS)로 전이되는 것을 볼 수 있다. 이 I-LRS 상태에서 (+) 전압을 가해 reset 동작을 일으키면 전압 크기에 따라 중간 상태의 HRS(Intermediate (I-) HRS)로 전이된다. 이러한 두 중간 상태를 이용하면 메모리가 4 종류의 저항상태를 갖게 되어 2비트의 멀티레벨 메모리를 구현할 수 있다.

이와 같이 SiO₂:Pt 복합 박막을 이용한 저항변화메모리가 멀티레벨 특성을 갖는 현상을 이해하기 위해, 임피던스 분석을 수행했다. 먼저 set 동작에서 최대허용전류를 여러 값으로 설정해 HRS, LRS 외 6개의 중간 저항상태를 얻은 후, 각각의 저항상태에서 임피던스를 측정된 결과를 Cole-Cole plot 형태로 Fig. 2(a,b)에 나타냈다. 와이어의 저항 및 인덕턴스 성분은 소자를 배제한 단락 회로를 같은 주파수 및 진동 전압 조건에서 임피던스 측정 후 보정했다. Cole-Cole plot으로부터, 메모리 소자의 DC 저항(R_{mem})은 X축과의 교점, 즉 임피던스의 실수부(Re[Z])에서 얻었다. 다음으로 임피던스의 허수부(Im[Z])의 최대값이 나타나는 점에서의 주파수 값으로 메모리 소자의 공진 주파수(ν)를 얻었다. Fig. 2(c) 하단과 같이 메모리 소자가 저항과 축전기 성분으로 이루어진 RC 회로라고 단순 가정하게 되면, $C_{mem} = 1 / (2\pi\nu R_{mem})$ 관계에서 메모리 소자의 정전용량(C_{mem})을 구할 수 있다. Fig. 2(c)에는 Cole-Cole plot을 이용해 위의 방법으로 구한 메모리 소자의 저항-정전용량 관계를 나타냈다. LRS 1.72 k Ω 에서 HRS 456 k Ω 으로 저항이 265 배 증가함에 따라 정전용량은 41.2 pF 에서 110.6 pF으로 2.68 배 완만하게 증가하는 것을 볼 수 있다.

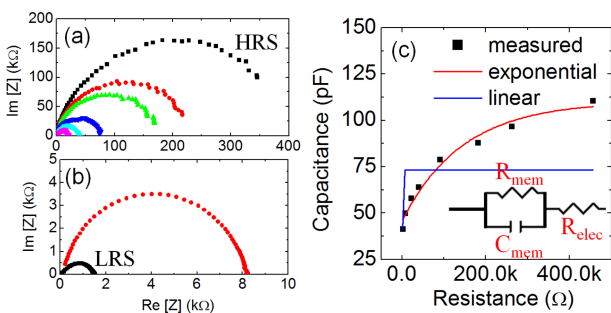


Fig. 2. Cole-Cole plot representing imaginary part of impedance (Im[z]) as a function of real part of impedance (Re[Z]) (a) HRS, I-HRS (3 states), and I-LRS (2 states), (b) I-LRS and LRS. (c) Variation in the capacitance as a function of the resistance of the memory cell. Fitted curves from the linear growth model (blue) and exponential growth model (red) of conducting paths, respectively. (inset) Simplified circuit model of the memory cell taken for impedance analysis.

SiO₂:Pt 복합 박막을 이용한 저항변화메모리의 멀티레벨 동작 특성과 저항-정전용량 관계는 병렬 RC 모델로 쉽게 설명할 수 있다. 기존에 Chen 등이 제시한 병렬 저항 모델은 Fig. 3(a)와 같이 극부적으로 존재하는 여러 다발의 도전성 경로(conducting path)가 단일 저항 성분으로 병렬 연결된 도식으로 표현 된다.^{21,25} 각각의 도전성 경로는 R_L 로 표현되는 저항 성분으로 생각할 수 있다. 이러한 도전성 경로에 전자가 포획되면 더 이상의 전자가 전도되기 어려워 고저항 상태인 R_H 상태가 된다. 총 N 개의 도전성 경로가 있다고 가정하면 메모리 소자의 전체 저항은 다음 식으로 표현 된다.

$$R = R_{elec} + \frac{1}{f \frac{N}{R_H} + (1-f) \frac{N}{R_L}} = R_{elec} + R_{mem} \quad (\text{Eq. 1})$$

여기서, R_{elec} 은 전극의 저항 성분을 나타내고, f 는 전자가 포획되어 고저항 상태로 전이된 도전성 경로의 개수 비를 의미한다. 전체 저항에서 전극의 저항인 R_{elec} 을 제외하면 메모리 부분의 저항인 R_{mem} 가 얻어진다. 이 모델을 이용해 고저항 상태와 저저항 상태의 도전성 경로의 개수 비가 메모리 소자의 전체 저항을 결정하는 상태 변수가 되는 것을 알 수 있다.

이제 멀티레벨 동작뿐 만 아니라, 저항-정전용량의 상관 관계를 설명하기 위해서 Fig. 3(b)와 같이 병렬 RC 모델을 제시하고자 한다. 만약 고저항 성분이 포획된 전자를 방출하면서 저저항 성분으로 전이되면 축전 성분 역시 고정정전용량(C_H) 상태에서 저정전용량(C_L) 상태로 변화된다고 가정한다. 그런데, 이 때 전체 정전용량이 포획된 도전성 경로의 개수 비 f 에 선형적으로 비례하는 선형 성장 모형(linear growth model)을 가정하면, Fig. 2(c)에 나타낸 바와 같이 저항-정전용량의 상관 관계를 설명하기 어렵다. 즉, 전체 저항은 저저항 성분이 1개 이상 생기게 되면 병렬 합성 저항의 원리에 따라 그 크기가 크게 감소하지만, 선형적인 정전용량의 감소는 많은 축전 성분의 변화를 요구한다. 따라서, 전체 정전용량이 f 에 지수함수적으로 비례하는 성장 모형(exponential growth model)을 제시하고자 한다. 이 가정에 따르면, 전체 정전용량은 다음과 같은 지수함수적 성장 모델 식으

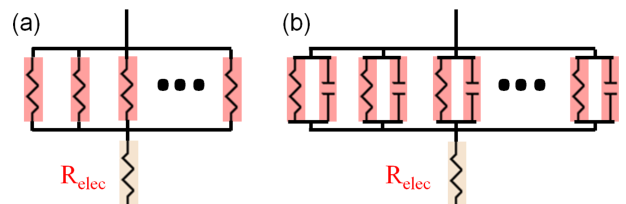


Fig. 3. (a) Parallel resistance (R) circuit model [21], and (b) parallel RC circuit model.

Table 1. Parameters, C_0 , α , R_L/N in Eq. 4 acquired from the fitted values in Eq. 5.

| Parameters | C_0 (pF) | α | R_L/N (k Ω) |
|---------------|------------|----------|-----------------------|
| Fitted values | 41.2 | 0.472 | 86 |

로 나타낼 수 있다.

$$C_{mem} = C_0(1 + \exp(\alpha f)) \text{ 또는 } f = \frac{1}{\alpha} \ln\left(\frac{C_{mem}}{C_0} - 1\right) \text{ (Eq. 2)}$$

여기서 C_0 는 전도성 경로의 생성 여부와 상관없이 SiO_2 유전박막이 갖고 있는 정전용량을 의미하고, α 는 f 와 C_{mem} 의 지수함수적인 관계를 나타내는 계수이다. 이제 저항-정전용량의 상관 관계를 Eq. 1과 2를 사용해서 구하고자 한다.

먼저 Eq. 1에서 $R_H \gg R_L$ 이라고 하면 R_{mem} 을 다음과 같이 나타낼 수 있다.

$$R_{mem} = \frac{R_H R_L}{(R_L - R_H)Nf + R_H N} \cong \frac{R_H R_L}{-R_H Nf + R_H N} = \frac{R_L}{N(1-f)} \text{ (Eq. 3)}$$

Eq. 2에 얻은 f 에 관한 식을 Eq. 3에 대입한 후 C_{mem} 에 관해 정리하면;

$$C_{mem} = C_0 + C_0 \exp(\alpha) \exp\left(-\frac{\alpha R_L/N}{R_{mem}}\right) \text{ (Eq. 4)}$$

Eq. 4를 이용해 Fig. 2(c)에 나타난 저항-정전용량의 관계를 근사 시켰을 때 가장 근접한 결과로 얻은 식은 아래와 같다.

$$C_{mem}(\text{pF}) = 41.2 + 66 \exp(-40700/R_{mem}) \text{ (Eq. 5)}$$

이 지수함수적 성장 모형을 사용해 근사한 결과는 Fig. 2(c)에 나타난 것과 같이 실제 측정된 값과 잘 맞아 떨어졌다. Eq. 4, 5를 통해 얻은 상수 및 계수 C_0 , α , R_L/N 을 Table 1에 나타냈다.

이와 같은 지수함수적 성장 모형을 설명하기 위해 Fig. 4(a,b)와 같은 모식도를 제시했다. Set 동작이 일어나 HRS에서 전도성 경로가 생성되는 경우, 초기에 생성되는 전도성 경로일수록 (즉, f 가 클수록) 전체 면적에서 전도성 경로에 의해 C_H 가 C_L 로 변환되는 면적 (또는 부피)이 넓다. 이에 따라 I-HRS에서는 수는 적지만 넓은 면적의 전도성 경로가 남아 있게 된다(Fig. 4(a)). 반면에 추가적으로 생성되는 전도성 경로는 (즉, f 가 낮은 경우에 해당) 그 차지하는 면적이 낮은 것으로 생각된다(Fig. 4(b)). 이와 같이 생각하는 이유는 초기에 형성되는 전도성 경로는 비록 Pt 나노입자가 고르게 분산되어

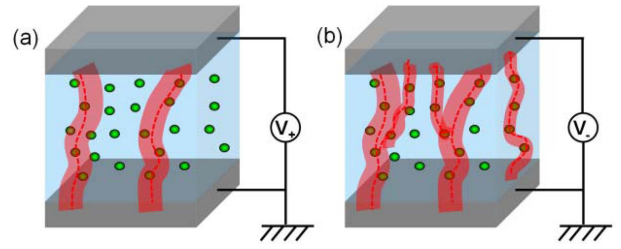


Fig. 4. Schematic diagrams of (a) I-HRS under (+) voltage, (b) I-LRS under (-) voltage representing exponential growth model.

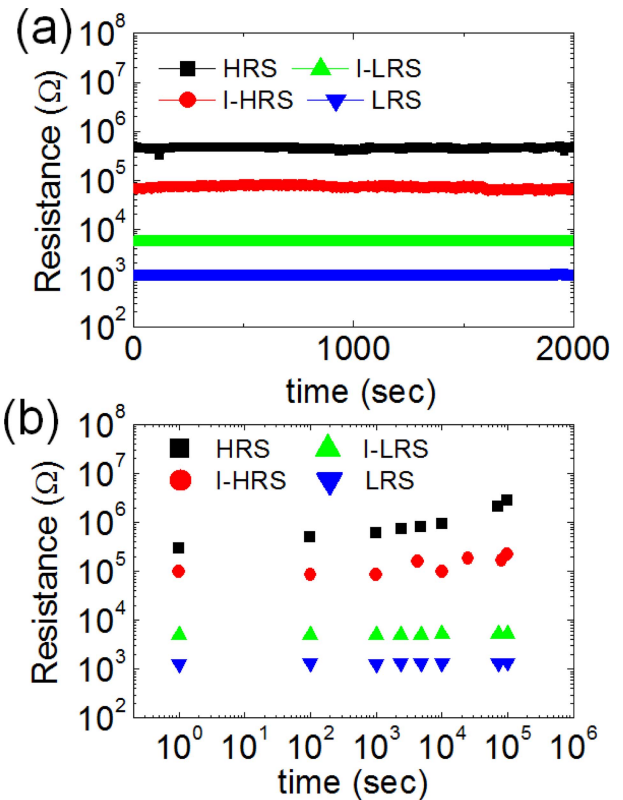


Fig. 5. Retention test under (a) constant voltage stress (+0.2 V) at room temperature, and (b) isothermal condition (85 °C) for HRS, I-HRS, I-LRS, and LRS of memory cell, respectively.

있기는 하지만, 위·아래 전극을 관통하는 밀집된 영역에 먼저 형성될 것이므로 주 전도성 경로가 차지하는 유효 면적이 넓은 반면, 후기에 형성되는 전도성 경로는 초기에 형성된 주 전도성 경로 주변에서 발로하거나 Pt 나노입자가 비교적 드물게 모여 있는 영역을 관통하게 될 것이기 때문에 유효 면적이 좁을 것으로 판단된다. 실제로 메모리 소자에 전압을 가해서 중간 저항 상태를 유도하는 경우에는 Fig. 4(b)와 같이 최대허용전류를 제한한 상태에서 상부 전극에 (-) 전압을 가해 I-LRS를 유도하면, 주 전도성 경로와 함께 부 전도성 경로가 형성된다. 이번에는 Fig. 4(a)와 같이 (+) 전압을 가하면 약

하게 형성된 부 전도성 경로에 먼저 전자가 포획됨으로써 전도성을 잃게 되어 I-HRS로 전이된다.

각 저항 상태가 전압이나 온도에 따른 외부 자극에 변화 없이 저항 상태를 유지하는 것은 메모리 소자의 기억 안정성에 있어서 매우 중요하다. 이를 검증하기 위해, 상온에서 HRS, I-HRS, I-LRS, LRS, 네 저항 상태로 프로그래밍된 각각의 메모리 소자에 연속적으로 읽기 전압을 가하며 저항 상태를 측정된 결과, 그리고 일정한 온도에서 연속적인 전압을 가하지 않고 10⁵ 초까지 저항 상태를 측정된 결과를 확보했다. Fig. 5(a)와 같이 +0.2 V 읽기 전압을 2000 초 동안 지속적으로 가한 경우 모든 상태에서 저항의 변화 없이 안정성을 유지했다. 이는 메모리 소자의 읽기 동작이 100 ns 미만의 짧은 시간에 이루어진다는 것을 감안할 때, 읽기 동작이 저항 상태를 거의 변화시키지 않는다는 것을 의미한다. Fig. 5(b)에는 85 °C의 일정한 온도에서 10⁵ 초까지 멀티레벨 저항 상태의 윈도우가 유지되는 것을 확인했다. HRS 또는 I-HRS에서 시간이 지남에 따라 저항이 완만하게 증가하는 경향을 보였다. 이러한 현상이 일어난 원인에 대해서는 아직 정확하게 밝혀진 바가 없다. 다만, 전도성 경로에 포획된 전자에 의해 Pt-SiO₂ 간의 결합이 완화되면서 포획된 전자가 에너지적으로 더욱 안정화되고 재분포가 일어나는 것과 연관이 있을 것으로 생각된다. 이와 같은 고저항 상태의 표류 현상은 상변화 메모리(phase change memory)에서도 일어나는 것으로 알려져 있다.²⁶⁻²⁸ 비정질의 상변화 물질이나 복합 박막과 같이 많은 결합을 포함하는 구조에서 나타나는 전자의 이완 현상과 연관성이 있을 것으로 생각된다.

4. 결 론

Pt 나노입자가 20 % 분산된 SiO₂ 복합 박막을 상·하부 전극 사이에 형성시켜 저항변화메모리 소자를 제작했다. 메모리 소자는 전압 인가 방향에 따라 높은 저항 상태와 낮은 저항 상태를 반복적으로 재현성 있게 나타났다. 저항변화 현상의 원인으로는 Pt 나노입자에 의한 전도성 경로가 형성되면 낮은 저항 상태를 보이고, 전도성 경로에 전자가 포획되면 전도성을 잃어 높은 저항 상태를 보이는 것으로 생각되었다. 이러한 메모리 소자의 전기 전도성, 즉 저항은 정전용량과 일정한 관계를 맺고 있는 것이 발견되었다. 메모리 소자가 저저항 상태로 전이되었을 때 정전용량이 감소했는데, 이는 전도성 경로가 형성됨에 따라 전도성 경로가 차지하는 유효 면적만큼 정전용량을 잃기 때문인 것으로 생각되었다. 저항-정전용량의 양적 관계를 설명하기 위해 전도성 경로의 지수함수적 성장 모형이 제시되었다. 즉, 초기에 형

성되는 전도성 경로일수록 큰 유효 면적을 차지하면서 정전용량 감소량이 큰 것으로 생각되었다.

Acknowledgements

This study was financially supported by Seoul National University of Science & Technology.

References

1. S. Seo, M. J. Lee, D. H. Seo, E. J. Jeoung, D.-S. Suh, Y. S. Joung, I. K. Yoo, I. R. Hwang, S. H. Kim, I. S. Byun, J.-S. Kim, J. S. Choi and B. H. Park, *Appl. Phys. Lett.*, **85**, 5655 (2004).
2. B. J. Choi, D. S. Jeong, S. K. Kim, C. Rohde, S. Choi, J. H. Oh, H. J. Kim, C. S. Hwang, K. Szot, R. Waser, B. Reichenberg and S. Tiedke, *J. Appl. Phys.*, **98**, 033715 (2005).
3. R. Waser, R. Dittmann, G. Staikov and K. Szot, *Adv. Mater.*, **21**, 2632 (2009).
4. J. J. Yang, M. D. Pickett, X. Li, D. A. A. Ohlberg, D. R. Stewart and R. S. Williams, *Nat. Nanotechnol.*, **3**, 429 (2008).
5. I. G. Baek et al., in *IEDM Tech. Dig.* (2005), pp. 750-753.
6. B. Govoreanu, G. S. Kar, Y. Chen, V. Paraschiv, S. Kubicek, A. Fantini, I. P. Radu, L. Goux, S. Clima, R. Degraeve, N. Jossart, O. Richard, T. Vandeweyer, K. Seo, P. Hendrickx, G. Pourtois, H. Bender, L. Altimime, D. J. Wouters, J. A. Kittl, M. Jurczak, B.- Leuven and K. U. Leuven, in *IEDM Tech. Dig.* (2011), pp. 729-732.
7. H. D. Lee, S. G. Kim, K. Cho, H. Hwang, H. Choi, J. Lee, S. H. Lee, H. J. Lee, J. Suh, S. Chung, Y. S. Kim, K. S. Kim, W. S. Nam, J. T. Cheong, J. T. Kim, S. Chae, E. Hwang, S. N. Park, Y. S. Sohn, C. G. Lee, H. S. Shin, K. J. Lee, K. Hong, H. G. Jeong, K. M. Rho, Y. K. Kim, J. Nickel, J. J. Yang, H. S. Cho, F. Perner, R. S. Williams, J. H. Lee and S. K. Park, in *VLSI* (2012), pp. 151-152.
8. A. Kawahara, R. Azuma, Y. Ikeda, K. Kawai, Y. Katoh, Y. Hayakawa, K. Tsuji, S. Yoneda, A. Himeno, K. Shimakawa, T. Takagi and T. Mikawa, in *IEEE J. Solid State Circ.* (2013), pp. 1-8.
9. J. J. Yang, D. B. Strukov and D. R. Stewart, *Nat. Nanotechnol.*, **8**, 13 (2013).
10. S. Pi, M. Ghadiri-Sadrabadi, J. C. Bardin and Q. Xia, *Nat. Comm.*, **6**, 7519 (2015).
11. J. G. Perkins, *J. Non-Cryst. Sol.*, **7**, 349 (1972).
12. B. Abeles, P. Sheng, M. D. Coutts and Y. Arie, *Adv. Phys.*, **24**, 407 (1975).
13. Z. Liu, C. Lee, V. Narayanan, G. Pei and E. C. Kan, *IEEE Trans. Elec. Dev.*, **49**, 1606 (2002).
14. Z. Liu, C. Lee, V. Narayanan, G. Pei and E. C. Kan,

- IEEE Trans. Elec. Dev., **49**, 1614 (2002).
15. J.-S. Lee, J. Cho, C. Lee, I. Kim, J. Park, Y.-M. Kim, H. Shin, J. Lee and F. Caruso, *Nat. Nanotechnol.*, **2**, 790 (2007).
 16. T. H. Kim, E. Y. Jang, N. J. Lee, D. J. Choi, K.-J. Lee, J. Jang, J. Choi, S. H. Moon and J. Cheon, *Nano Lett.*, **9**, 2229 (2009).
 17. A. B. K. Chen, S. G. Kim, Y. Wang, W.-S. Tung and I.-W. Chen, *Nat. Nanotechnol.*, **6**, 237 (2011).
 18. J. H. Yoon, J. H. Han, J. S. Jung, W. Jeon, G. H. Kim, S. J. Song, J. Y. Seok, K. J. Yoon, M. H. Lee and C. S. Hwang, *Adv. Mater.*, **25**, 1987 (2013).
 19. B. J. Choi, A. B. K. Chen, X. Yang and I.-W. Chen, *Adv. Mater.*, **23**, 3847 (2011).
 20. X. Yang, I. Tudosa, B. J. Choi, A. B. K. Chen and I. Chen, *Nano Lett.*, **14**, 5058 (2014).
 21. A. B. K. Chen, B. J. Choi, X. Yang and I.-W. Chen, *Adv. Func. Mater.*, **22**, 546 (2012).
 22. D. Lee and T. Tseng, *J. Appl. Phys.*, **114**, 117, (2012).
 23. B. J. Choi, A. C. Torrezan, K. J. Norris, F. Miao, J. P. Strachan, M.-X. Zhang, D. A. A. Ohlberg, N. P. Kobayashi, J. J. Yang and R. S. Williams, *Nano Lett.*, **13**, 3213 (2013).
 24. X. Yang and I.-W. Chen, *Sci. Rep.*, **2**, 744 (2012).
 25. X. Yang, A. B. K. Chen, B. Joon Choi and I.-W. Chen, *Appl. Phys. Lett.*, **102**, 043502 (2013).
 26. D. Ielmini, S. Lavizzari, D. Sharma and A. L. Lacaita, in *IEDM Tech. Dig. (IEEE, 2007)*, pp. 939-942.
 27. G. W. Burr, B. N. Kurdi, J. C. Scott, C. H. Lam, K. Gopalakrishnan and R. S. Shenoy, *IBM J. Res. Dev.*, **52**, 449 (2008).
 28. S. Raoux, W. We³nic and D. Ielmini, *Chem. Rev.*, **110**, 240 (2010).