

레터논문 (Letter Paper)

방송공학회논문지 제20권 제5호, 2015년 9월 (JBE Vol. 20, No. 5, September 2015)

<http://dx.doi.org/10.5909/JBE.2015.20.5.774>

ISSN 2287-9137 (Online) ISSN 1226-7953 (Print)

UHD TV 영상신호처리를 위한 프로그래머블 멀티미디어 플랫폼

김재현^{a)}, 박구만^{a)†}

Programmable Multimedia Platform for Video Processing of UHD TV

Jaehyun Kim^{a)} and Goo-man Park^{a)†}

요약

본 논문에서는 8K(7680x4320) UHD(Ultra High Definition) TV에서의 화질 향상을 위한 영상신호 처리용 프로그래머블 비디오 프로세싱 플랫폼을 세계 최초로 제안하였다. 8K 영상을 초당 60 프레임으로 처리하기 위해서는 고성능 컴퓨팅 능력과 대용량의 메모리 대역폭이 지원되어야 한다. 제안한 아키텍처에서는 입력 영상의 병렬처리를 위한 멀티 클러스터 구조, 클러스터 간 데이터 파이프라이닝을 위한 링 데이터 패스 구조 및 필터링 연산을 위한 하드웨어 가속기로 구성되었다. 재구성형 프로세서(Reconfigurable Processor) 기반의 제안된 플랫폼은 다양한 화질향상 알고리즘을 구동할 수 있으며, UHD 방송 표준 및 디스플레이 패널 변동성에 알고리즘의 업데이트만으로 대응이 가능한 큰 장점을 갖고 있다.

Abstract

This paper introduces the world's first programmable video-processing platform for the enhancement of the video quality of the 8K(7680x4320) UHD(Ultra High Definition) TV operating up to 60 frames per second. In order to support required computing capacity and memory bandwidth, the proposed platform implemented several key features such as symmetric multi-cluster architecture for parallel data processing, a ring-data path between the clusters for data pipelining and hardware accelerators for computing filter operations. The proposed platform based on RP(Reconfigurable Processor) processes video quality enhancement algorithms and handles effectively new UHD broadcasting standards and display panels.

Keyword : programmable multimedia platform, reconfigurable processor, UHD TV

1. 서론

4K(3840x2160) UHD 방송의 경우 국내 방송사들은 실

험방송을 실시하고 있으며 케이블 및 위성 사업자들은 상용 서비스를 실시하고 있다. 한편 일본 NHK에서 주도적으로 연구 개발 중인 8K(7680x4320) 초실감 방송의 경우, 일본에서는 2016년 시험방송을 실시하고 동경 올림픽이 열리는 2020년에 본방송을 실시할 예정이다. 국내의 경우 평창 올림픽이 개최되는 2018년에 4K 상용 서비스 확대와 8K 실험방송을 실시할 예정이다. UHD 방송과 관련하여 아직 국가 표준이 정해지지 않았지만 상용 서비스에 대응하기 위한 방송 수신 디바이스 측면에서 크게 두 가지 문제점을

a) 서울과학기술대학교 NID융합기술대학원(Seoul National University of Science and Technology, Graduate School of NID Fusion Technology)

† Corresponding Author : 박구만(Goo-man Park)

E-mail: gmpark@seoultech.ac.kr

Tel: +82-2-970-6430

Manuscript received July 20, 2015; Revised September 22, 2015;

Accepted September 22, 2015.

해결해야 한다. 우선 8K UHD(60 frame/sec, 12bits) TV의 경우 FHD(1920x1080, 30frame/sec, 8bits) TV에 비해 24배 이상의 데이터 량을 처리해야 한다. 또한 최종적으로 정해지는 방송 표준에 호환되는 8K UHD TV 동영상 신호처리와 디스플레이 패널의 다양성에 대응하여 초고화질을 제공할 수 있는 유연한 영상신호처리 플랫폼 기술이 필요하다. DTV(Digital Tele-Vision)에서 화질향상을 위한 영상신호 처리는 보통 SoC(System on Chip)에 내장된 하드웨어에서 담당하는데 SoC가 개발된 이후에는 화질향상 알고리즘의 변경이 불가능하다. 하지만 소프트웨어 업데이트만으로 업그레이드 된 알고리즘을 적용할 수 있는 프로그래머블 솔루션이 SoC에 하드웨어와 함께 내장될 경우 다양한 포맷의 영상신호를 처리할 수 있고 수시로 개선되는 화질 향상 알고리즘을 적용할 수 있는 장점이 있다.

본 논문에서는 8K UHD 영상처리에 필요한 대용량 컴퓨팅 능력을 제공하면서 알고리즘 업데이트를 지속적으로 할 수 있는 프로그래머블 멀티미디어 플랫폼을 제안하였다. 제안된 플랫폼은 유연성과 효율성을 동시에 만족시키기 위하여 DSP(Digital Signal Processor)와 하드웨어 가속기를 긴밀하게 결합한 하이브리드 구조를 채택하였고^[1] 초고화질 처리를 위하여 8K 영상을 초당 120장 실시간으로 처리할 수 있는 컴퓨팅 능력을 가졌다.

II. 제안된 프로그래머블 플랫폼

그림 1은 8K 영상까지 처리할 수 있는 플랫폼의 전체 블록도를 나타내며 4개의 클러스터(Cluster)와 다이렉트 디스플레이 인터페이스(Direct Display Interface) 및 시스템 버스로 구성되었다. 멀티 클러스터 구조는 8K 영상 데이터를 4분할하여 병렬처리 하는 기능과 클러스터 간의 링 구조를 통한 데이터 파이프라이닝을 지원한다. 클러스터와 시스템 버스는 총 8개로 구성되며 외부 DRAM과도 연결되어 있다. 다이렉트 디스플레이 인터페이스 블록은 4개의 클러스터에서 화질 처리된 데이터를 DRAM을 거치지 않고 8개의 라인버퍼를 사용하여 온 더 플라이(on-the-fly) 방식으로 디스플레이 패널 쪽으로 바로 전달하는 역할을 담당한다. 이

과정에서 픽셀 처리 함수인 컬러 스페이스 변환(color space conversion) 및 색역폭 매핑(color gamut mapping)을 동시에 수행 할 수 있다.

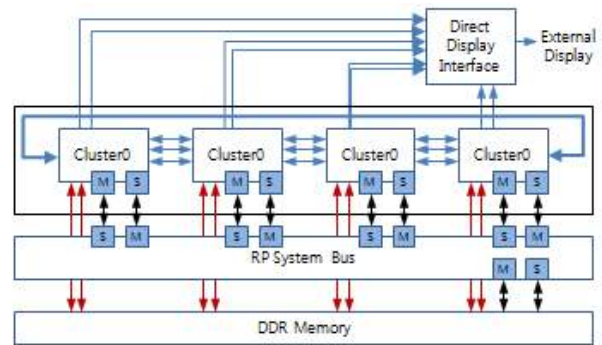


그림 1. 제안된 영상신호처리 구조
 Fig.1. Proposed video processing architecture

하나의 클러스터 내부 구조는 그림 2에서와 같이 4개의 재구성형 프로세서(Reconfigurable Processor), 1개의 VLIW (Very Long Instruction Word) 코어^[2], 메모리 프로세싱 유닛(Memory Processing Unit)^[3] 그리고 128-bit 내부 버스로 구성되어 있다. 32bit 2-issue 구조의 VLIW 코어는 전체적인 제어를 담당한다. 메모리 프로세싱 유닛은 RP와 DRAM 사이의 효율적인 데이터 전달을 위해 데이터 파이프라이닝과 타일(Tile)/라스터(Raster) 스캔 구조를 지원하도록 설계되었다. RP 코어에서의 연산 부담을 덜어주기 위하여 메모리 프로세싱 유닛에서는 데이터의 합, 제곱의 합, 클리핑 및 픽셀 비트 변환과 같은 연산을 지원한다.

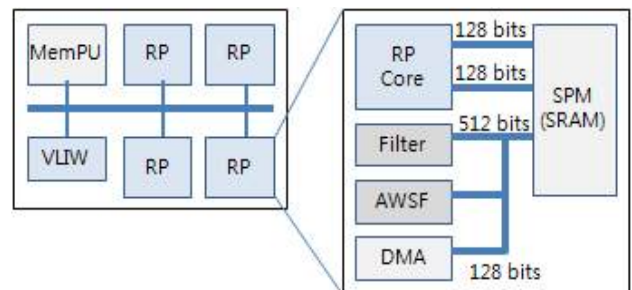


그림 2. 클러스터 및 재구성형 프로세서 구조
 Fig. 2. Cluster and Reconfigurable Processor architecture

재구성형 프로세서는 처리 성능을 최대화하기 위하여 RP 코어와 하드웨어 가속기가 결합한 하이브리드 형태의 구조로 설계되었다. RP에서 프로그램의 주요 연산을 수행하는 동안에 필터 연산 등을 위한 하드웨어 가속기는 병렬로 동작한다. RP 코어와 긴밀하게 결합되어 있는 필터부는 다양한 형태의 필터링을 위한 하드웨어 가속기로 구성되어 있다. RP 내부에는 최대 512-bit 버스를 통하여 스크래치 패드 메모리(Scratch Pad Memory)와 데이터를 교환하게 되어있다. 필터부에서는 3개의 수평방향과 3개의 수직방향 필터링을 동시에 수행하거나 3개의 2D 필터링을 수행한다^[4]. 또한 최소값과 최대값 필터링을 동시에 수행할 수 있으며^[5] 필터 탭 수와 계수는 프로그램에 의해 설정된다. 적응적 가중치 시그마 필터부(Adaptive Weight Sigma Filter)는^[6] 주어진 이미지 영역의 시그마 필터링 또는 SAD(Sum of Absolute Differences) 값과 함께 패턴 매칭을 위한 하드웨어 가속기이다. 시그마 필터부는 입출력 데이터를 위하여 스크래치 패드 메모리와 통신하며 제어 신호와 메타 데이터를 RP와 교환하면서 해당 픽셀 주변의 15x15 크기의 입력 영상에 대하여 수평방향으로 프로세싱 한다.

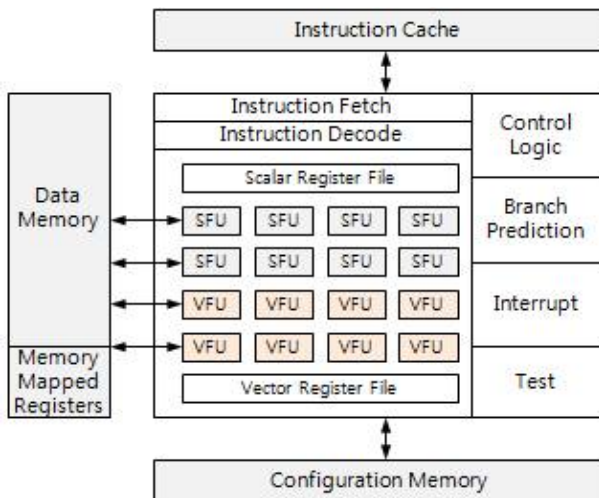


그림 3. 재구성형 프로세서 구조
Fig. 3. Reconfigurable processor architecture

RP 코어는 128-bit 벡터 처리가 가능한 프로세서이다. 그림 3에 나타난 것처럼 하나의 RP 코어에는 8개의 스칼라

모듈과(Scalar Function Unit) 8개의 벡터 모듈(Vector Function Unit)이 있으며 각 벡터 모듈은 16-way 8-bit SIMD 처리능력을 갖고 있다. CGRA(Coarse Grained Reconfigurable Array) 구조 기반의 재구성형 프로세서는 VLIW 및 CGA 모드로 동작한다^[7]. VLIW 모드에서는 4-issue VLIW 프로세서처럼 동작하고 CGA 모드에서는 16-way VLIW 프로세서로 동작한다. 제어와 관련된 코드는 주로 VLIW 모드에서 동작하고 벡터 연산이 많은 반복적인 루프 연산은 CGA 모드에서 동작한다. 코어 내부에서는 레지스터 파일을 공유하는 구조로 되어 있어 두 모드간의 빠른 전환이 가능하다.

III. 플랫폼 성능 및 실험 결과

8K 동영상에 대한 화질 알고리즘 처리를 위하여 제안된 시스템은 16개 RP 코어, 4개 VLIW 코어, 16개 필터, 4개 AWSF 및 4개의 메모리 프로세싱 유닛으로 구성되었다. RP 코어는 600MHz로 나머지 모듈은 300MHz로 구동시 초당 120 프레임 이상을(8K, 4:2:2, 12bits) 처리하여 외부 디스플레이로 출력할 수 있다. 시스템 전체적으로 4.3 TOPs(Tera Operations per Second)의 성능을 갖고 있으며 모듈 별 성능은 아래 표 1과 같다.

표 1. 제안된 플랫폼의 연산 성능
Table 1. Computing performance of the proposed platform

List	Number of Units	Performance (TOPs)
VLIW Core	4	0.1
RP Core	16	1.2
HWA	20	3.0
Total	-	4.3

그림 4는 DTV에서 노이즈 제거, 디테일 향상, 콘트라스트 향상, 밝기와 컬러처리 및 프레임 레이트 변환 모듈로 구성된 일반적인 동영상 후처리 블록도를 나타낸다. 노이즈 제거 및 프레임 레이트 변환 모듈은 알고리즘 특성상 여러 장의 프레임을 사용하고 내부 메모리 대역폭이 매우 커서 전용 하드웨어에서 동작하는 방법이 비용 측면에서 더 효율적이다. 박스로 표시된 나머지 블록의 경우 픽셀 연

산이 포함되지만 화질 차별화 및 새로운 디스플레이에 효율적으로 대응하기 위해선 최신 알고리즘을 적용할 수 있어야 하므로 제안된 프로그래머블 플랫폼에서 동작하는 게 유리하다. 제안된 플랫폼에서 화질 향상 알고리즘을 적용하여 동작하는지 검증하였으며 소프트웨어의 최적화를 통하여 더 많은 알고리즘을 동작시킬 수 있다.

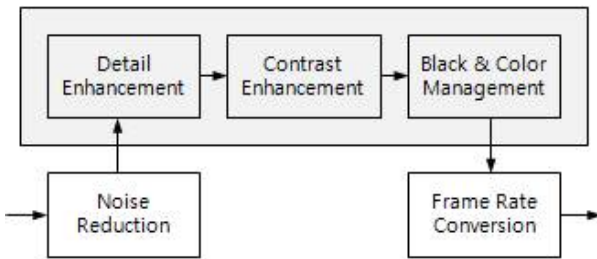


그림 4. DTV 동영상 후처리 블록도
 Fig. 4. Diagram of DTV video-post-processing block

IV. 결론

본 논문에서는 차세대 DTV인 8K UHD TV에서의 계속 발전하는 화질 향상 알고리즘 및 새로운 디스플레이 패널의 화질 특성에 효율적으로 대응하기 위하여 프로그래머블 동영상 후처리 플랫폼을 제안하였다. 8K 동영상 처리를 위한 메모리 대역폭과 높은 컴퓨팅 능력을 지원하기 위하여 제안된 플랫폼은 병렬 처리를 위한 멀티 클러스터 구조, 데이터 파이프라이닝을 위한 링 데이터 패스, 메모리 대역폭 저감을 위한 다이렉트 디스플레이 인터페이스 및 픽셀 연산의 효율을 높이기 위한 하드웨어 가속기 형태로 구성되었다. 제안된 플랫폼은 연산 처리 성능이 최대 4.3TOPs이

며 8K 동영상에 대하여 초당 120 프레임을 처리할 수 있는 메모리 대역폭과 픽셀처리 능력을 갖추었다. 프로그래머블 플랫폼에서는 초고화질 디스플레이를 위하여 디테일 향상, 콘트라스트 향상, 밝기 및 컬러처리와 같은 동영상 화질 향상 알고리즘을 구동할 수 있다. 제안된 재구성형 프로세서 기반의 플렉서블 플랫폼은 차세대 방송 표준 포맷과 8K 디스플레이 패널의 특성에 대응하여 알고리즘 업데이트만으로 표준 대응과 초고화질 디스플레이가 가능한 큰 장점을 갖고 있다.

참고 문헌 (References)

- [1] J. Eyre, and J. Bier, "The evolution of DSP processors," IEEE Signal Processing Magazine, vol. 17, no. 2, pp. 43-51, Mar. 2000.
- [2] H.-C. Hsieh, S.-A. Wen, C.-Y. Liao, H.-L. Lin, P.-H. Huang and S.-W. Tung, "Low power design and dynamic power management system for VLIW DSP subsystem," IEEE International Symposium on Intelligent Signal Processing and Communications Systems, pp. 1-5, Dec. 2011.
- [3] W. Lee, J. Song, D. Kim, and S. Lee, "Memory Processing Unit in Video Decoding Systems," IEEE International Conference on Consumer Electronics, pp. 538-539, 2012.
- [4] G. Glentis, "A fast affine projection algorithm for 2D filtering and linear prediction," IEEE International conference on Image Processing, "vol.3, pp. 876-879, 2001.
- [5] P.W. Verbeek, H.A. Vrooman, L.J. Van Vliet, "Low-level image processing by max-min filters," Signal Processing, vol. 15, pp. 249-258, 1988.
- [6] J. Polzehl, and V. Spokoyny, "Adaptive weights smoothing with applications to image restoration," Journal of the Royal Statistical Society, Jan. 2002.
- [7] D. Suh, K. Kwon, S. Kim, S. Ryu, J. Kim, "Design space exploration and implementation of a high performance and low area Coarse Grained Reconfigurable Processor," International Conference on Field-Programmable Technology, pp. 67-70, Dec. 2012.