

반도체 미세 패턴 식각을 위한 EPD 시스템 개발 및 연구

김재필* · 황우진* · 신유식* · 남진택* · 김홍민** · 김창은**

*기가레인 · **명지대학교

The Develop and Research of EPD system for the semiconductor fine pattern etching

Kim Jae Pil* · WooJin Hwang* · Youshik Shin* · JinTaek Nam*

Kim hong Min** · Kim chang Eun**

*Gigalane · **MyungJi University

Abstract

There has been an increase of using Bosch Process to fabricate MEMS Device, TSV, Power chip for straight etching profile. Essentially, the interest of TSV technology is rapidly floated, accordingly the demand of Bosch Process is able to hold the prominent position for straight etching of Si or another wafers. Recently, the process to prevent under etching or over etching using EPD equipment is widely used for improvement of mechanical, electrical properties of devices. As an EPD device, the OES is widely used to find accurate end point of etching. However, it is difficult to maintain the light source from view port of chamber because of contamination caused by ion conflict and byproducts in the chamber. In this study, we adapted the SPOES to avoid lose of signal and detect less open ratio under 1 %. We use 12inch Si wafer and execute the through etching 500um of thickness. Furthermore, to get the clear EPD data, we developed an algorithm to only receive the etching part without deposition part. The results showed possible to find End Point of under 1 % of open ratio etching process.

Keywords : Bosch Process, EPD, OES, SPOES, Etching

1. 서론

최근 MEMS(Micro Electro Mechanical Systems), TSV(Through-Silicon Via), Power Device 등의 제작에 보쉬 공정의 필요성이 증대되고 있다. 특히 고 집적 칩 제작을 위한 TSV 기술에 대한 관심이 급부상하고 있으며, 이에 따라 실리콘 웨이퍼를 비등방성으로 깊게 에칭할 수 있는 보쉬 공정에 대한 관심이 증대되

고 있다[1] - [3]. 보쉬 공정은 식각, 증착을 동시에 진행함으로써 물리적 반응과 화학적 반응을 동시에 접목시킨 공정으로 측벽에 쌓인 폴리머에 의하여 등방성을 배제시켜 수직 식각이 가능한 장점을 갖는다. 따라서 MEMS sensor의 membrane 구조 제작이나, TSV의 Via 형성 시 보쉬 공정을 사용할 경우 우수한 식각 특성을 얻을 수 있다[4] [5].

† Corresponding Author: Kim Chang-Eun,

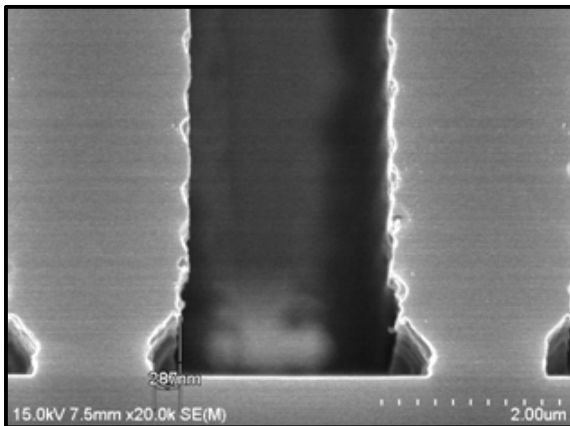
San 38-2 Nam-dong, Cheoin-gu, youngin-si, Gyeonggi-do, 449-728

korea Myong Ji University, E-mail: changkim@mju.ac.kr

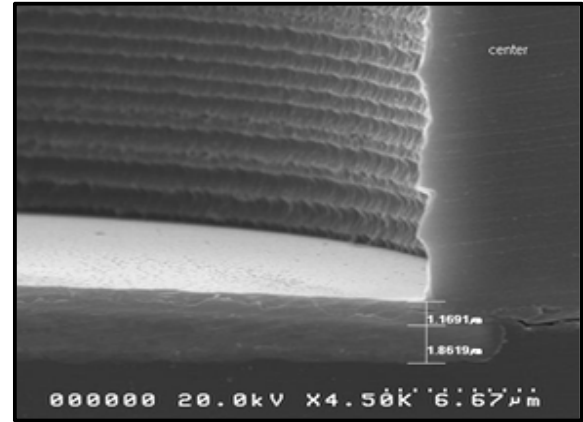
Received July 20, 2015; Revision Received September 17, 2015; Accepted September 18, 2015.

MEMS sensor의 membrane 식각 시 membrane의 외각부는 실리콘 프레임에 고정되어 있는데

식각을 지나치게 할 경우 footing 현상에 의하여 membrane의 지지력이 약해질 수 있다. 또한 보쉬 공정을 이용한 실리콘 관통 공정 후 하부에 전극이 드러나게 되는 소자의 경우 과도한 식각이 진행되게 되면 소자의 절연 파괴가 일어날 수도 있다. TSV Via 형성 공정의 경우 과도한 식각이 진행되면 footing 현상에 의하여 Via에 채워질 전극이 불균일하게 도포될 가능성이 있고, Via와 Via 간 간격이 작을 경우 전극의 쇼트 현상이 유발될 수 있다. Figure 1 (a)에서 과도한 식각 공정에 의하여 발생한 footing 현상을 나타내고 있다. 이렇게 과도한 식각이 더 지속되게 되면 결국 트렌치 패턴을 형성하는 기둥의 바닥이 좋아져 트렌치가 무너지게 되어 소자의 신뢰성에 문제를 야기할 수도 있으며 이렇게 제작된 device를 실장에 장착함으로써 성능 및 안전에 대한 영향을 끼칠 수 있다. 따라서 식각 깊이가 짧거나 깊어져 소자의 기계적, 전기적 특성에 악영향을 미치는 것을 방지하기 위하여 과거부터 EPD(End Point Detection) 장치를 활용한 공정이 시도되고 있다. 최근에는 figure 1 (b)와 같이 정확한 식각 종료 지점을 찾아 소자의 신뢰성을 높이기 위한 방법으로 주로 OES(Optical Emission spectroscopy)를 활용한 공정이 진행되고 있고, 다양한 연구 결과가 보고되고 있다[6] - [9].



(a)



(b)

[Figure 1] The examples of through etching profile, (a) over etched profile (footing), (b) proper etched profile

그러나 OES를 활용한 방식에는 플라즈마 빛의 지속성이 장시간 유지되기 어려운 단점이 있다. 보쉬 공정 특성 상 챔버 내에 폴리머와 식각가스가 동시에 강한 에너지를 띄기 때문에 뷰포트의 오염이 쉽게 이루어져 플라즈마 빛의 세기가 시간이 갈수록 작아지고 이로 인해 장시간 공정 시 EPD 알고리즘이 적용되지 않을 가능성이 매우 크다(Figure 4 (a) 참조).

이러한 단점을 극복할 수 있는 시스템으로 SPOES(Self Plasma Optical Emitting spectroscopy)가 있다. SPOES는 뷰포트를 활용하지 않고 공정 챔버 내의 가스를 별도의 모듈에서 직접 받아들여 내부 플라즈마를 띄우고 그 빛을 검출할 수 있기 때문에 유지 보수 기간이 길고 감도 분석 능력 또한 OES에 비하여 뛰어나다.

본 연구에서는 SPOES를 활용하여 12인치 실리콘 웨이퍼의 관통 공정을 진행하였고, 식각 종료 구간에 대한 분석을 진행하였다. 또한 보쉬 공정 특성 상 폴리머 도포에 적용되는 증착 공정을 제외한 특정 식각 스텝에서의 검출만 가능한 알고리즘을 개발하여 식각 종료 구간의 검출 감도를 극대화 시킬 수 있는 알고리즘을 개발 및 적용하였다.

2. 실험 준비

2.1. 식각 장치 및 EPD 장치

SPOES를 활용한 EPD 적용 실리콘 관통 공정 테스트 진행을 위하여 기가레인 사의 12인치 DRIE(Deep Reactive Ion Etching) 장비를 사용하였다. 폴리머 증

착 가스(C4F8)와 실리콘 식각 가스(SF6)의 빠른 스위칭이 가능한 fast MFC를 적용하였고, 잔류 가스의 빠른 배기를 위하여 터보 펌프가 챔버의 바로 하부에 장착되어 있는 직하배기 구조를 채택하였다. 상부 RF Power는 13.56MHz, 하부 Bias Power는 400kHz의 주파수를 채택하였고 duty비를 조절하여 식각 직진성을 높였다. Figure 2는 12인치 DRIE 장비를 나타내고 있다. SPOES로는 플라즈마 방전 영역이 넓은 나노텍사의 AEGIS-7N을 채택하였다.

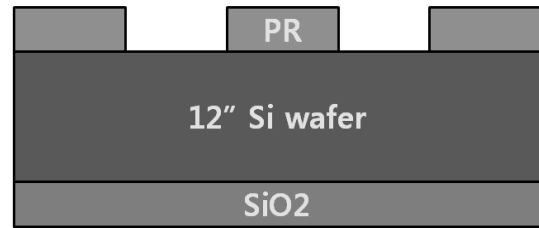


[Figure 2] 당사가 제작한 12 inch ICP DRIE

SPOES는 공정 시 방전 특성을 용이하게 하고 원활한 gas의 흐름을 유지시키기 위하여 챔버와 터보펌프 사이에 설치하였다. 이 때 SPOES가 위치되어 있는 foreline의 압력은 수 mTorr로 SPOES 자체 플라즈마가 방전되는데에 최적의 압력이다. 측정 가능한 전체 파장 대역은 200nm ~ 850nm 이고 초당 5회의 샘플링 주기로 파장 intensity 변화를 관찰하였다. 또한 증착 공정과 식각 공정이 반복되는 보쉬 공정 특성 상 전체 파장의 변화가 심하기 때문에 파장 변화를 최소화하기 위하여 식각 부분만 추출하여 검출할 수 있는 알고리즘을 개발 및 적용하였다.

2.2. 시료 준비 및 식각 조건

본 연구에서는 500um 두께를 갖는 (100) 결정 방향의 12 inch p-type 실리콘 기판을 사용하였다. 식각 마스크 물질로는 negative photoresist를 사용하였고 23um 두께로 코팅 및 패터닝하였다. 식각 패턴의 크기는 가로 50um, 세로 5mm이고 1 % 이내의 open ratio에 맞게 수량을 조절하여 총 1,413개의 트렌치 형상을 배치하였다. 관통 시 ESC에 가해지는 ion energy로부터의 damage 방지를 위하여 실리콘 웨이퍼의 바닥면에 1um의 SiO2를 PECVD 방식으로 증착하였다(Figure 3).



[Figure 3] 12inch PR Patterned Si wafer under 1 % Open Ratio (50um * 5mm trench)

Table 1은 본 식각 공정에 사용된 cycle 조건을 나타내고 있다. 증착 공정은 C4F8가스를 사용하고 25mTorr의 압력과 13.56MHz RF power로 플라즈마를 발생시켜 폴리머를 생성시킨다. 식각 스텝은 총 4스텝으로 구성되어 있다. 식각 가스는 SF6를 사용하고 상부 RF 파워와 하부 Bias 파워를 동시에 인가시켜 이온과 라디칼의 밀도 및 에너지를 상승시키고자 하였다. 50um 너비에 500um의 높은 중횡비로 인해 하부에서의 이온 에너지 감소를 방지하고자 압력은 비교적 낮게 형성하였다.

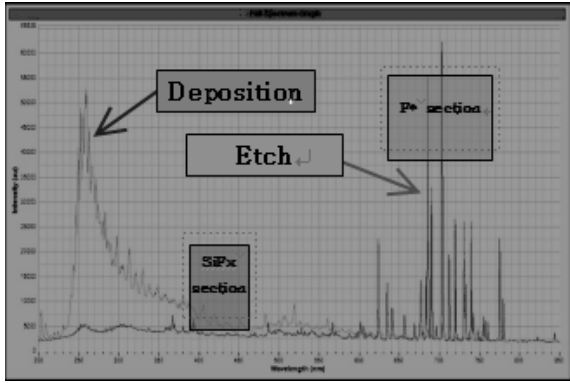
<Table 1> Bosch Process Cycle Construction

Cycle	Passivation	Etch 1	Etch 2	Etch 3	Etch 4
Time (sec)	4.5	1.5	1.5	1.5	1.5
Gas	C4F8	SF6	SF6	SF6	SF6

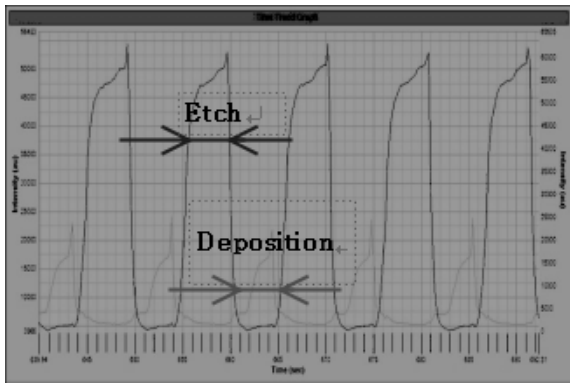
2.3. EPD 알고리즘

Figure 4 (a)는 SPOES로부터 획득된 증착 공정과 식각 공정의 폴 파장 스펙트럼을 나타내고 있다. 증착 공정과 식각 공정 간의 스펙트럼의 파장별 피크점 차이가 뚜렷하게 나타나며 그 정도의 차이가 매우 크게 나타난다. Figure 4 (b)에서 한 cycle에서 증착 공정이 차지하는 시간 비율이 매우 크다는 것을 알 수 있다. 이는 식각 공정에서 필요한 EPD 주요 파장영역의 선별에 증착 공정의 필요 없는 파장의 변화가 방해요소로 작용할 수 있다는 것을 나타낸다고 볼 수 있다. 본 연구에서 진행한 공정 레시피의 한 cycle은 총 10.5 sec 이고 이 중 증착 공정은 4.5초로 총 시간 대비 약 40 % 정도의 비율을 갖는다. 따라서 이러한 불필요한 증착 공정의 스펙트럼을 제거하기 위하여 식각 공정에서만 EPD 스펙트럼을 획득하고 그 데이터를 연속적으로 나열하여 한 라인의 커브로 생성시키는 알고리즘을 개발하였다. 그 예를 figure 5에서 나타내고 있다. 공정 시작 후 증착 구간은 아무런 데이터를 획득하지 않는다. 식각 공정이 시작되면서 SPOES와 식각 장

비 간 통신을 통하여 데이터를 획득하기 시작하고, 식각 공정이 중단되면서부터는 데이터를 취득하지 않게 된다.

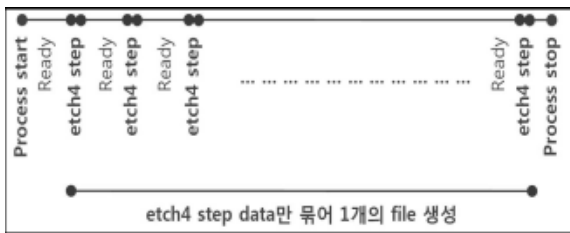


(a)



(b)

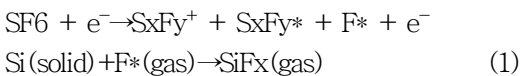
[Figure 4] (a) Full spectrum(etch & passivation overlay), (b) Time trend of deposition and etching step



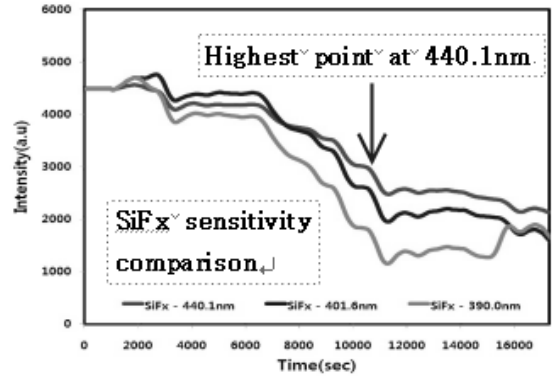
[Figure 5] EPD algorithm for more clear intensity(obtaining data only Etch step)

3. 결과 및 고찰

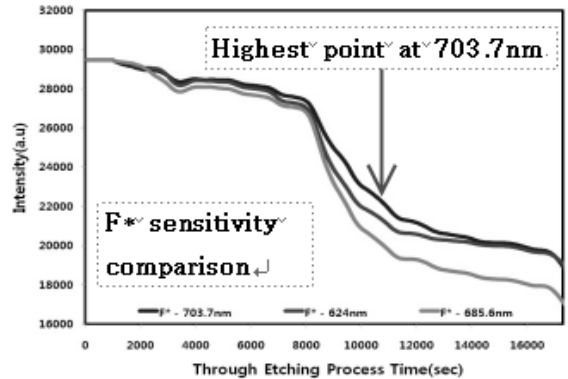
식각 공정 중 식각 여부를 파악할 수 있는 라디칼은 크게 2가지로 볼 수 있다. SF6가 분해되면서 발생하는 플로린 라디칼과 이 플로린 라디칼이 실리콘과 반응하여 발생하는 SiFx 라디칼이다.



SiFx와 F* 라디칼 각각의 Peak Intensity 지점은 약간의 편차를 가지며 한 곳이 아닌 근처 영역에 분포되어 있는 것을 figure 5 (a) 의 스펙트럼에서 나타내고 있다. 따라서 실제 식각 공정에서 어느 부분의 파장대가 피크점을 갖는지 파악할 필요성이 있다. Figure 6은 0.5% open ratio를 갖는 12인치 웨이퍼의 식각 공정에서 SiFx와 F*의 분석된 파장별 Peak Intensity를 나타내고 있다. SiFx는 440.7nm에서, F*은 703.7nm에서 가장 높은 intensity를 형성하고 있다. OES를 활용한 많은 다른 연구에서는 주로 SiFx 라디칼의 스펙트럼을 분석한 경우가 많다. 챔버의 뷰포트를 활용한 OES의 경우 Mass RF Power에 의하여 발생한 플라즈마의 빛을 직접 받아들이기 때문에 SiFx의 분석이 가능하나 SPOES의 경우 계측기 내부의 RF Power 에너지가 부족하여 SiFx를 분해하기에 어려운 면이 있다. Figure 6 (a)에서 볼 수 있듯이 0.5% open ratio에서 SiFx Intensity 변화는 F*에 비하여 매우 적은 변화를 보이고 있고 이 정도 변화로는 EPD 알고리즘을 적용하기 어렵다. 또한 획득되는 데이터의 굴곡이 크게 나타나 EPD 알고리즘의 혼선이 야기될 가능성이 크다. 따라서 본 실험에서는 intensity 변화가 비교적 크게 나타나는 F* 라디칼을 다루기로 하였다.



(a)

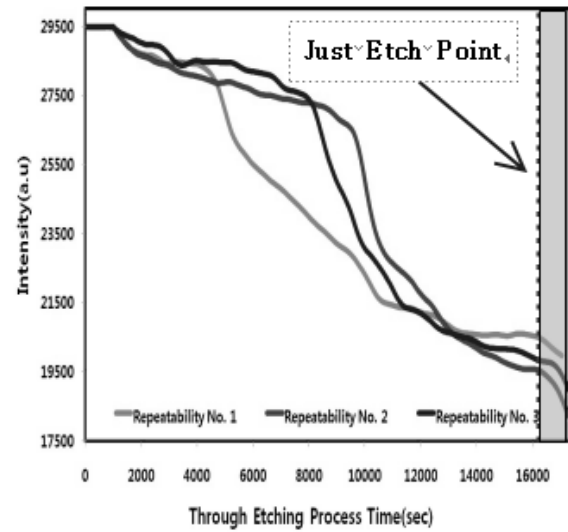


(b)

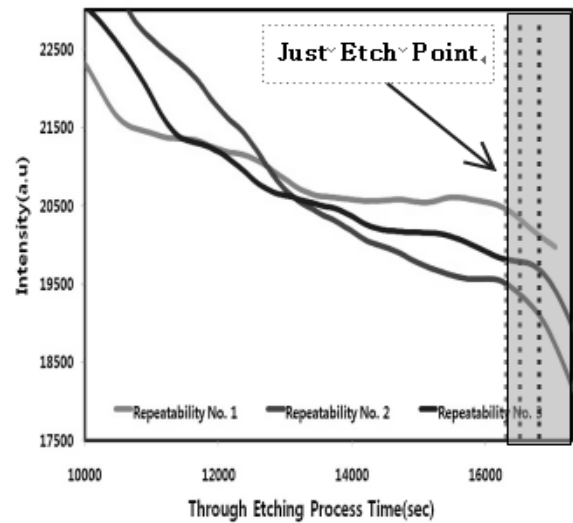
[Figure 6] Integrated Values of (a) SiFx, (b) F* intensity

F* 라디컬의 피크 파장은 703.7nm로 figure 6 (b)에서 나타내고 있다. 따라서 파장 703.7nm를 타겟으로 식각 스텝에서만 F* intensity를 획득하여 EPD 커브를 형성시키고 그 결과를 관찰하였다. 결과의 신뢰성을 획득하기 위하여 동일 시료와 동일 공정 조건으로 3회에 걸쳐 연속적인 EPD 검출 실험을 진행하였다. 0.5% Open Ratio 패턴을 적용한 식각 관통 공정에서 전체적인 커브는 두 번의 하강 변곡이 발생하였다. 첫 번째 변곡은 메인 식각 중 발생하였다. 3회의 실험 결과에 의거하여 보면 대략 500um 깊이의 식각 중 중간 부분에서 발생하였고 식각 종료시점과는 거리가 멀다. 따라서 두 번째 변곡에 포커스를 두고 EPD 알고리즘을 적용하였다. Figure. 7 (a)는 EPD 알고리즘 시작 이후의 그래프 변화를 보여준다. 첫 번째 변곡 이후 EPD 커브는 평평한 구간을 갖는다. 이 구간을 첫 스텝으로 기록 후 두 번째 하강 커브를 기다리다 하강 커브가 발생하면 다시 EPD 두 번째 알고리즘 적용이 시작된다. EPD 검출 알고리즘은 연속된 2가지의 스텝에 만족이 되어야 성립된다. 기록된 첫 스텝은 Box in type 의 완만한 커브를 검출하고, 두 번째 스텝은 Box out type의 경사가 있는 커브를 검출한다. EPD 알고리즘을 적용한 결과 총 3회의 테스트에서 EPD 오차 시간은 총 4시간 40여분의 식각 공정 시간 중 약 2분 20여초로 전체 시간 대비 0.8%의 시간 오차율을 갖는다. Figure. 8은 식각 공정 스텝에서만 데이터를 추출한 후 두 회의 알고리즘을 만족하여 EPD 검출을 완료한 결과를 나타낸다. EPD 검출 후 추가 식각은 각 패턴별 공정 조건별 Uniformity 가 다르므로 추가적인 실험을 통하여 최적화 할 수 있다.

관통이 되기 시작되는 지점에 대한 신뢰성을 확보하기 위하여 두 번째 변곡이 시작되는 지점에 대한 실리콘 웨이퍼의 식각 형상을 분석한 결과 figure. 9 (b)에서 볼수 있듯이 실리콘이 거의 남아있지 않은 상태로 확인되었다. 따라서 두 번째 커브의 시작되는 포인트는 실리콘 웨이퍼의 관통이 시작되는 지점이라고 볼 수 있었다. Figure. 9 (a)는 EPD 검출 이후 추가 식각 시간을 두고 공정을 마무리 한 경우이다. 미세한 footing 현상이 보이지만 적절한 식각 종료로 프로파일의 비이상적 현상은 보이지 않았다. 12inch 웨이퍼의 식각 공정에서 관통이 완료되는 시점까지의 uniformity가 작을수록 변곡 커브가 급경사 형태를 이룰 것으로 판단되고 uniformity가 클수록 전체 관통이 완료되는 시점까지의 시간이 길어져 커브는 완만해질 것으로 판단된다. 따라서 최적의 이상적인 식각 프로파일을 획득하기 위해서는 uniformity의 최소화와 적절한 추가 식각시간에 대한 실험 및 고찰이 필수적이다.

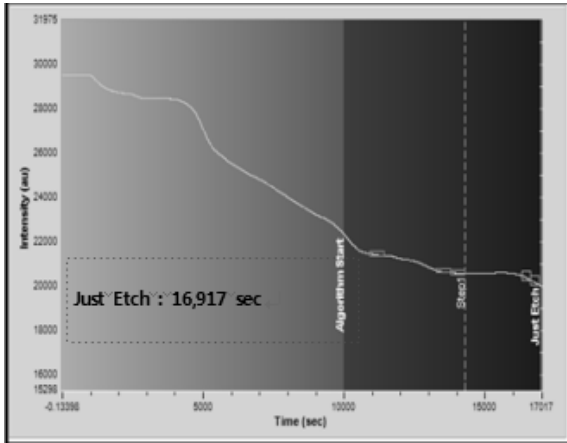


(a)

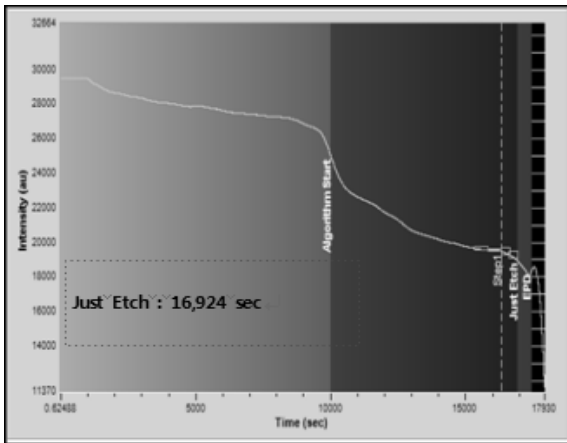


(b)

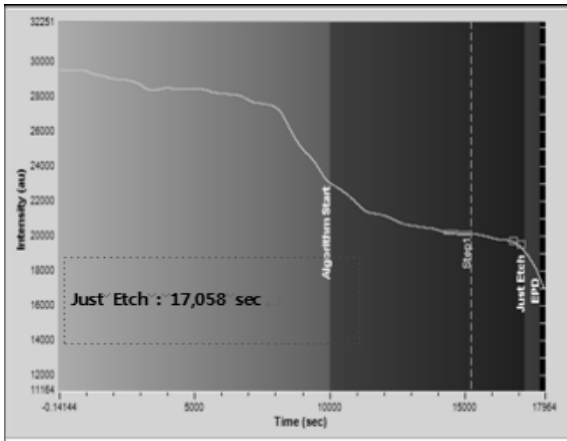
[Figure. 7] EPD Repeatability Test, (a) Full time trend, (b) applied algorithm sector(10,000sec~17,000 sec)



(a)



(b)

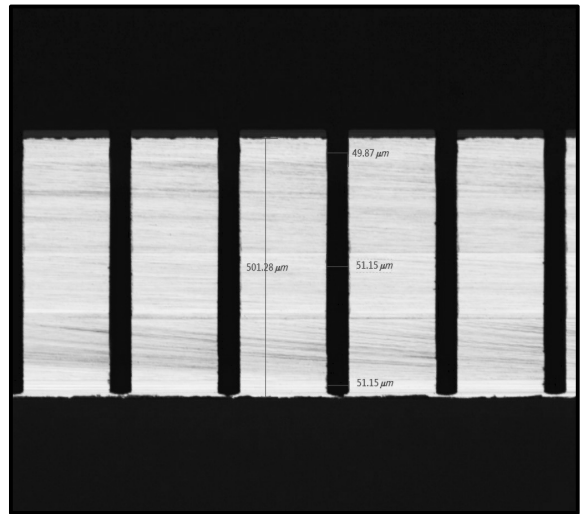


(c)

[Figure 8] EPD Profile applied two step algorithm, (a) just etch point : 16,917 se, (b) just etch point : 16,924 sec, (c) just etch point : 17,058 sec



(a)



(b)

[Figure 9] Through etched profile of 12inch Si wafer, (a) Full through, (b) not perfectly through etched profile at just etched point

4. 결론

SPOES를 활용하여 12인치 실리콘 웨이퍼의 관통 공정을 진행하고, 식각 종료 구간에 대한 분석을 SPOES를 이용하여 진행한 결과 1 % 이내의 극한 Open Ratio에서도 종료 시점을 명확히 찾을 수 있었다. 또한 보쉬 공정 특성 상 폴리머 도포에 적용되는 증착 공정을 제외한 특정 식각 스텝에서의 검출만 가능한 알고리즘을 개발하였고 그 효과로 식각 종료 구간의 검출 감도를 극대화시킬 수 있었다. EPD 장치로 최근까지 널리 사용되어 오던 OES의 시그널 감소 문제를 효과적으로 개선할 수 있는 시스템을 적용하여 MEMS Device, TSV Via 등의 기술 및 신뢰성 확보에 기여할 수 있을 것으로 판단된다.

5. References

- [1] S. B. Jung(2006) et al., "Fabrication of Through-hole Interconnect in Si Wafer for 3D Package", Journal of KWS, Vol. 24, No. 2
- [2] M.Puech(2008) et al., "Fabrication of 3D Packaging TSV using DRIE", DTIP of MEMS & MOEMS 9-11
- [3] K. H. Baek(2009) et al., "DRIE Technology for TSV Fabrication", Journal of the Korean Society for Precision Engineering Vol. 26, No. 12, pp. 32-40
- [4] S. Hur(2010) et al., "Fabrication of two-chip type capacitive MEMS microphone", KSME, pp. 4300-4305
- [5] W. J. Hwang(2011) et al., "Development of Micro-Heaters with Optimized Temperature Compensation Design for Gas Sensors", pp. 2580-2591, Sensors
- [6] H.Y. Chaet(2008) al., "Real-Time End-Point Detection Using Modified Principal Component Analysis for Small Open Area SiO₂ Plasma Etching", Ind.Eng.Chem.Res.47, 3907-3911
- [7] Gary S. May(2013) et al., "Endpoint Detection Using Optical Emission Spectroscopy in TSV Fabrication", IEEE
- [8] S.J. Hong(2014) et al., "Endpoint Detection in Low Open Area TSV Fabrication Using Optical Emission Spectroscopy", IEEE
- [9] S.S. Han(2012) et al., "Endpoint Detection Strategy in Bosch Process Using PCA and HMM", ECS Transactions 44(1), pp. 1087-1091

저자 소개

김재필



삼성반도체 수석부장 역임
 국가품질명장(2011)
 아주대 MBA석사 후 명지대
 산업경영공학 박사 과정
 현재 (주)가레인 장비사업부
 부사장 근속 중.
 관심분야 : FAB현장 품질제어
 반도체 장비 및 부품, 공정개발

신유식



LG 반도체, SK하이닉스
 반도체 20년 근속
 MEMS Fab센터 장비
 (주)가레인 장비사업부 근무중
 관심분야: 반도체 장비 및 부품,
 공정개발

황우진



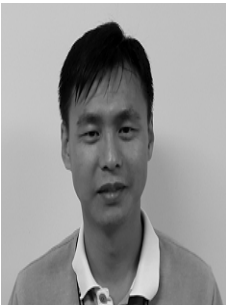
서울과학기술대학교
 기계설계자동화학부 졸업
 서울과학기술대학교
 NID융합기술대학원 석사 졸업
 현재 (주)가레인 장비사업부
 공정개발 근속 중.
 관심분야 : CVD, Etcher 공정
 개발, MEMS Sensor

김홍민



한국산업교육센터 컨설턴트
 경영지도사/중소기업청(2007)
 ISO9000인증심사원(1999)
 아주대 MBA석사 후 명지대
 산업경영공학 박사 과정
 관심분야 : 전자부품개발 및 신
 뢰성보증

남진택



성균관 대학교 학사(2000)
 삼성반도체 식각 공정 분야 9년
 근무(2008)
 현재 (주)가레인 장비사업부 근
 속 중
 관심분야 : 반도체 및 MEMS
 식각 분야 공정개발 반도체 장
 비 및 부품 개발

김창은



고려대 산업경영공학과 학사
 TEXAS A&M 산업경영공학과
 석사, 박사 취득.
 현재 명지대학교 산업경영공학과
 교수.
 관심분야는 경제성공학, 경영혁
 신, 6시그마, ERP등 임.