

HEVC/VP9 4×4 Transform 통합 블록 설계

Design of Unified HEVC/VP9 4×4 Transform Block

정 슬 기*, 이 성 수**

Seulkee Jung*, Seongsoo Lee**

Abstract

This paper proposes a unified 4×4 transform architecture for HEVC and VP9 codec to reduce hardware size. It performs HEVC 4×4 IDCT, HEVC 4×4 IDST, VP9 4×4 IDCT, and VP9 4×4 IADST in a unified hardware. HEVC 4×4 IDCT and VP9 4×4 IDCT have same IDCT computation except for the scales of coefficients. Similarly, HEVC 4×4 IDST and VP9 4×4 IADST have same IDST computation except for the scales of coefficients. Furthermore, IDCT and IDST have quite a lot of similarity, so they can share some hardwares in common. So the proposed hardware performs all 4 operations in a unified hardware, where each operation has its own multiplication coefficients with shared butterfly adders. The synthesized block in 0.18 um technology is 6,679 gates, and the gate count is reduced by 25.3% in comparison with conventional designs.

요 약

본 논문에서는 HEVC와 VP9 코덱의 계수 변환 (Transform)을 수행하는 통합형 아키텍처를 제안하여 하드웨어 크기를 줄이고자 한다. 제안하는 아키텍처는 HEVC 4×4 IDCT, HEVC 4×4 IDST, VP9 4×4 IDCT, VP9 4×4 IADST를 통합 하드웨어에서 처리가 가능하다. HEVC 4×4 IDCT와 VP9 4×4 IDCT는 계수의 스케일만 다를 뿐 동일한 IDCT 연산을 사용하며, 마찬가지로 HEVC 4×4 IDST와 VP9 4×4 IADST도 계수의 스케일만 다를 뿐 동일한 IDST 연산을 사용한다. 더욱이 IDCT 연산과 IDST 연산에는 상당히 많은 유사점이 있어 일부 하드웨어를 공동으로 사용할 수 있다. 따라서 제안하는 하드웨어는 4가지 연산에 대해 곱셈기의 계수는 각각 다르지만 버터플라이 덧셈기 등은 공동으로 사용하여 통합적으로 수행한다. 0.18um 공정에서 합성했을 때 게이트 수가 약 6,679 게이트로 기존 아키텍처 대비 25.3% 감소함을 확인하였다.

Key words : HEVC, VP9, IDCT, IDST, IADST, transform, unified architecture, area reduction

* School of Electronic Engineering, Soongsil University

★ Corresponding author: sslee@ssu.ac.kr, 02-820-0692

※ Acknowledgment

"This research was supported by the System IC Commercialization R&BD Program (10049498) funded by the Ministry of Trade, Industry & Energy."

Manuscript received Jul. 22, 2015; revised Sep. 4, 2015 ; accepted Sep. 4, 2015

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

1. 서론

최근 출시되는 멀티미디어 기기들이 FHD (full high definition)을 넘어 UHD (ultra high definition)와 같은 초고화질, 초고해상도를 지원함에 따라 차세대 고해상도 영상 콘텐츠에 대한 수요가 증가하고 있다. 그러나 해상도가 높아질수록 데이터양이 늘어나고 H.264/AVC (advanced video coding)[1]와 VP8[2]과 같은 기존 동영상 압축 기술로는 초고화질의 영상을 처리하기가 어려워졌다.

이러한 문제점을 해결하기 위해 국제 표준화 기구인 ITU-T와 ISO/IEC가 공동으로 HEVC (high

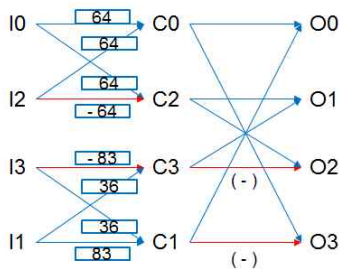


Fig. 1. Conventional HEVC 4x4 IDCT architecture.
그림 1. 기존 HEVC 4x4 IDCT 아키텍처.

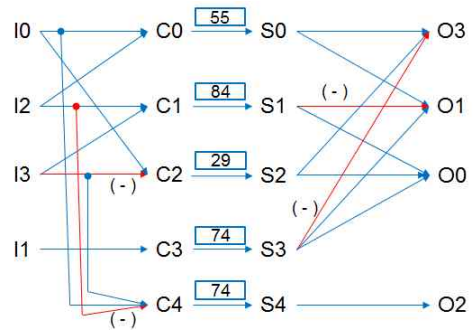


Fig. 2. Conventional HEVC 4x4 IDST architecture.
그림 2. 기존 HEVC 4x4 IDST 아키텍처.

efficiency video coding)[3]이라는 새로운 동영상 압축 표준을 개발하였고 구글은 차세대 영상 압축 기술로써 VP9을 개발하여 이미 유튜브 (youtube)에서 채택하여 사용하고 있다. 따라서 후대 단말기에서는 HEVC와 VP9을 모두 수행해야할 필요성이 생겨났다.

이들 표준에서 주파수 변환 (transform)으로 사용되는 IDCT (inverse discrete cosine transform), IDST (inverse discrete sine transform), IADST (inverse asymmetric discrete sine transform)를 살펴보면 HEVC 4x4 IDCT와 VP9 4x4 IDCT는 계수의 스케일만 다를 뿐 동일한 연산을 사용하며, HEVC 4x4 IDST와 VP9 4x4 IADST도 계수의 스케일만 다를 뿐 동일한 연산을 사용한다. 더욱이 IDCT 연산과 IDST 연산에는 상당히 많은 유사점이 있어 일부 하드웨어를 공동으로 사용할 수 있다. 본 논문에서는 HEVC와 VP9의 4x4 주파수 변환을 모두 수행할 수 있는 통합 하드웨어 아키텍처를 제안하여 하드웨어 면적을 최소화하고자 한다.

II. 주파수 변환

1. HEVC 주파수 변환

HEVC에서는 주파수 변환 시 4x4, 8x8, 16x16, 32x32의 다양한 크기를 사용한다. 기본적으로 코사인 기저 (cosine basis)를 갖는 IDCT를 사용하나, 4x4 크기의 화면 내 예측 모드 (intra prediction mode)로 선택되었을 경우에는 사인 기저 (sine basis)를 갖는 IDST를 사용한다[4].

가. HEVC 4x4 IDCT

HEVC에서 사용되는 변환은 메모리 효율성을 높이

고 고속의 변환을 수행하기 위해 변환 기저를 정수로 근사화한 정수 변환을 사용한다. 식 (1)은 HEVC에서 사용하는 4x4 크기의 IDCT에 대한 계수 행렬을 보여준다.

$$M_{IDCT(HEVC)} = \begin{bmatrix} 64 & 83 & 64 & 36 \\ 64 & 36 & -64 & -83 \\ 64 & -36 & -64 & 83 \\ 64 & -83 & 64 & -36 \end{bmatrix} \quad (1)$$

IDCT는 총 16번의 곱셈과 12번의 덧셈을 수행함으로써 이루어진다. 하지만 계수 행렬의 배열을 보면 부호를 제외하고 상하 대칭 구조이므로 그림 1과 같이 버터플라이 구조를 사용한다면 총 8번의 곱셈과 8번의 덧셈만으로 동일한 변환 결과를 얻을 수 있다 [5][6].

나. HEVC 4x4 IDST

HEVC에서 4x4 크기의 화면 내 예측 모드인 경우에는 차분 신호의 특성에 따라 보다 더 효율적인 DST을 사용한다. DST는 DCT와 마찬가지로 정수 변환을 사용한다. 식 (2)는 4x4크기의 IDST에 대한 계수 행렬을 보여준다.

$$M_{IDST(HEVC)} = \begin{bmatrix} 29 & 74 & 84 & 55 \\ 55 & 74 & -29 & -84 \\ 74 & 0 & -74 & 74 \\ 84 & -74 & 55 & -29 \end{bmatrix} \quad (2)$$

IDST는 총 16번의 곱셈과 12번의 덧셈을 수행함으로써 이루어진다. IDST의 경우 계수 행렬의 배열을 살펴보면 배열의 대칭적인 특징은 없지만 식 (3)에

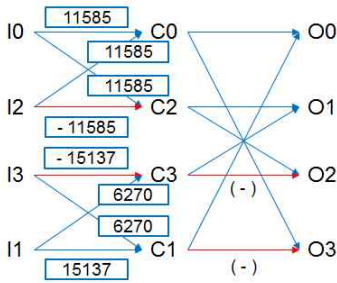


Fig. 3. Conventional VP9 4×4 IDCT architecture.
그림 3. 기존 VP9 4×4 IDCT 아키텍처.

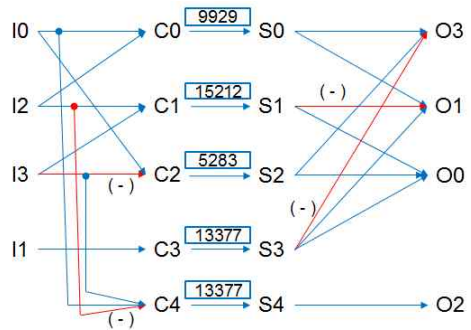


Fig. 4. Conventional VP9 4×4 IADST architecture.
그림 4. 기존 VP9 4×4 IADST 아키텍처.

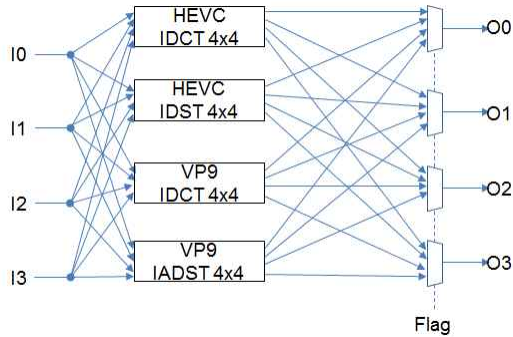


Fig. 5. The conventional architecture for HEVC 4×4 IDCT/IDST & VP9 4×4 IDCT/IADST
그림 5. 기존 기술을 이용한 HEVC 4×4 IDCT/IDST 및 VP9 4×4 IDCT/IADST 아키텍처.

나타낸 것처럼 4번 계수는 1번 계수와 2번 계수의 합과 같다는 특징이 있다. 이러한 특징을 이용하여 그림 2과 같이 총 5번의 곱셈과 11번의 덧셈 연산으로 동일한 결과를 얻는 것이 가능하다[7].

$$\begin{aligned} S_1 &= 29, S_2 = 55, S_3 = 74, S_4 = 84 \\ S_1 + S_2 &= S_4 \end{aligned} \quad (3)$$

2. VP9 주파수 변환

VP9에서는 IDCT, IADST, IWHT (inverse Walsh-Hadamard transform) 세 가지 타입의 주파수 변환을 사용한다[8]. IDCT의 경우 4×4, 8×8, 16×16, 32×32 크기의 2D-IDCT가 모든 화면 간 예측 모드에서 사용된다. 화면 내 예측 모드에서는 추가적으로 4×4, 8×8, 16×16 크기의 IADST가 사용될 수 있는데 같은 크기의 1-D IDCT와 결합이 되어 2-D 하이브리드 변환을 수행할 수 있다. 화면 내 예측 모드에서 가능한 변환 조합은 4×4, 8×8, 16×16 크기의 수직, 수

평 방향으로 (IADST, IADST), (IADST, IDCT), (IDCT, IADST), (IDCT, IDCT)이다. 마지막으로 IWHT는 4×4의 무손실 압축인 경우에만 사용된다.

가. VP9 4×4 IDCT

VP9의 IDCT는 HEVC와 마찬가지로 IDCT II를 사용하나 HEVC와는 달리 보다 큰 스케일의 계수 (16364 ~ 804)를 사용한다. 식 (4)는 VP9에서 사용되는 4×4 크기의 IDCT에 대한 계수 행렬을 보여준다.

이 계수 행렬을 살펴보면 HEVC IDCT와 계수 값의 크기만 다를 뿐 같은 구조의 배열로 이루어져 있으므로 그림 3과 같이 HEVC IDCT의 경우와 같은 모양의 버터플라이 구조를 사용할 수 있으며, 총 8번의 곱셈과 8번의 덧셈을 수행하여 변환할 수 있다.

$$M_{IDCT(VP9)} = \begin{bmatrix} 11585 & 15137 & 11585 & 6270 \\ 11585 & 6270 & -11585 & -15137 \\ 11585 & -6270 & -11585 & 6270 \\ 11585 & -15137 & 11585 & -15137 \end{bmatrix} \quad (4)$$

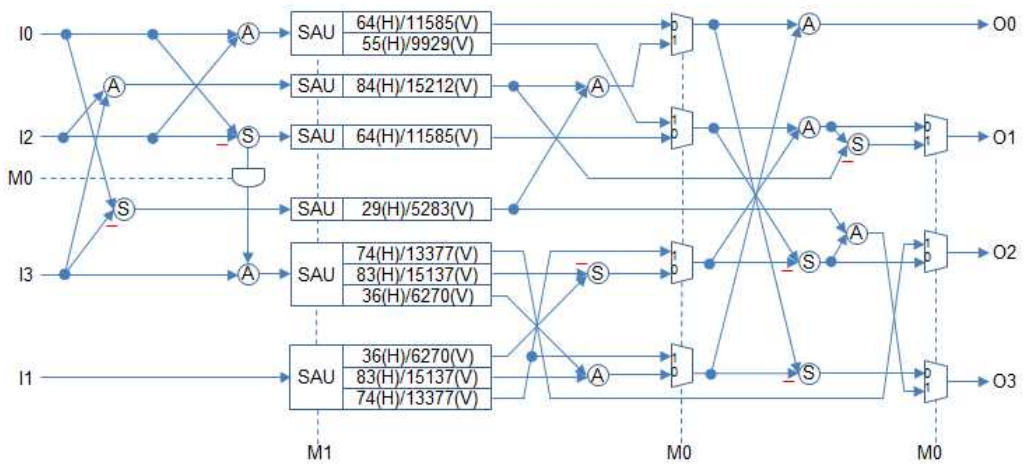


Fig. 6. The proposed merged HEVC 4x4 IDCT/IDST & VP9 4x4 IDCT/IADST architecture.

그림 6. 제안하는 HEVC 4x4 IDCT/IDST 및 VP9 4x4 IDCT/IADST 통합 아키텍처.

Table 1. Adders and shifters for HEVC 4x4 IDCT/IDST and VP9 4x4 IDCT/IADST.

표 1. HEVC 4x4 IDCT/IDST 및 VP9 4x4 IDCT/IADST를 위한 덧셈기 및 쉬프터.

	Transform	Coefficients	Addition and Shift Operations
HEVC	IDCT	36	$((I \ll 3) + (I \ll 0)) \ll 2$
		64	$I \ll 6$
		83	$(I \ll 6) + (I \ll 0) + ((I \ll 3) + (I \ll 0)) \ll 1$
	IDST	29	$(I \ll 5) - (I \ll 1) - (I \ll 0)$
		55	$(I \ll 6) - (I \ll 3) - (I \ll 0)$
		74	$(I \ll 6) + (I \ll 0) + ((I \ll 3) + (I \ll 0))$
VP9	IDCT	6270	$(I \ll 13) - (I \ll 11) + (I \ll 7) - (I \ll 1)$
		11585	$(I \ll 13) + (I \ll 11) + (I \ll 10) + (I \ll 8) + (I \ll 6) + (I \ll 0)$
		15137	$(I \ll 14) - (I \ll 10) - (I \ll 8) + (I \ll 5) + (I \ll 0)$
	IADST	5283	$(I \ll 12) + (I \ll 10) + (I \ll 7) + (I \ll 5) + (I \ll 1) + (I \ll 0)$
		9929	$(I \ll 13) + (I \ll 11) - (I \ll 8) - (I \ll 6) + (I \ll 3) + (I \ll 0)$
		13377	$(I \ll 14) - (I \ll 11) - (I \ll 10) + (I \ll 6) + (I \ll 0)$
15212	$(I \ll 14) - (I \ll 10) - (I \ll 7) - (I \ll 4) - (I \ll 2)$		

나. VP9 4x4 IADST

VP9의 4x4 IADST는 HEVC의 4x4 IDST와 같이 DST VI을 사용하나 HEVC와는 달리 보다 큰 스케일의 계수(5283 ~ 15212)를 사용한다. 식 (5)는 VP9에서 사용하는 4x4 크기의 IADST에 대한 계수 행렬을 보여준다.

이 계수 행렬을 살펴보면 HEVC IDST의 계수 행렬과 마찬가지로 대칭적인 특징은 없으나 식 (6)과 같이 1번 계수와 2번 계수의 합이 4번 계수 값과 같다는 특징이 있으며 결과적으로 그림 4와 같이 총 5번의 곱셈과 11번의 덧셈 연산으로 표현이 가능하다.

$$M_{IDST(VP9)} = \begin{bmatrix} 5283 & 13377 & 15212 & 9929 \\ 9929 & 13377 & -5283 & -15212 \\ 13377 & 0 & -13377 & 13377 \\ 15212 & -13377 & 9929 & -5283 \end{bmatrix} \quad (5)$$

$$S_1 = 5283, S_2 = 9929, S_3 = 13377, S_4 = 15212 \quad (6)$$

$$S_1 + S_2 = S_4$$

III. 제안하는 HEVC 4x4 IDCT/IDST 및 VP9 4x4 IDCT/IADST 통합 아키텍처

1. 아키텍처 설계

기존의 기술만을 이용하여 HEVC의 4x4 주파수 변

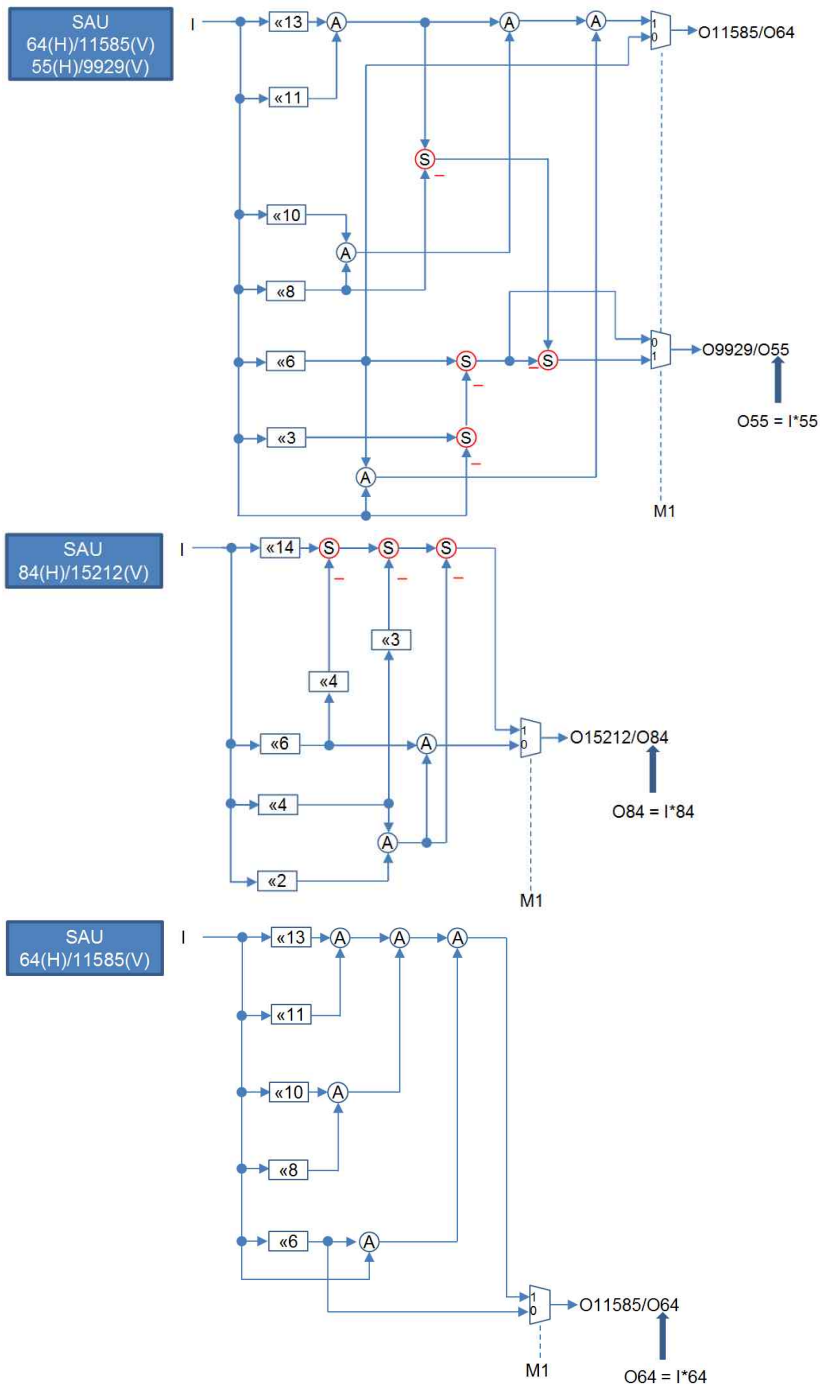


Fig. 7. The proposed SAU architecture.
 그림 7. 제안하는 SAU 구조.

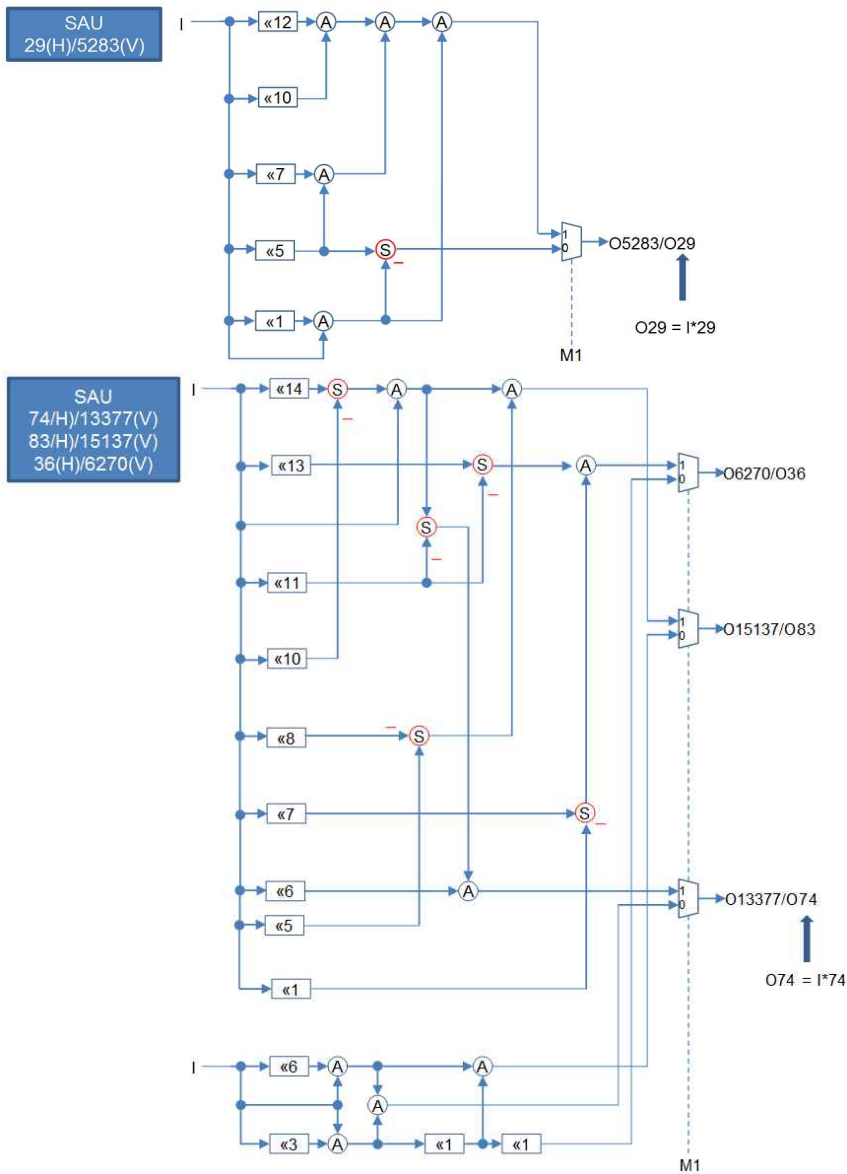


Fig. 7. The proposed SAU architecture (cont'd).
 그림 7. 제안하는 SAU 구조 (계속).

환과 VP9의 4×4 주파수 변환 모두를 수행할 수 있는 코어를 설계하려면 그림 1 ~ 그림 4의 아키텍처를 각각 구현하고 그림 5와 같이 멀티플렉서를 이용하여 선택적으로 값을 얻는 형태로 구현하게 된다. 이 아키텍처의 경우 중복성이 있는 하드웨어가 불필요하게 포함되어 있기 때문에 저면적화에 불리하다. 앞에서 보았듯이 HEVC와 VP9의 4×4 주파수 변환은 계수의

스케일이 다를 뿐 변환 방식이 동일하기 때문에 본 논문에서는 이러한 유사점 등을 활용하여 하드웨어 면적을 최대한으로 줄이기 위한 통합된 아키텍처를 제안하고자 한다.

기존 논문에서는 HEVC 4×4 IDCT 및 IDST의 하드웨어를 통합하는 아키텍처[9]를 제안했으나 본 논문에서는 HEVC 4×4 IDCT/IDST와 더불어 VP9 4×4

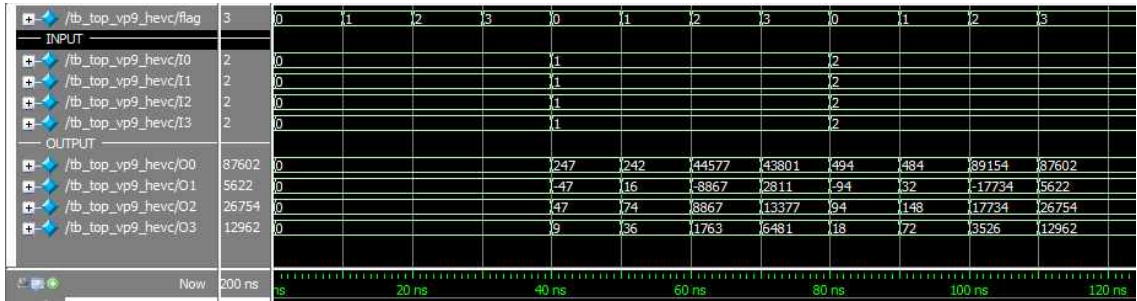


Fig. 8. Functional verification by simulation.
 그림 8. 시뮬레이션을 통한 동작 검증.

IDCT/IADST도 수행할 수 있는 통합 아키텍처를 그림 6과 같이 제안한다.

HEVC 및 VP9 코어 역변환기는 기본적으로 사용되는 계수가 고정되어 있으므로 곱셈기 대신 면적을 덜 차지하는 덧셈기와 쉬프트만으로 구현이 가능하다 [10][11]. 따라서 각각의 계수의 곱셈을 표 1과 같이 분석하였고, 이를 덧셈기와 쉬프트로만 구현하도록 하였으며 중복되는 부분들은 최대한 공유할 수 있도록 하였다. 곱셈 연산을 수행하는 SAU (shift-add unit)를 제외한 덧셈이 이루어지는 과정이 HEVC의 IDCT는 VP9의 IDCT와 동일하고 HEVC의 IDST는 VP9의 IADST와 동일하므로 공유하도록 하였다.

제안하는 아키텍처에서는 플래그 신호를 연결하여 네 가지의 각 모드에 따라 선택적으로 결과를 출력하도록 하였다. 즉 Flag 값이 2'b00일 때는 HEVC IDCT 모드로 동작, 2'b01일 때는 HEVC IDST 모드로 동작하며, 2'b10일 때는 VP9 IDCT 모드로, 2'b11일 때는 VP9 IADST 모드로 동작하여 출력값을 선택적으로 얻을 수 있다.

2. 연산처리기 설계

그림 7은 제안하는 아키텍처에서 사용하는 SAU (shift-add unit)의 구조를 나타낸 것이다. 각 SAU는 덧셈기와 쉬프트만으로 구성되어 있으며 입력으로부터 값을 받아 계수와와의 곱을 수행하여 출력으로 결과 값을 내보내준다.

SAU는 내부적으로 덧셈기와 쉬프트를 공유하기 위하여 입력이 동일한 계수 별로 다음과 같이 5개의 타입으로 나누어 설계하였다. 여기서 H는 HEVC를, V는 VP9을 의미한다.

- ① 64(H)/11585(V)/55(H)/9929(V)
- ② 84(H)/15212(V)
- ③ 64(H)/11585(V)

- ④ 29(H)/5283(V)
- ⑤ 74(H)/13377(V)/83(H)/15137(V)/36(H)/6270(V)

IDCT의 경우, 연산이 이루어지는 과정인 그림 1과 그림 3을 살펴보면 처음에 입력을 통해 들어오는 값을 IDCT 계수와 곱셈 연산을 먼저 수행한 뒤에 버터플라이 구조에 따라 두 수를 덧셈 연산을 하여 중간 값인 Cx에 저장하고 또 버터플라이 구조에 따라 덧셈(혹은 뺄셈) 연산을 수행하여 출력으로 보낸다. 반면 IDST 및 IADST는 그림 2와 그림 4를 보면 입력으로 들어오는 두 값을 먼저 덧셈 연산을 수행한 뒤에 계수와 곱셈을 하고 다시 덧셈 연산을 한다. IDCT의 계수 중 64(H)와 11585(V)의 연산은 IDST처럼 먼저 덧셈한 뒤 곱셈하는 연산 과정으로 변경하는 것이 가능하다. 다시 말해서 IDCT의 계수인 64(H)와 11585(V)는 IDST의 계수 55(H)와 IADST의 계수 9929(V)의 입력인 I0+I2를 공통으로 입력으로 받을 수 있다. 그러므로 최대한 하드웨어를 공유하기 위해 함께 묶어서 SAU를 설계하였다.

3. 시뮬레이션 결과 및 게이트 수 비교

제안하는 아키텍처는 IDEC의 CAD Tool을 지원 받아 구현하였으며 Verilog HDL을 이용하여 RTL을 완성한 후 동작을 검증하였고 그림 8과 같은 시뮬레이션 결과를 얻었다. 각 입력 값에 따른 결과 값이 정상적으로 출력되고 있는 것을 확인하였다.

본 논문에서 제안하는 아키텍처의 효율을 확인하기 위해 그림 5의 기존 아키텍처와 그림 6의 제안하는

Table 2 Synthesis results in 0.18um technology.
 표 2. 0.18um 공정에서의 합성 결과.

Result	Conventional Architecture	Proposed Architecture	Gain
Gate Count	8,941	6,679	25.3%

아키텍처를 0.18 μ m 공정에서 Design Compiler로 합성하여 비교하였으며 그 결과는 표 2와 같다. 제안하는 아키텍처가 기존의 아키텍처 대비 게이트 수 측면에서 25.3% 절감함을 확인하였다.

V. 결론

본 논문에서는 HEVC와 VP9의 주요 프로세스 중 4×4 크기의 주파수 변환을 위한 하드웨어 아키텍처를 제안하였다. HEVC 4×4 IDCT/IDST 및 VP9 4×4 IDCT/IADST를 위한 아키텍처를 통합형으로 설계한 뒤 동작을 검증하고 합성하여 성능을 확인하였다. 0.18 μ m 공정에서 합성한 결과 제안하는 아키텍처의 게이트 수는 6,679 게이트였으며, 이는 동일한 공정의 기존 아키텍처에 비하여 게이트 수가 25.3% 절감됨을 확인하였다.

References

- [1] T. Wiegand, G. Sullivan, G. Bjontgaard, and A. Luthra, "Overview of the H.264/AVC Video Coding Standard", IEEE Transactions on Circuits and Systems for Video Technology, vol. 13, no. 7, pp. 560-576, Jul. 2003.
- [2] J. Bankoski, J. Koleszar, L. Quillio, J. Salonen, P. Wilkins, Y. Xu, VP8 Data Format and Decoding Guide, RFC 6386
- [3] G. Sullivan, J. Ohm, and W. Han, "Overview of the high efficiency video coding (HEVC) standard", IEEE Transactions on Circuits and Systems for Video Technology, vol. 22, no. 12, pp. 1649-1668, Dec. 2012.
- [4] D. Shim and H. Cho, "Understanding of HEVC Standard Technology", Hongrung Publishing Co., 2014.
- [5] W. Chen, C. Smith, and S. Fralick, "A fast computational algorithm for the discrete cosine transform", IEEE Transactions on Communications, vol. 25, no. 9, pp. 1004-1009, Sep. 1977.
- [6] M. Budagavi and V. Sze, "Unified Forward+ Inverse Transform Architecture for HEVC", Proceedings of IEEE International Conference on ICIP, pp. 209-212, Oct. 2012.
- [7] A. Saxena and F. Fernandes, "DCT/DST-Based Transform Coding for Intra Prediction in Image/Video Coding", IEEE Transactions on Image Processing, vol. 22, no. 10, pp. 3974-3981, Oct. 2013.
- [8] D. Mukherjee, J. Bankoski, A. Grange, J. Han, J. Koleszar, P. Wilkins, Y. Xu and R. Bultje, "The latest open-source video codec VP9 - An overview and preliminary results", Proceedings of Picture Coding Symposium, pp. 390-393, Dec. 2013.
- [9] S. Jung and S. Lee, "Design of Unified HEVC 4×4 IDCT/IDST Block", Journal of IKEEE. vol. 19, no. 2, pp. 271-275. Jun. 2015.
- [10] S. Han, W. Nam, and S. Lee, "Design of Low-Area HEVC Core Transform Architecture", Journal of IKEEE. vol. 17, no. 2, pp. 119-128, Jun. 2013.
- [11] J. Lee and S. Lee, "8×8 HEVC Inverse Core Transform Architecture Using Multiplier Reuse", Journal of IKEEE. vol. 17, no. 4, pp. 570-578, Dec. 2013.

BIOGRAPHY

Seulkee Jung (Student Member)



2011 : BS degree in Electronic Engineering, Soongsil University.
2014~Now : MS candidate in Electronic Engineering, Soongsil University
<Main Interest> HEVC, Multimedia SoC Design

Seongsoo Lee (Life Member)



1991 : BS degree in Electronic Engineering, Seoul National University.
1993 : MS degree in Electronic Engineering, Seoul National University.
1998 : PhD degree in Electrical Engineering, Seoul National University.
1998~2000 : Research Associate, University of Tokyo
2000~2002 : Research Professor, Ewha Womans University
2002~Now : Professor in School of Electronic Engineering, Soongsil University
<Main Interest> HEVC, Low-Power SoC Design, Multimedia SoC Design, Battery Management