

# 고정도 3상 직선형 절대 위치 센서의 구현

## An Implementation of High-precision Three-phase Linear Absolute Position Sensor

이 창 수\*

Chang Su Lee\*

### Abstract

Recently a demand for high precision absolute position transducer is increasing in order to control thickness in steel industry. LVDT (linear variable differential transformer) is widely used to measure the absolute position in the linearly moving cylinder under poor factory environment. In this paper we implement the three phase LVDT with a high resolution of one micron and L/D (LVDT to digital) converter. First we designed U, V, and W three phase signaling using FPGA. Second a pulse output algorithm is designed for position information with A and B phase waveforms. Finally the performance is compared with previous sensors. Experiments show that the linearity deviation error is 0.009788 [mm] and the average sinusoidal THD is 0.0751%, which means 2.2% and 33% more improved result than the previous sensors respectively.

### 요 약

최근 들어 철강의 두께 제어를 위해 고정밀도의 절대 위치 검출 센서에 대한 필요성은 증가하고 있다. 열악한 공장 환경 하에서 직선 운동하는 실린더의 절대 위치를 측정하기 위해서는 LVDT가 널리 사용된다. 본 논문에서는 1 마이크로미터의 고해상도를 가지는 3상 LVDT 및 L/D (LVDT to digital) 변환기를 구현하였다. 이를 위하여 첫째 U, V, W 3상 정현파에 대한 시그널링을 FPGA로 설계하였다. 둘째 위치 정보에 대한 A상, B상 펄스 파형 출력 알고리즘을 구현하였다. 마지막으로 성능 평가를 위하여 기존의 센서들과 비교하였다. 실험 결과 직선성 편이 오차는 0.009788 [mm] 로써 2.2% 향상된 결과를 얻었고 정현파의 왜곡률은 평균 0.0751%로 기존보다 33%의 향상된 결과를 얻어 우수한 센서임을 입증하였다.

*Key words* : AWC/AGC, Three phase LVDT, L/D converter, FPGA, Linearity deviation error, THD

## 1. 서론

산업용 장비는 고온 다습의 열악한 환경 하에서 고정도, 내충격, 무고장, 무결점의 내구성 설비를 요구하고 있어 정밀도와 신뢰성은 중요한 요소이다 [1],[2].

\* The University of Suwon ([cslee@suwon.ac.kr](mailto:cslee@suwon.ac.kr), Tel: 031-220-2579).

Manuscript received Jul. 14, 2015; revised Aug. 27, 2015 ; accepted Aug. 27, 2015.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

제철, 제강 분야의 압연용 공장자동화의 핵심 장비로는 철강 압연 공정에서 철판의 폭 (AWC, automatic width control)과 두께 (AGC, automatic gauge control)의 제어에 쓰이는 LVDT (linear variable differential transformer, 직선형 가변 차동 변환기)를 들 수 있다. LVDT는 절대 위치를 검출하는 트랜스듀서로서 직선적으로 움직이는 산업용 실린더에 장착되어 강관의 두께나 폭을 마이크로 단위의 정밀 제어하는데 사용되고 있다 또한 이 센서는 특정 절대 위치의 스위치 출력을 위한 제어 정보의 수집 등의 다양한 응용에 필수적이다 [3],[4]. 또한 LVDT의 장점은 기계적인 접촉이나 마찰이 없이 전자기적인 커플링으로 연결되므로 반영구적으로 사용 가능한 점이다 [5]-[7].

기존의 LVDT 센서는 2상 방식의 전자기 원리를 응용한 센서로 1차 코일, 2차 코일, 직선형 로드 (rod) 로 구성되어 있다 [1-4]. 이 방식은 회전형 RVDT 센서와 동일한 원리로 동작한다. 즉 1회전 360도에 대한 위치 정보가 1피치에 대한 정보와 동일하다. 센서의 1차 코일을 구동하는 입력 파형에 정현파를 가하면 직선 운동하는 실린더에 장착되어 있는 로드의 변위에 따른 출력 파형을 얻는다. 이를 입력파형과 비교하여 위상차를 구하면 로드의 절대 직선 위치를 알 수 있다 [8]-[10]. 3상 방식의 경우 1차 코일에 U, V, W의 3상을 가하고 2차측 출력을 얻는다 [11]-[13].

본 논문에서는 고 분해능의 변위 정보를 얻기 위해 1차 코일에 3상 방식을 사용하고 L/D (LVDT to digital) 변환기를 구현하였다. 1 [μm] 이하의 고정밀도 구현을 위해서는 1차측의 로드 (rod), 보빈 (bobbin), 헤드 (head)의 설계 및 가공 시 고정도를 필요로 한다. 직선형 센서의 신호 발생은 VHDL 언어를 이용하여 FPGA 칩에 구현하였다. 제어 로직은 기본 클럭을 가지고 카운트 로직, U, V, W 3상 시그널링, 디바운스 로직, 샘플링 및 A/B 펄스의 절대위치 데이터 출력을 구하였다. 마지막으로 구현된 센서의 직선성 편이 오차 및 THD (total harmonic distortion)를 비교하여 제안된 센서의 우수성을 입증하였다.

본 논문의 구성은 다음과 같다. II 절에서는 센서의 구조, 3상 시그널링 및 펄스 출력 알고리즘을 설계하였다. 또한 실험을 통하여 센서의 동작을 확인하고 다른 센서와 비교하였다. III 절에 결론을 기술하였다.

## II. 3상 LVDT 분석

### 1. 3 상 LVDT 센서의 구조

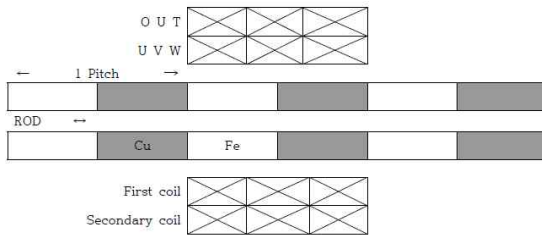


Fig. 1. Three phase LVDT sensor structure  
그림 1. 3 상 LVDT 센서의 구조

3상 LVDT 센서는 그림 1과 같이 센서 헤드부 에는 1차 코일 (U, V, W)과 2차 코일 (OUT)이 보빈의 내경과 외경에 각각 장착 되어 있다 [11]. 원통형 보빈의 내경을 따라 로드가 직선 운동을 한다. 로드에는

이동 방향으로 등피치 (8.192 [mm]) 간격의 자성체 (Fe)와 비자성체 (Cu)가 교대로 배치되어 1 피치를 이루며 다중 피치로 로드를 구성하고 있다. 3 상의 위상 방식은 그림 2와 같이 델타 결선을 이루며 각 상의 1차 코일은 정방향과 역방향의 2 가지 코일의 배선으로 인하여 차동적으로 이루어져 있다 [13].

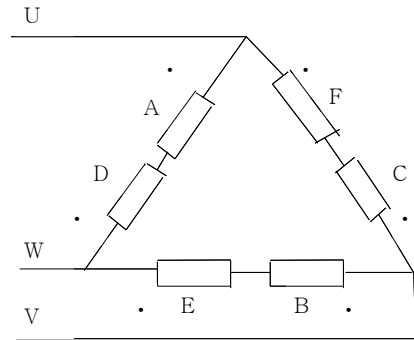


Fig. 2. 3 phase (delta wiring)  
그림 2. 3상 위상 방식 (델타 결선)

그림 3은 델타형 3상 1, 2차 코일의 결선 회로도이다. 직선 이동 거리를 x직선형 멀티 피치의 구현을 위하여 코일은 각 피치마다 U, W, V의 순서대로 결선한다. 2차측에 유기되는 기전력의 합은

$$E_0 = (e_A - e_D) - (e_B - e_E) + (e_C - e_F) \quad (1)$$

여기서  $e_i$ , ( $i = A, \dots, F$ )는 1차측 해당 상으로부터 유

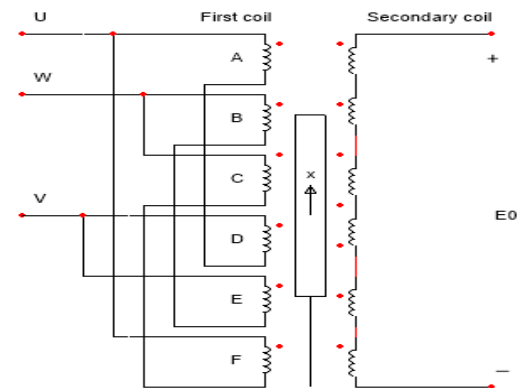


Fig. 3. LVDT sensor delta-wiring circuit diagram  
그림 3. LVDT 센서 델타-결선 회로도

기된 전압을 나타낸다. 로드의 위치가 1차 코일의 중앙에 위치할 경우  $E_0$ 의 위상 변화는 0이다. 2차 코일에 유기되는 각 코일의 전압을 합하면

$$E_0 = K \sin(\omega t - \theta) \quad (2)$$

가 얻어진다 [11]. 여기서 P는 피치간격, X는 1 피치 내 이동량이다.  $\theta = 2\pi \frac{X}{P}$ 로 이 위상 데이터로부터 1 피치 내의 X를 계측한다.

2. 3 상 시그널링 및 계측 원리

그림 4는 3상 직선형 LVDT의 블록선도로써 크게 3상 센서, FPGA, CPU와 A/B 펄스 출력으로 구분할 수 있다. 센서를 구동하기 위한 U, V, W의 3상 신호는 FPGA에서 생성하고, 주기적으로 2차 코일의 출력과 U 상과의 위상차를 얻는다. FPGA로부터 오는 데이터는 1 피치 정보만을 담고 있다. CPU의 역할은 다중 피치를 구현한다. 또 다른 역할은 사용자가 지정한 위치에 원점을 설정하도록 한다 [14]-[15].

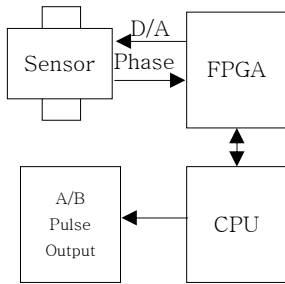


Fig. 4. LVDT sensor system  
그림 4. LVDT 센서 시스템

그림 5와 같이 U, V, W의 3상 시그널링을 위하여 FPGA에서 생성된 3상 정현파는 D/A 컨버터를 거쳐 3상 LVDT 센서의 1차 코일에 입력된다. 3상 LVDT의 컨버터의 구성요소는 동기 카운터, 입력 3상 정현파와 U, V, W 및 이를 출력하기 위한 DAC 회로 및 차분 출력의 위상을 검출하기 위한 아날로그 영점 교차 검출 (zero-cross detection) 회로로 구성된다. 교차된 영점을 알려 주는 래치펄스 (latch pulse, LP)를 CPU의 외부 인터럽트로 처리하여 그때의 동기 카운터의 값을 읽어낸다.

1 피치간격인 8.192 [mm]를 8192 등분 하므로 1 [ $\mu\text{m}$ ]의 해상도를 갖도록 설계한다. 3상 직선형 센서에 필요한 1차 코일의 여기 신호인 U, V, W상 신호는 5 [kHz]이고 FPGA 오실레이터 주파수는 81.92 [MHz]이다. 따라서 8192의 카운트를 위해  $81.92 \text{ [MHz]} / 5 \text{ [kHz]} = 16384$ 를 얻고 2로 나누어 디바운스 방지 목적으로 한 비트를 버리면 8192를 카운트 할 수 있다.

그림 6은 U, V, W상 및 위상차를 나타낸 것이다. 그림 6 (a)는 이상적인 3상 신호를 그림 6 (b)는 U 상 및  $E_0$  출력을 보였으며 이 둘 간의 위상차  $\theta$ 를 나

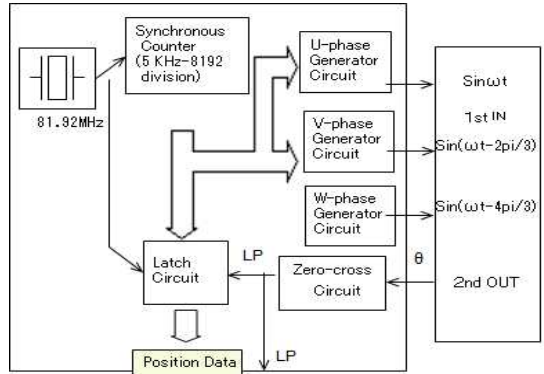


Fig. 5. LVDT signaling  
그림 5. LVDT 시그널링

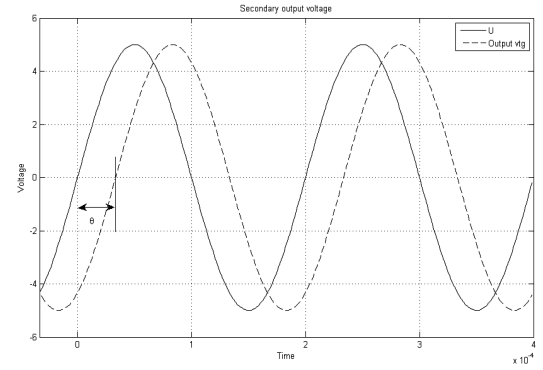
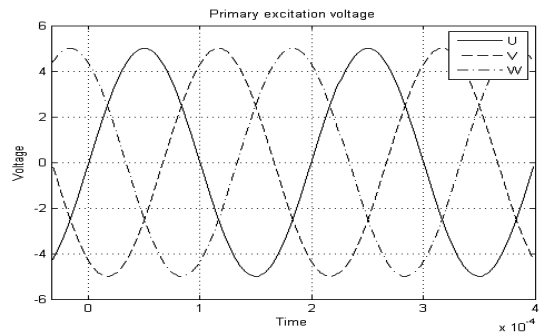


Fig. 6. 3 phase signaling (a) U, V, W phase, (b) U and secondary output  $E_0$   
그림 6. 3 상 시그널링 (a) U, V, W 상, (b) U상 및 2차 출력  $E_0$

타내었다. 정현파의 주파수는 5 [kHz]이므로  $\theta$ 가 200 [ $\mu$ s] 주기를 가지는 LP에 동기화되어 절대위치 데이터를 CPU에 전달한다.

3상 U, V, W 파형을 만들기 위한 클럭은 다음과 같다. 정현파의 0° ~ 360° 사이를 512개의 샘플 데이터

를 분해하므로  $5\text{kHz} \times 512 = 2.56 \text{ [MHz]}$  이다. 이 클럭은 기본 클럭인 81.92 [MHz]로부터 얻을 수 있다.

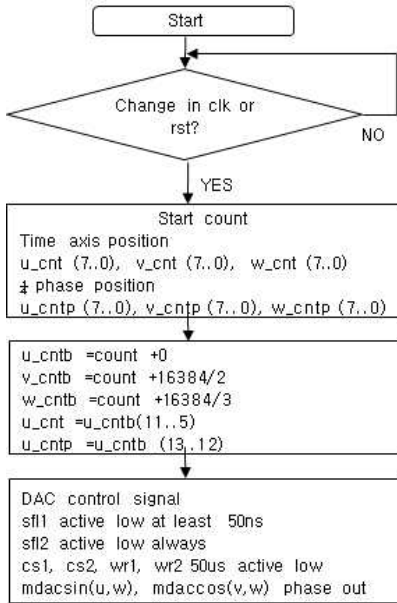
즉,  $81.92 \text{ [MHz]} / 32 = 2.56 \text{ [MHz]}$ 이다. 정현파 U, V, W 3상 발생 로직은 DAC에서 필요한 정현파 데이터를 LUT 방식으로 전송하게 된다. 0°에서 89° 사이의 각도를 128로 분해하여 이 1사분면의 파형을 이용하여 0 ~ 359°까지의 모든 파형을 합성한다. 정현파의 발생 DAC 출력에 대한 흐름도는 그림 7 (a)와 같다. 흐름도에서 u\_cnt의 변화에 따라 시간축 count 값을 설정하고 각 사분면마다 128개의 시간 데이터를 추출하여 정현파의 시간축 데이터를 생성한다. 각 사분면은 그림 7 (b)와 같이 상위 비트인 u\_cntp (13.12) 를 이용한다. DAC의 제어신호 sfl1 은  $\overline{DACA}/\overline{DACB}$ 의 하나를 활성화 한다.

위치 데이터는 1 피치를 13 비트로 분해하므로 0 ~ 8192까지의 카운트 값을 가진다. 또한 11 비트의 피치 카운트 값을 가지는 Semi-absolute 방식이다. 즉 1 피치 내에서 Absolute 방식이다. 위치데이터는  
 위치데이터 = Absolute count(13bits) + Pitch count (11bits) (3)  
 로 구성된다.

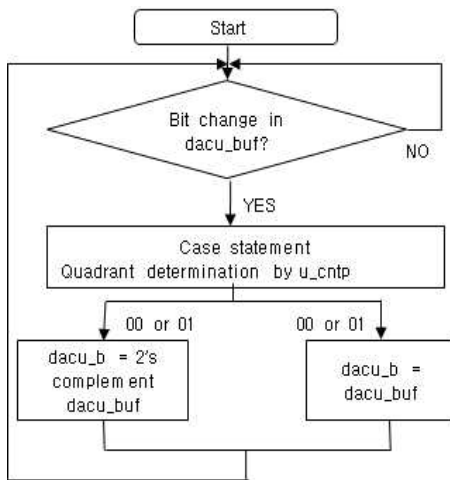
3. 펄스 출력 알고리즘

펄스의 속도 및 주기 설정을 위한 알고리즘은 다음과 같다. 그림 8은 절대 위치 값의 펄스 출력 알고리즘을 나타낸다. 로드의 이동에 따른 펄스 출력을 위해서는 출력할 펄스의 수를 계산하고 실제 펄스를 만들어 내는 2단계가 필요하다. 첫째 외부 스위치에 의해 펄스의 분주비 (vDivisionRate)를 입력받는다. 분주비가 1일 때 이동량과 펄스수는 동일하고 분주비가 n이면 펄스수는 이동량/n이다. 펄스 분주비에 따라 현재 값과 이전값의 차이를 구하고 펄스 반주기를 구한다 (vHalfPeriodNumber). 매 5 [kHz]마다 현재 위치를 검출하므로 펄스를 만들어 내기 위한 최소 클럭 수는  $81.92 \text{ [MHz]} / 5\text{K} = 16384$ 의 카운트 값이 계산된다. 출력 펄스 수의 계산은  $195.3125 \text{ [ns]}$ , 펄스 출력은  $1/81.92\text{M} \times 14,000 = 170.8 \text{ [}\mu\text{s]}$  동안 이루어진다.

펄스 출력은 그림 9와 같이 Syn 동기 신호로 시작된다, PLC의 일반적인 요구 조건에 따라 약 20 [ $\mu$ s] 단위로 A와 B 펄스를 만든다. 우선 펄스 레벨을 바꾸기 위한 지점까지 카운트를 하여 토글 지점에 도달하면 Up/Down 이동 방향에 따라 이전 데이터와 현재 데이터의 중간값을 fi\_data에 넣는다. 이 데이터의 하위 두 비트를 사용하여 90도 위상차의 A/B 펄스를 생성한다.



(a)



(b)

Fig. 7 Flowchart for 3 phase input signaling (a) DAC output, (b) 4 quadrant decision

그림 7. 3상 정현파 입력 시그널링을 위한 순서도 (a) DAC 출력, (b) 4 사분면 설정

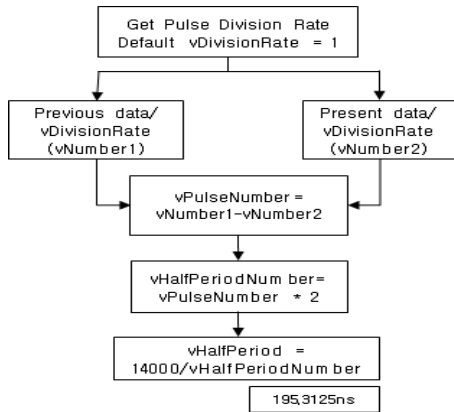


Fig. 8. Determination of the number of output pulses which indicate current position

그림 8. 현재 위치를 나타내는 출력 펄스 수의 결정

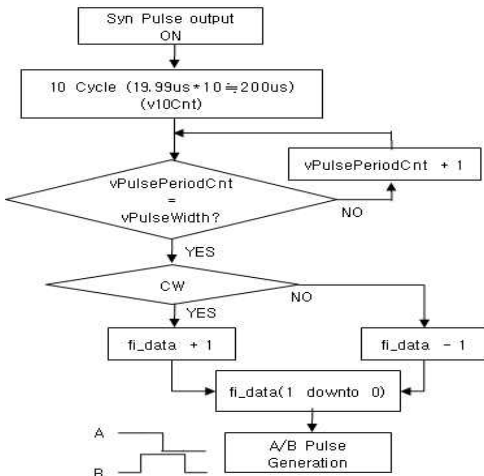


Fig. 9. Generation of the A and B phase position pulses  
그림 9. A와 B 상 위치 펄스의 생성

4. 실험 결과

직선형 LVDT의 U, V, W 시그널링의 확인을 위하여 DAC 모델심 시뮬레이션을 하였다. FPGA는 Altera의 Cyclone-II 계열의 EP2C5T14418을 사용하였고 두 개의 DAC1, DAC2는 동일한 TI의 TLC7528EDW를 사용하였다. DAC1은 U, V 상을 출력하고, DAC2는 W 상을 출력한다. 그림 10에서 보듯이 ck 신호에 동기화 되어 DAC 제어 신호인 칩선택 (ecsx), 쓰기(ewrx), 채널선택(esfx), (x=1,2) 신호를

출력하고 있다. DAC1의 2 채널 정현파 입력 데이터는 dac\_sin 벡터로, DAC2의 정현파 입력 데이터인 dac\_cos 벡터에 비해 2배 빠른 속도로 생성된 것을 확인 할 수 있다. U, V 신호인 dac\_sin은 0x08, 0xad, 0x07과 같이 교대로 나타나며 W 신호인 dac\_cos는 0xd9, 0xd8을 보여주고 있다. 또한 outdata는 현재 절대 변위 출력 값으로 start로부터 impulse1이 활성화 될 때까지 카운트 값으로 위상 정보를 나타내며 현재 0x0으로 로드가 원점을 가리키고 있다. impulse1 신호는 FPGA 외부 입력으로 2차 코일 신호를 zero-cross detection 회로를 통과시켜 얻을 수 있다.

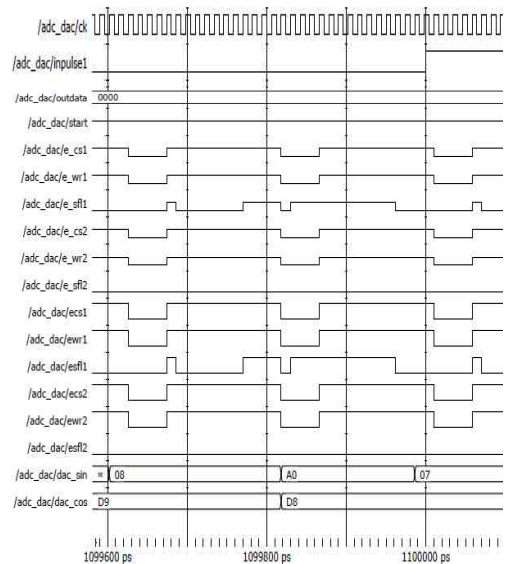


Fig. 10. ModelSim simulation of the DAC input signals  
그림 10. DAC 입력 신호들의 모델심 시뮬레이션

그림 11은 구현된 U 및 각각 120도씩 지연된 V와 W 스코우프 신호를 보이고 있다. 또한 주기 200 [μs]의 펄스형 샘플링 기준 클럭인 start 신호를 볼 수 있다. 그림 12는 로드의 이동 속도에 따른 펄스 출력 A 상과 B상을 관찰한 것이다. 1 피치 이동시 8192개의 펄스가 출력된다. 로드가 정지하면 펄스 출력은 없고 저속일 때와 고속일 때 서로 다른 펄스폭을 가지는 펄스를 출력하고 있음을 나타낸다. 그림 12 (a)로부터 A, B 펄스의 1/4 구간이 1 [μm]의 변위를 의미하고 A 펄스 한 개 구간은 4 [μm]의 이동 거리를 나타내며 이때의 시간 간격은 42.80 [ms]이다. 따라서 로드의 이동 속도는 약 9.3e-5 [m/s]임을 알 수 있다. 그림 12 (b)를 관찰하면 로드의 이동 속도는 약 9.1e-4

[m/s] 임을 알 수 있고 앞의 경우에 비해 약 9.7배의 속도로 움직임을 나타낸다. 펄스 출력이 유효한 로드의 최대 이동 속도는 약 2 [m/s]로 제한하였다.

직선성 편이 오차는 로드가 1 피치 간격 동안 이동 시 컨버터의 출력 위치값이 기준 위치 값에 비하여

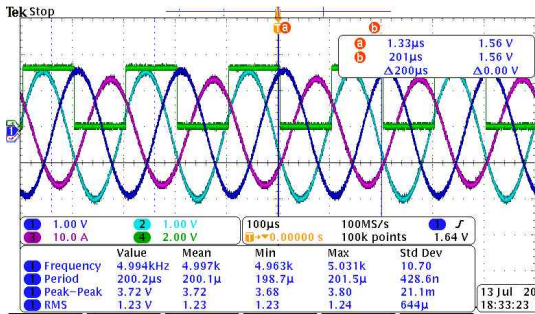
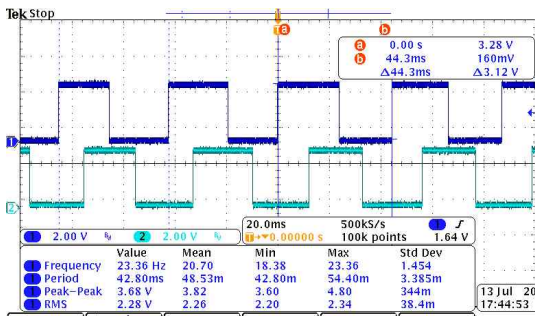
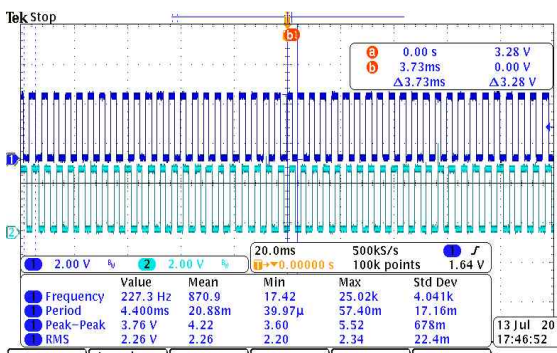


Fig. 11. U, V, W phase DAC output and sampling time reference clock (start)

그림 11. DAC U, V, W 상 출력과 샘플링 시간 표준 출력 (start)



(a)



(b)

Fig. 12. A, B phase pulse output when (a) moving speed is low and (b) high

그림 12. A, B 상 펄스 출력 (a) 이동 속도가 낮을 때 (b) 이동 속도가 높을 때

얼마나 벗어나는가를 보여 주는 중요한 요소이다. 직선형 센서의 정밀도 측정을 위하여 독일의 0.1 [ $\mu\text{m}$ ]의 분해능을 가지는 Heidenhain의 센서를 기준센서로 사용하고 개발된 센서를 동일 로드를 축으로 하는 시스템을 구축하였다. TEST Unit에 두 가지 센서를 장착하고 PC를 통하여 위치 데이터를 수집하여 두 곡선의 오차 곡선을 GUI로 나타냈다. 그림 13은 센서의 직선성 편이 오차를 측정한 것으로 파형의 첨두간 값이 9.788 [ $\mu\text{m}$ ]의 좋은 결과를 얻었다.

표 1은 A사 [11], B사 [13] 및 제안된 직선형 센서의 주요 기술적 사양을 비교한 것이다. 표에서 진한 음영부분은 우수한 성능 지표를 나타내는 것으로서 전반적으로 기존 센서들에 비하여 구현된 센서의 기술적 성능이 우위를 보이고 있음을 나타낸다. 비교 항목 중 해상도와 샘플링 시간은 모두 동일하지만 직선성 편이 오차는 9.788 [ $\mu\text{m}$ ]로서 기존의 가장 좋은 A에 비하여 2.2% 향상된 결과를 얻었고 THD 항목은 0.0751%로써 기존의 가장 좋은 B에 비하여 약 33%의 성능 개선을 보였다.

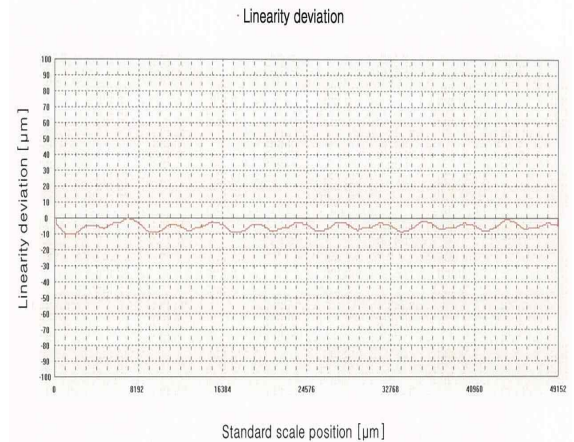


Fig. 13. Linearity deviation error measured from testbed

그림 13. 시험기로 측정한 직선성 편이 오차

### III 결론

본 논문에서 3상 고정밀도 직선형 센서를 구현하였다. 센서의 구성 요소인 헤드, 보빈, 로드의 기구를 설계, 제작, 조립 시험기 테스트를 거쳐 보정하였다. 또한 FPGA 칩을 이용하여 3상 L/D 컨버터를 구성하여 3상 신호를 시그널링하고, 아날로그 영점 통과 회로로부터 위상 정보를 검출하여 현재 절대 위치를 얻고 A/B 펄스 파형으로 출력하였다.

논문의 성과를 요약하면 다음과 같다. 첫째 3상 방식을 적용하여 직선형 센서의 1 [ $\mu\text{m}$ ]의 고해상도를



구현하였다. 두 번째로 3상에 대한 평균 Low distortion이 0.0751%로써 얻었다. 세 번째 직선성 편이 오차는 9.788 [ $\mu\text{m}$ ]로서 신뢰성있는 오차 범위의 센서를 만들었다. 다른 센서와 비교한 결과 직선성 편이 오차는 2.2% 향상된 결과를 얻었고 평균 THD는 약 33%의 향상된 결과를 얻었다.

향후 교체 주기가 2-4 년인 제철소의 열연 및 압연 등의 AGC, AWC 공정에서 사용 될 수 있으리라 여겨 진다. 또한 타이어, 자동차, 프레스 등 열악한 환경에서 절대 위치 검출이 필요한 무인설비 등에 직선형 센서 및 컨버터의 활용이 기대된다.

Table 1. Performance comparison of the proposed linear sensor with other sensors.

표 1. 제안된 직선형 센서와 타 센서와의 성능 비교

| Item                      | Unit          | Case-A | Case-B | Proposed |
|---------------------------|---------------|--------|--------|----------|
| Resolution                | $\mu\text{m}$ | 1      | 1      | 1        |
| Sampling time             | ms            | 0.2    | 0.2    | 0.2      |
| Linearity deviation error | mm            | 0.01   | 0.012  | 0.009788 |
| Ave. low distortion (THD) | %             | 0.1463 | 0.1    | 0.0751   |

### References

[1] E. E. Herceg, Handbook of Measurement and Control-An Authoritative Treatise on the Theory and Application of the LVDT, Schaevitz, 1976.

[2] F. Yassa and S. Garvericks, "Multichannel digital demodulator for LVDT/RVDT position sensors," IEEE J. Solid-State Circuits, vol. 25, pp. 441-445, Apr. 1990.

[3] Y. T. Park, S. W. Kwon, J. H. Gang, "Study on Improvement of a LVDT for Displacement Measurements" Journal of Sensor Science and Technology, vol. 5, no. 3, pp. 1-8, May 1996.

[4] D. Crescini, A. Flammini, D. Marioli, and A. Taroni, "Application of an FFT-Based Algorithm to Signal Processing of LVDT Position Sensors" IEEE Transactions on Instrumentation and Measurement, Vol. 47, pp. 1119-1123, 1998.

[5] TMS320F240 DSP Solution for Obtaining Resolver Angular Position and Speed, Texas Instruments Corp, 2000.

[6] Encoder Technology Corp, *A Discussion of*

*Encoder Technology's Converter and Impedance Detector Technology*, 2000.

[7] D. S. Nyce, *Linear Position Sensors - Theory and Application*, Wiley, 2004.

[8] DongYun Shin, Yungi Yang, Chang-Su Lee, "RVDT Phase Error Compensation for Absolute Displacement Measurement" Journal of Control, Automation and Systems Engineering, Vol. 12, No. 7, pp. 658-665, Jul. 2006.

[9] Dong-Yoon Shin, Chang-Su Lee, "A Study on Error Analysis of the Rotational Absolute Position Detector", Control, Automation, and Systems Symposium CASS-2006, pp. 338-343, KINTEX Jun. 1-3, 2006.

[10] Ji-hye Jeon, Dong-Yoon Shin, Yoon-Gi Yang, Jin-Kwon Hwang, Chang-Su Lee, "A FPGA Implementation of Resolver-based Absolute Position Detector", International Conference on Control, Automation and Systems 2007, COEX, Seoul, Korea, pp. 2375-2378, Oct. 17-20, 2007.

[11] LEVEX, *Products Guide*, Jun. 2009.

[12] NSD, *CYLNUC Cylinder Selection Guide for Iron and Steel Industry Applications*, 2000.

[13] NSD, *ABSCODER Specifications Guide for Iron and Steel Industry Applications*, 2001.

[14] R. Pallas-Areny and J. G. Webster, *Sensors and Signal Conditioning*. New York: Wiley, 1991.

[15] F. S. Tse, I. E. Morse, *Measurement and Instrumentation in Engineering*, Dekker, 1989.

### BIOGRAPHY

**Chang Su Lee** (Member)



1985: BS in Control and Inst. Eng., Seoul National Univ.  
 1987: MS in Control and Inst. Eng., Seoul National Univ.  
 1997: PhD in Control and Inst. Eng., Seoul National Univ.  
 1987-1988: Research Engineer, Samsung Electronics Co.  
 1989-1993: Hyundai Electronics Ind.  
 1997- : Asso. Prof. Electronic Engineering, Suwon Univ.