

논문 2015-52-8-7

MONOS 플래시 메모리의 Nitride 트랩 분석

(Analysis of Nitride traps in MONOS Flash Memory)

양 승 동*, 윤 호 진*, 김 유 미*, 김 진 섭*, 엄 기 윤*, 채 성 원*, 이 희 덕*, 이 가 원**

(Seung-Dong Yang, Ho-Jin Yun, Yu-mi Kim, Jin-Seob Kim, Ki-Yun Eom,
Seong-Won Chea, Hi-Deok Lee, and Ga-Won Lee[©])

요 약

본 연구에서는 MONOS 플래시 메모리의 blocking oxide/trapping nitride, trapping nitride/tunneling oxide 계면 트랩을 구하기 위해 C-V 방법을 도입하였고, stoichiometric 조건을 만족하는 nitride와 silicon rich nitride를 trapping layer로 갖는 MONOS capacitor를 제작하여 각각의 interface trap 특성을 비교분석하였다. 보고에 따르면 silicon rich nitride는 stoichiometric nitride에 비해 다수의 shallow trap 이 존재한다고 보고되고 있는데, 본 연구를 통해 이의 정량화가 가능함을 보였다.

Abstract

This paper discusses the capacitance-voltage method in Metal-Oxide-Nitride-Oxide-Silicon (MONOS) devices to analyzed the characteristics of the top oxide/nitride, nitride/bottom oxide interface trap distribution. In the CV method, nitride trap density can be calculated based on the program characteristics of the nitride thickness variations. By applying this method, silicon rich nitride device found to have a larger trap density than stoichiometric nitride device. This result is consistent with previous studies. If this comparison analysis can be expected to result in improved reliability of the SONOS flash memory.

Keywords : Nitride/Oxide interface trap, MONOS Flash memory, C-V method, silicon rich nitride

I. 서 론

Metal-Oxide-Nitride-Oxide-Silicon (MONOS) 혹은 Silicon-Oxide-Nitride-Oxide-Silicon (SONOS) 플래시 메모리는 저 전력 동작과 소자 축소의 용이성 및 종래의 CMOS 공정과 호환이 가능하다는 특징 등으로

floating gate (FG) 메모리를 대체할 수 있는 구조로 연구되어 왔다^[1]. 특히 최근 지속적인 소자 축소에 따른 제조 원가 상승을 피하면서도 저장 용량을 증가시키기 위한 방법으로 TCAT(Terabit Cell Array Transistor) 이나 BiCS(Bit Cost Scalable) 구조와 같은 3차원 플래시 메모리 소자가 도입되고 MONOS/ SONOS 구조가 적용되면서 더욱 관심이 주목되고 있다^[2]. MONOS 소자의 경우 FG와는 달리 절연체인 nitride에 전하를 트랩 함으로써 데이터를 저장하게 되므로 프로그램/소거, retention 과 같은 메모리 성능이 nitride에 존재하는 트랩의 특성에 따라 좌우될 수밖에 없다. Nitride layer에 존재하는 트랩의 특성 규명과 관련해서는 retention 결과로부터 에너지 분포를 추출하는 연구가 많이 보고되

* 학생회원, ** 정회원, 충남대학교 전자공학과
(Department of Electronics Engineering, Chungnam National University)

[©] Corresponding Author(E-mail: gawon@cnu.ac.kr)

※ 이 논문은 2015년도 정부(미래창조과학부)의 재원으로 한국연구재단-나노소재기술개발사업 및 IDEC의 지원으로 수행된 연구임

Received ; March 19, 2015 Revised ; May 19, 2015
Accepted ; August 3, 2015

어 왔다^[3]. 하지만 이 방법은 프로그램 후 retention 모드에서 시간에 따른 문턱 전압 변화를 통해 추출하기 때문에 ONO층에 존재하는 모든 트랩의 정보가 포함되어 추출된다. 즉 nitride와 bottom oxide (tunneling oxide) 혹은 nitride와 top oxide (blocking oxide) 계면에 존재하는 트랩의 특성에 대해서는 알기 어렵다. 하지만 nitride와 oxide 계면 트랩은 retention 뿐만이 아니라 소자 신뢰성에도 크게 영향을 끼칠 수 있기 때문에 연구가 매우 필요한 상황이다. 특히 앞서 언급한 3차원 소자의 경우 기존의 FG 공정과는 전혀 다른 조건으로 소자가 제작되고 있어서 공정 조건에 따른 계면 트랩 분석의 중요성은 더욱 크다고 볼 수 있다. 이에 본 연구에서는 nitride의 조성비를 조정하여 MONOS 소자를 제작하였고, C-V 분석 방법을 적용하여 공정 조건에 따른 nitride와 oxide 계면 트랩 밀도를 추출하였다. 공정에 따른 계면 트랩 밀도의 정량 비교가 가능할 경우 향후 소자 성능 향상에 필요한 공정 조건 최적화에 기여할 수 있을 것으로 기대된다.

II. 실험

MONOS capacitor 제작을 위하여 저항이 10-20 Ω cm인 p-type(100) 실리콘 웨이퍼 위에 thermal oxidation을 통해 7nm의 tunnel oxide를 형성한 뒤 LPCVD를 통해 Nitride와 blocking oxide를 증착하였다. Blocking oxide의 두께는 8nm로 고정시키고, trapping layer인 nitride는 4/7/10nm로 두께를 달리 하면서 증착하였다. 특히 trapping layer인 nitride의 경우 공정 조건에 따른 계면 트랩 특성 변화 양상을 분석하기 위해 공

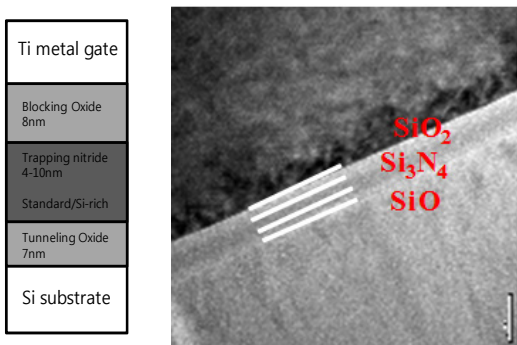


그림 1. Nitride 두께 변화 및 TEM 사진
Fig. 1. Varying thickness of the nitride layers & TEM image.

정 조건을 standard와 silicon rich 조건으로 나누어 진행하였다. 구체적인 조건은 standard의 경우 증착온도, Operating pressure, flow rate이 각각 770oC, 200mTorr, SiH2Cl2:NH3=40:240 sccm이고, silicon rich는 825oC, 150mTorr, SiH2Cl2:NH3=170:70 sccm 이다. 이후 Ti metal 증착과 patterning으로 capacitor 제작을 완료하였다.

III. 결과 및 토의

그림 2는 제작된 MONOS capacitors 의 두께별 C-V 측정 결과이다. 증착 두께가 두꺼울수록 실제 절연막의 두께를 예측할 수 있는 accumulation mode의 capacitance 값이 작아짐을 확인할 수 있다. 그림 3은 gate 전압에 따른 각 소자의 프로그램 특성을 측정함으로써 standard의 경우 최대 ΔV_{FB}가 4.2 V, silicon rich nitride의 경우 4.8 V로 정상적으로 동작이 가능하며 공정에 따른 차이를 나타냄을 보인다. 그림 4는 breakdown voltage (BV) 특성 측정 결과로 standard nitride에 비해 silicon rich nitride의 BV 특성이 좋지

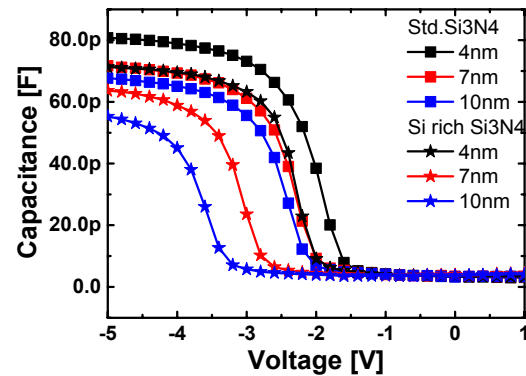


그림 2. MONOS 캐패시터의 C-V 특성
Fig. 2. Capacitance voltage characteristics of MONOS capacitors.

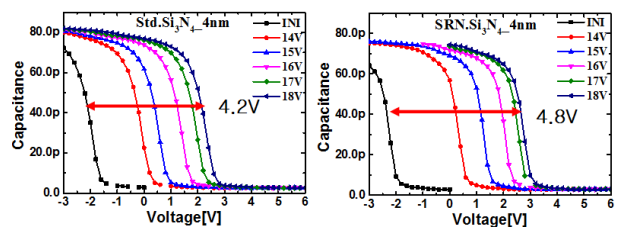


그림 3. 각 디바이스의 프로그램 특성
Fig. 3. Program characteristics of the each devices.

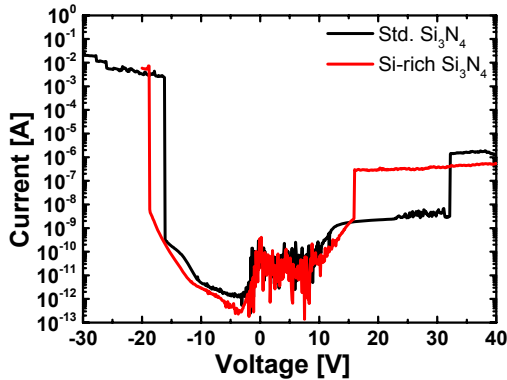


그림 4. 제작된 MONOS 캐패시터의 I-V 특성
Fig. 4. I-V curve of the fabricated MONOS capacitor.

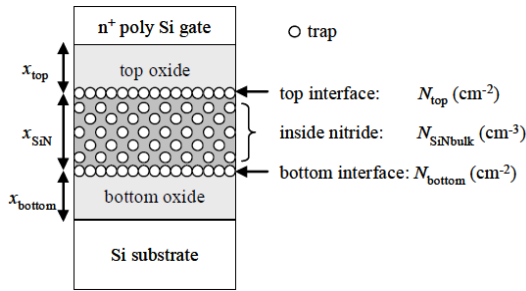


그림 5. MONOS 구조의 세 가지 트랩 사이트[3]
Fig. 5. Three trap sites in the MONOS structure[3].

않은 것을 알 수 있다.

Nitride 형성 조건에 따른 메모리 특성 및 BV 특성 변화를 분석하기 위해서 아래와 같은 방법으로 계면 트랩을 추출하였다. 기관으로부터 주입된 charge는 그림 5와 같은 세 가지 성분의 trap에 의해 점유될 수 있다고 가정할 수 있다^[3]. N_{top} , $N_{SiNbulk}$, N_{bottom} 은 각각 top oxide/nitride 계면, nitride bulk, nitride/bottom oxide 계면 트랩을 지칭한다. 여기에서 계면 트랩인 N_{top} 과 N_{bottom} 은 area density로 표기되고, $N_{SiNbulk}$ 는 volume density로 나타내었다. Top과 bottom oxide 내부 trap은 고려하지 않았는데 이는 기존 연구에서 oxide 비해 nitride의 trap 밀도가 통상 $10^2 \sim 10^5$ 배 많다고 알려져 있고, 실험적으로도 MOS capacitor에 MONOS 구조와 동일한 양의 charge를 주입했을 때, ΔV_{FB} 이 5%도 되지 않는 변화를 보였기 때문이다^[3~4]. 이러한 트랩이 존재하는 상황에서 각 트랩에 의한 ΔV_{FB} 값을 수식으로 표현하면 아래 식(1)처럼 나타낼 수 있다^[3].

$$\begin{aligned} \Delta V_{FB} &= \left(\frac{qN_{top}}{\epsilon_{SiO_2}\epsilon_o} x_{top} \right) + \frac{q}{\epsilon_{SiN}\epsilon_o} \int_0^{x_{SiN}} x N_{SiNbulk}(x) dx \\ &+ \frac{qx_{top}}{\epsilon_{SiO_2}\epsilon_o} \int_0^{x_{SiN}} N_{SiNbulk}(x) dx + \left(\frac{x_{SiN}}{\epsilon_{SiN}\epsilon_o} + \frac{x_{top}}{\epsilon_{SiO_2}\epsilon_o} \right) qN_{bottom} \\ &= \frac{qN_{SiNbulk}}{2\epsilon_{SiN}\epsilon_o} x_{SiN}^2 + \left(\frac{qx_{top}N_{SiNbulk}}{\epsilon_{SiO_2}\epsilon_o} + \frac{qN_{bottom}}{\epsilon_{SiN}\epsilon_o} \right) x_{SiN} \\ &+ \frac{qx_{top}N_{top}}{\epsilon_{SiO_2}\epsilon_o} + \frac{qx_{top}N_{bottom}}{\epsilon_{SiO_2}\epsilon_o} \end{aligned} \quad (1)$$

여기서 q 는 electronic charge ($1.6 \times 10^{-19}C$), ϵ_o 는 vacuum permittivity ($8.82 \times 10^{-14}F/cm$), ϵ_{SiO_2} 는 SiO_2 의 relative permittivity (3.9), ϵ_{SiN} 는 Si_3N_4 의 relative permittivity (7.0)이다. 따라서 ΔV_{FB} 는 nitride 두께인 x_{SiN} 에 대한 2차 방정식으로 나타내게 된다.

그림 6은 제작된 MONOS capacitors에서 nitride 두께에 따른 program 측정 결과이다. 식 (1)과는 달리 ΔV_{FB} 는 nitride 두께인 x_{SiN} 에 대해 1차의 선형 특성을 보이는데 이는 $N_{SiNbulk}$ 값을 0으로 가정할 수 있음을 의미하며 이 경우 아래 식 (2)와 같이 근사화 할 수 있다.

$$\Delta V_{FB} = \frac{qN_{bottom}}{\epsilon_{SiN}\epsilon_o} x_{SiN} + \frac{qx_{top}N_{top}}{\epsilon_{SiO_2}\epsilon_o} + \frac{qx_{top}N_{bottom}}{\epsilon_{SiO_2}\epsilon_o} \quad (2)$$

식 (2)를 기반으로 측정 결과로부터 nitride 계면에 존재하는 trap 밀도를 구하면, 표 1에 정리한 바와 같이 silicon rich nitride의 경우 bottom 계면에서는 trap 밀도가 비슷하지만, top 계면의 경우 $5.19 \times 10^{12}cm^{-2}$ 에서

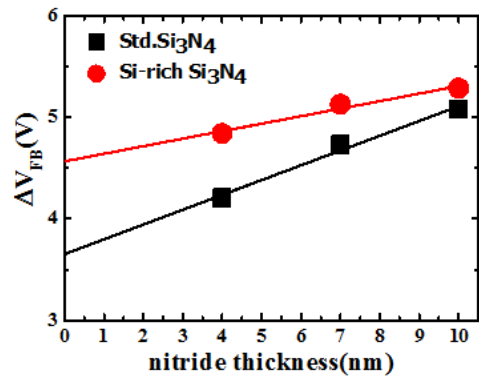


그림 6. MONOS 구조의 전자 트랩 밀도 분석
Fig. 6. Analysis of electron trap density in MONOS structure.

표 1. Nitride/oxide 계면 트랩 밀도
Table 1. Nitride/oxide interface trap density.

	Standard nitride	Silicon rich nitride
N_{bottom}	$6.03 \times 10^{12} \text{cm}^{-2}$	$4.12 \times 10^{12} \text{cm}^{-2}$
N_{top}	$5.19 \times 10^{12} \text{cm}^{-2}$	$1.09 \times 10^{13} \text{cm}^{-2}$

$1.09 \times 10^{13} \text{cm}^{-2}$ 로 크게 증가한 결과를 얻을 수 있다. 이러한 분석 결과는 silicon rich nitride의 경우 excess silicon atom이 trap center 역할을 하여 전자의 이동을 부추기므로 프로그램 시 다소 큰 ΔV_{FB} 특성과 BV 감소를 설명할 수 있다. 기 발표된 연구 중 silicon dangling bond 뿐만 아니라 N site에 치환된 O atom으로 인해 Si-O 결합이 증가하여 standard nitride에 비해 trap양이 증가한다는 것과 일치한다^[5~6].

IV. 결 론

본 연구에서는 MONOS 플래시 메모리의 nitride/oxide 계면 트랩을 구하기 위해 C-V 방법을 도입하였고, nitride 공정 조건을 달리하면서 소자를 제작하여 공정 조건에 따른 트랩의 특성을 추출하였다. 분석 결과 nitride 두께에 따른 ΔV_{FB} 가 선형 의존성을 보이면서 nitride의 각 계면 trap 밀도를 추출할 수 있었고, silicon rich nitride가 standard nitride에 비해 다수 trap이 존재는 것으로 나타났다. 이상의 결과는 C-V 방법을 통한 계면 트랩 밀도의 정량 비교가 가능함을 보이는 것으로 향후 이를 확대 적용함으로써 MONOS 플래시 메모리의 공정 최적화 및 신뢰성 향상에 기여할 수 있을 것으로 기대된다.

REFERENCES

- [1] Y. Shin, "Non-volatile memory technologies for beyond 2010," in *Proc. Symp. VLSI Circuits*, Jun. 2005, pp. 156-159
- [2] Choi, Jungdal, and Kwang Soo Seol. "3D approaches for non-volatile memory." *VLSI Technology (VLSIT), 2011 Symposium on. IEEE*, 2011.
- [3] Ishida, Takeshi, Yutaka Okuyama, and Renichi Yamada. "Characterization of charge traps in metal-oxide-nitride-oxide-semiconductor (MONOS) structures for embedded flash memories." *Reliability Physics Symposium. Proceedings, 2006. 44th Annual., IEEE International. IEEE*, 2006.
- [4] Sze, S. M. "Current transport and maximum dielectric strength of silicon nitride films." *Journal of Applied Physics* 38.7 (1967): 2951-2956.
- [5] Lau, W. S., S. J. Fonash, and J. Kanicki. "Stability of electrical properties of nitrogen rich, silicon rich, and stoichiometric silicon nitride films." *Journal of applied physics* 66.6 (1989): 2765-2767.
- [6] Yamaguchi, K., et al. "Atomistic guiding principles for MONOS-type memories with high program/erase cycle endurance." *Electron Devices Meeting (IEDM), 2009 IEEE International. IEEE*, 2009.

— 저 자 소 개 —



양 승 동(학생회원)
2010년 충남대학교 전자공학과
학사 졸업.
2012년 충남대학교 반도체 및
회로 석사 졸업.
2012년 3월~현재 충남대학교
반도체 및 회로 박사 과정.

<주관심분야 : SONOS 플래시 메모리, TCAD
simulation>



윤 호 진(학생회원)
2009년 충남대학교 전자공학과
학사 졸업.
2011년 충남대학교 반도체 및
회로 석사 졸업.
2011년 3월~현재 충남대학교
반도체 및 회로 박사 과정.

<주관심분야 : Oxide TFT, Organic TFT>



김 유 미(학생회원)
2005년 위덕대학교 전자공학과
학사 졸업.
2015년 8월 충남대학교 반도체 및
회로 박사 졸업예정.

<주관심분야 : 산화물 TFT, 신뢰
성 분석>



김 진 섭(학생회원)
2013년 충남대학교 전자공학과
학사 졸업.
2015년 3월~현재 충남대학교
반도체 및 회로 석사 과정.

<주관심분야 : 산화물 TFT,
Nano particle application

device>



엄 기 윤(학생회원)
2014년 충남대학교 전기공학과
학사 졸업.
2014년 3월~현재 충남대학교
차세대기판학과 석사과정.

<주관심분야 : 디스플레이소자,
산화물반도체>



채 성 원(학생회원)
2015년 충남대학교 기계공학과
학사 졸업.
2015년 3월~현재 충남대학교
차세대기판학과 석사과정.

<주관심분야 : ZnO 반도체 가스
센서, IGZO TFT, Solar cell>



이 희 덕(정회원)
1990년 한국과학기술원 전기 및
전자공학과 학사
1992년 한국과학기술원
반도체전공 석사
1996년 한국과학기술원
반도체전공 박사

1993년~2000년 하이닉스반도체 책임연구원
2001년~현재 충남대학교 전자공학과 교수
<주관심분야 : high performance analog and
high voltage MOSFETs>



이 가 원(정회원)
1994년 한국과학기술원 전기 및
전자공학과 학사
1996년 한국과학기술원
반도체전공 석사
1996년 한국과학기술원
반도체전공 박사

1999년~2005년 하이닉스반도체 책임연구원
2005년~현재 충남대학교 전자공학과 교수
<주관심분야 : 플래시 메모리, Thin film
transistor(TFT)>