

## 용액 공정으로 형성된 n-ZTO/p-SiC 이종접합 열처리 효과

정영석, 구상모<sup>a</sup>

광운대학교 전자재료공학과

### Effects of Annealing on Solution Processed n-ZTO/p-SiC Heterojunction

Young-Seok Jeong and Sang-Mo Koo<sup>a</sup>

Department of Electronic Materials Engineering, KwangWoon University, Seoul 139-701, Korea

(Received June 26, 2015; Accepted July 24, 2015)

**Abstract:** We investigated the effects of annealing on the electrical and thermal properties of ZTO/4H-SiC heterojunction diodes. A ZTO thin film layer was grown on p-type 4H-SiC substrate by using solution process. The ZTO/SiC heterojunction structures annealed at 500 °C show that  $I_{on}/I_{off}$  increases from  $\sim 5.13 \times 10^7$  to  $\sim 1.11 \times 10^9$  owing to the increased electron concentration of ZTO layer as confirmed by capacitance-voltage characteristics. In addition, the electrical characterization of ZTO/SiC heterojunction has been carried out in the temperature range of 300~500 K. When the measurement temperature increased from 300 K to 500 K, the reverse current variation of annealed device is higher than as-grown device, which is related to barrier height in the ZTO/SiC interface. It is shown that annealing process is possible to control the electrical characteristics of ZTO/SiC heterojunction diode.

**Keywords:** Zinc tin oxide, Silicon carbide, Heterojunction, Solution process, Annealing process

#### 1. 서론

SiC (silicon carbide)와 ZnO (zinc oxide)는 동일한 섬유아연(Wurtzite) 구조를 갖는 반도체로서 상온에서 에너지 밴드갭이  $\sim 3.26$  eV,  $\sim 3.4$  eV로 물리적 성질이 매우 비슷하다 [1].

특히 ZnO는 상온의 열에너지 보다 높은 엑시톤 결합에너지를 가지고, 습식 식각에 용이하다 [2]. 그러나 기본적으로 n형인 ZnO는 소자를 제작하는데 있어 치환형 Zn와 산소, 수소 등과 결합하여 전기적으로 활성화 되지 않는 문제점이 발생된다 [3]. 따라서 안정적인 p형 기판으로 된 Si, SiC 등을 채택하

여 이종접합 다이오드를 제작하고 분석한 연구가 보고되고 있다 [4,5]. 한편, SiC는 고온에서 화학적으로 안정된 차세대 반도체 물질이며, ZnO와 격자 부정합(lattice mismatch)이  $\sim 5\%$ 로 구조적 성질이 유사하여 높은 품질의 ZnO 박막을 성장시키는 것이 가능하다 [6].

최근 ZnO 기반 산화물의 이동도 및 전기 전도도를 향상시키기 위해 Sn (tin), In (indium), Cd (cadmium) 등을 첨가하여 TFT 분야에서 많은 관심을 가지며 [7], 열처리 온도에 따라 박막의 전기적 특성을 향상시키는 연구가 진행되고 있다 [8]. 이종접합 구조에서는 현재까지 Cd, Al을 ZnO에 첨가하여 SiC와 접합한 다이오드 구조가 보고된 바 있다 [9,10]. 하지만 앞선 연구에서는 복잡한 공정과 낮은 전류 레벨로 인해  $I_{on}/I_{off}$ 가 저하되는 문제가 있었다.

a. Corresponding author; [smkoo@kw.ac.kr](mailto:smkoo@kw.ac.kr)

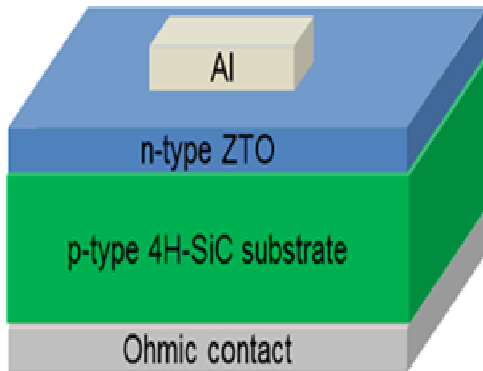


Fig. 1. Schematic illustration of a n-ZTO/p-4H-SiC heterojunction device.

따라서 본 연구에서는 용액 공정으로 형성한 ZTO/SiC 이종접합 다이오드의 열처리에 따른 전기적 특성을 분석하였고,  $I_{on}/I_{off}$ 를 개선하였다.

## 2. 실험 방법

본 실험에서는 p-type 4H-SiC 기판을 사용하여 이종접합 다이오드를 제작하였다. 하부 전극을 형성하기 위해 Ni/Ti/Al을 전자빔 증발기 (e-beam evaporator)로 증착하였다. 이후  $N_2$  분위기에서  $950^\circ\text{C}$ , 90초 동안 열처리를 하였다.

ZTO는 염화 아연 ( $ZnCl_2$ )과 염화 주석 ( $SnCl_2$ )을 아세토니트릴 ( $CH_3CN$ )에 넣고, 실온에서 12시간 동안 교반하여 충분한 반응이 일어나게 하였다. 최종 전구체 용액은  $0.42 \mu\text{m}$  필터를 장착한 주사기로 SiC 위에 스프인코터를 이용하여 5,500 rpm으로 30초간 코팅을 하였다. 용액과 용매를 날리기 위해  $100^\circ\text{C}$ 에서 30분간 가열하였으며,  $500^\circ\text{C}$ 에서 1시간 동안 퍼니스에서 열처리를 하였다. 이후 두께가 100 nm, 실효 면적 (active area)이  $7.05 \times 10^{-3} \text{ cm}^2$ 인 Al을 ZTO 위에 형성하였다.

그림 1은 제작된 샘플의 단면 구조를 나타낸다. 제작된 샘플은 Keithley 4200 소스 파라미터 측정기를 이용해 전류-전압 ( $I$ - $V$ ) 및 캐패시턴스-전압 ( $C$ - $V$ ) 측정을 하여 전기적 특성을 확인하였다. 이후 온도에 따른 전기적 특성을 확인하기 위해 300 K에서 500 K로 50 K씩 증가시키며  $I$ - $V$  측정을 통해 전위 장벽 및 이상계수를 분석하였다.

## 3. 결과 및 고찰

### 3.1 ZTO/SiC 열처리 전, 후 전기적 특성

그림 2는 열처리 전, 후 ZTO/SiC 이종접합 다이오드의  $I$ - $V$  특성 결과이다. 열처리 후에 전류 레벨(5 V)이  $\sim 2.5 \text{ mA}$ 에서  $\sim 86 \text{ mA}$ 로 증가하였다.

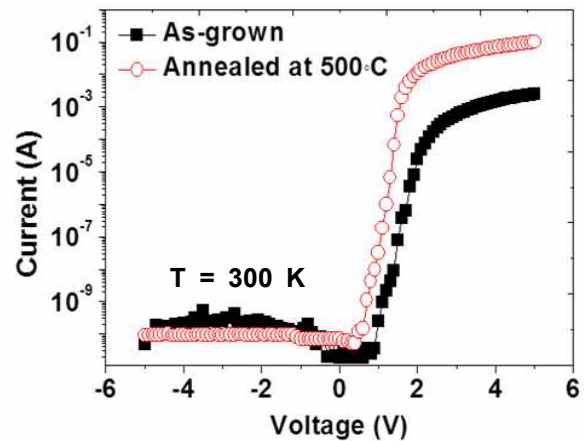


Fig. 2. Current-voltage characteristics of the n-ZTO/p-SiC heterojunction diode fabricated on as-grown, annealed at  $500^\circ\text{C}$ .

그 결과  $I_{on}/I_{off}(\pm 5 \text{ V})$ 는 100배가량 증가했다. 이러한 증가는 다이오드에서 (i) 벌크 영역(ZTO 또는 SiC)의 고유저항 또는 (ii) 금속과 벌크의 오믹 접합 (ohmic contact) 저항이 기인한다 [11]. 저항 변화를 분석하기 위해 식 (1)을 이용해 직렬 저항 (series resistance)을 구할 수 있다 [12].

$$I = I_s \left( e^{\frac{q(V - IR_s)}{nkT}} - 1 \right) \quad (1)$$

위 식에서  $I_s$ 는 역포화 전류,  $q$ 는 전하량,  $V$ 는 순방향 바이어스 전압,  $n$ 은 이상계수,  $k$ 는 볼츠만 상수,  $T$ 는 절대온도이며, 위의 나타낸 식의 결과를 그림 3을 통해 확인할 수 있다. 열처리 전, 후  $R_s$ 는 각각 1052.63  $\Omega$ , 30.81  $\Omega$ 로 추출되었으며, 열처리 후  $R_s$ 는 감소하는 결과가 나왔다. 이는 ZTO 층의 고유 저항이 개선되었음을 의미한다.

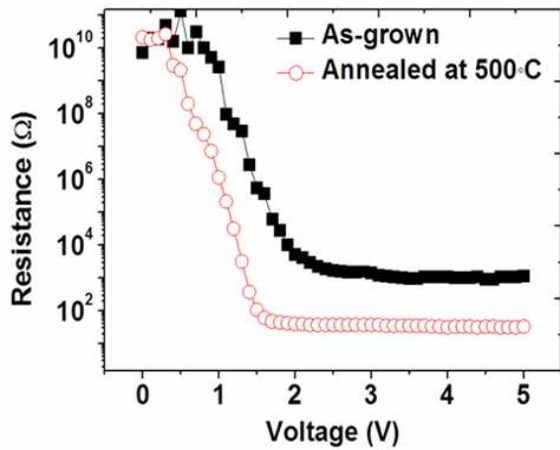


Fig. 3. Resistance ( $dV/dI$ ) versus voltage for the n-ZTO/p-SiC heterojunction diode fabricated on as-grown, annealed at  $500^{\circ}\text{C}$ .

그림 4는 열처리 전, 후 이종접합 다이오드의  $C-V$  측정 결과이다. 두 샘플의 그래프에서 역방향 바이어스가 증가하면 정전용량이 감소하는 현상이 나타남을 알 수 있다. 이는 ZTO/SiC 공핍 영역의 폭의 증가가 캐패시턴스를 감소시키는 원인이 되며, 계단형 접합 (abrupt junction)이 되었음을 의미한다. 또한  $1/C^2-V$  그래프에서 식 (2)를 이용해 ZTO 박막의 캐리어 농도 변화를 추출할 수 있다 [12].

$$N_d = \frac{2}{q\epsilon_r\epsilon_0 A^2 \frac{d(\frac{1}{C^2})}{dV}} \quad (2)$$

위 식에서  $\epsilon_r$ 는 ZTO의 유전 상수,  $\epsilon_0$ 는 진공의 유전율,  $A$ 는 실효 면적(active area)이다. 열처리 후 ZTO 영역의 캐리어 농도는  $1.1 \times 10^{16} \text{ cm}^{-3}$ 에서  $8.9 \times 10^{16} \text{ cm}^{-3}$ 로 증가하였다. 이는 산소원자 결함 (oxygen vacancy)와 관련 있는 것으로 예상된다 [13]. 열처리 전 ZTO 영역에 존재하는  $\text{Cl}^-$  이온이 산소 원자 결함을 감소시키는 원인이 되는데, 열처리를 통해  $\text{Cl}^-$  이온을 감소하면서 산소 원자 결함이 증가하게 된다. 이로 인해 ZTO 영역의 캐리어 농도 변화가 있는 것으로 판단된다 [14].

### 3.2 ZTO/SiC 온도 변화에 따른 동작 특성

그림 5는 열처리 (a) 전, (b) 후 이종접합 다이오드

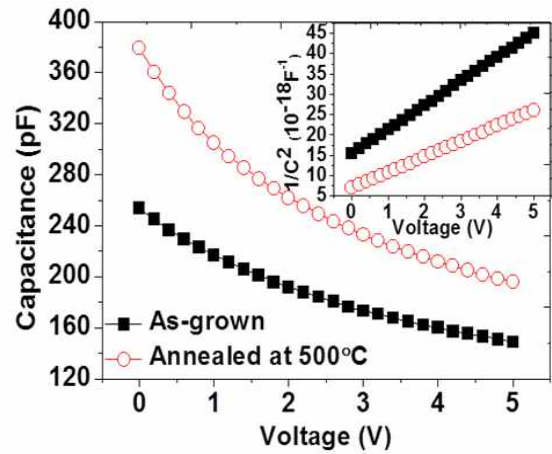


Fig. 4. Typical  $C-V$  characteristics of n-ZTO/p-SiC heterojunction diodes measured at room temperature; the inset shows reverse bias  $C^{-2}-V$  plot.

의 측정 온도별  $I-V$  특성을 나타낸 그림이다.

온도가 증가할 때, 다이오드의 온 전압은 열처리 전, 후 소자에서는 각각  $\sim 2.4 \text{ V}$ 에서  $\sim 1.9 \text{ V}$ 로,  $\sim 1.6 \text{ V}$ 에서  $\sim 1.4 \text{ V}$ 로 감소하였다. 역방향 전류는 각각  $\sim 10^2$ 배,  $\sim 10^3$ 배 증가하였다. 이는 열처리가 전위 장벽 변화의 감소를 가져오게 됨을 알 수 있다. 이러한 전위 장벽의 변화는 아래 식을 이용하여 계산이 가능하다 [15].

$$\ln\left(\frac{I_s}{T^2}\right) = \ln(AA^*) - \frac{q\Phi_{B0}}{kT} \quad (3)$$

여기서  $q$ 는 전하량,  $A$ 는 다이오드의 실효 면적  $A^*$ 는 리처드슨 상수,  $k$ 는 볼츠만 상수,  $T$ 는 절대 온도,  $\Phi_{B0}$ 는 전위 장벽이다. 열처리 전, 후 전위 장벽의 변화 ( $\Delta\Phi_B$ )는 각각  $\sim 0.24 \text{ eV}$ ,  $\sim 0.18 \text{ eV}$ 로 증가하였으며, 그림 6(a), (b)를 통해 확인할 수 있다. 열처리 후 소자의 역포화 전류가 증가하는 원인으로 분석할 수 있다. 또한 이상계수( $n$ )는 식 (4)를 이용해 구할 수 있다 [15].

$$n = \frac{q}{kT} \left[ \frac{dV}{d(\ln I)} \right] \quad (4)$$

그 결과 측정 온도가 증가할 때, 열처리 전, 후  $n$ 는  $\sim 1.18$ ,  $\sim 0.37$  감소하였으며, 그림 6 (a), (b)에 나타내었다.

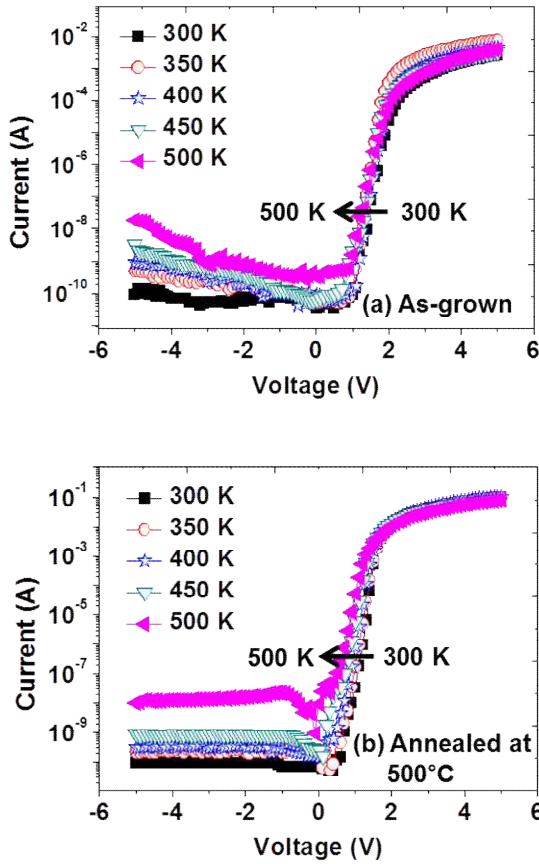


Fig. 5. I-V semi-logarithm curves of ZTO/4H-SiC heterojunction as a function of temperature from 300 K to 500 K; (a) as-grown and (b) annealed at 500°C.

측정 온도에 따른 직렬 저항의 변화가 열처리 전 소자에서 작으며, ZTO/SiC 이종접합 다이오드의 품질이 개선됨을 알 수 있다.

#### 4. 결론

본 연구에서는 용액 공정으로 형성한 ZTO/SiC의 열처리에 따른 전기적 특성 및 온도 특성을 분석하였다. 그 결과, 열처리 시 ZTO 영역의 캐리어 농도는  $1 \times 10^{16} \text{ cm}^{-3}$ 에서  $8.9 \times 10^{16} \text{ cm}^{-3}$ 로 증가되며,  $I_{on}/I_{off}$ 를  $\sim 2.67 \times 10^7$ 에서  $\sim 1.1 \times 10^9$ 로 개선하였다. 온도 변화에 따른 역포화 전류는 열처리 전, 후 각각  $\sim 10^2$ 배,  $\sim 10^3$ 배 증가하였으며, 이는 측정 온도에 따른  $\phi_b$ 와  $\eta$ 의 변

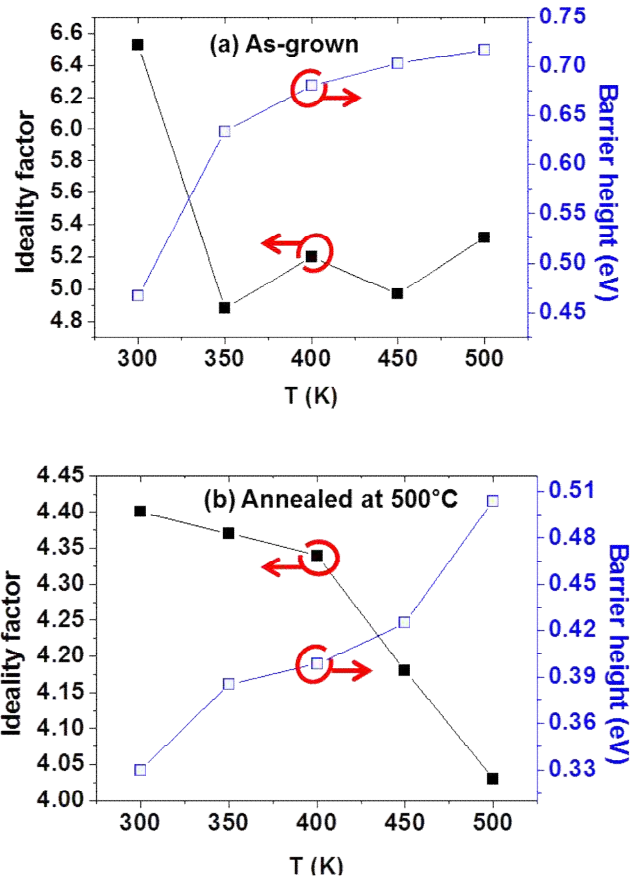


Fig. 6. The dependence of barrier height and ideality factor with temperature; (a) as-grown and (b) annealed at 500°C.

화를 이용해 분석하였다.

본 연구 결과를 통해 용액 공정된 ZTO/SiC 이종접합 다이오드에서 열처리 전, 후에 따라 박막의 전기적 특성을 제어할 수 있음을 확인하였다.

#### 감사의 글

본 연구는 지식경제 기술혁신사업 (WPM사업)으로 수행되고 있는 ‘초고순도 SiC 소재’ 개발사업과 한국연구재단의 지원과 그린카 등 수송시스템 산업원천기술개발사업(10042566), 2015년도 광운대학교 교내 학술연구비 지원을 통해 연구 개발된 결과임을 밝힙니다.

## REFERENCES

- [1] J. F. Felix, M. Aziz, C.I.L. de Araujo, W. M. de Azevedo, V. Anjos, E. F. da Silva Jr., and M. Henini, *Semicond. Sci. Technol.*, **29** (2014)
- [2] Y. S. Choi, J. W. Kang, D. K. Hwang, and S. J. Park, *IEEE Trans. Electron Dev.*, **57** (2010).
- [3] Y. H. Shin, M. D. Kim, J. E. Oh, M. S. Han, S. G. Kim, and K. S. Chung, *Journal of the Korean Physical Society*, **53**, 2504 (2008).
- [4] F. Yakuphanoglu, Y. Caglar, M. Caglar, and S. Ilican, *Materials Science in Semiconductor Processing* **13**, 137 (2010). [DOI: <http://dx.doi.org/10.1016/j.mssp.2010.05.005>]
- [5] Y. T. Shih, M. K. Wu, M. J. Chen, Y. C. Cheng, J. R. Yang, and M. Shiojiri, *Appl. Phys. B*, **98**, 767 (2010). [DOI: <http://dx.doi.org/10.1007/s00340-009-3809-0>]
- [6] J. H. Lee, J. C. Jung, M. S. Kang, and S. M. Koo, *Journal of Nanoscience and Nanotechnology*, **13**, 7033 (2013).
- [7] S. J. Seo, Y. H. Hwang, and B. S. Bae, *Electrochemical and Solid-State Letters*, **13** (2010).
- [8] S. H. Jeong, Y. M. Jeong, and J. H. Moon, *J. Phys. Chem. C*, **112** (2008). [DOI: <http://dx.doi.org/10.1021/jp803475g>]
- [9] I. Shteplyuk, V. Khranovskyy, G. Lashkarev, V. Khomyak, V. Lazorenko, A. Ievtushenko, M. Syvajarvi, V. Jokubavicius, and R. Yakimova, *Solid-State Electronics* **81**, 72 (2013).
- [10] C. Yuen, S. F. Yu, S. P. Lau, Rusli, and T. P. Chen, *Appl. Phys. Lett.*, **86**, 241111 (2005).
- [11] P. Chattopadhyay, *J. Phys. D: Appl. Phys.*, **29** (1996).
- [12] D. K. Schroder, *Semiconductor Materials and Device Characterization, 3rd ed.* (2006)
- [13] J. S. Lee, Y. J. Kim, Y. U. Lee, Y. H. Kim, J. Y. Kwon, and M. K. Han, *Jpn. J. Appl. Phys.*, **51**, 061101 (2012). [DOI: <http://dx.doi.org/10.7567/JJAP.51.061101>]
- [14] Y. J. Kim, B. S. Yang, S. H. Oh, S. J. Han, H. W. Lee, J. Y. Heo, J. K. Jeong, and H. J. Kim, *ACS Appl. Mater. Interfaces*, **5**, 3255 (2013).
- [15] H. Asil, K. Çinar, E. Gür, C. Coskun, and S. Tüzemen, *International Journal of Physical Sciences*, **8**, 371 (2013).