

멤리스터 브리지 시냅스 기반 신경망 회로 설계 및 하드웨어적으로 구현된 인공뉴런 시뮬레이션

Memristor Bridge Synapse-based Neural Network Circuit Design and Simulation of the Hardware-Implemented Artificial Neuron

양 창 주, 김 형 석*
(Chang-ju Yang¹ and Hyongsuk Kim^{1,2,*})

¹Division of Electronics and Information Engineering, Chonbuk National University

²Intelligent Robots Research Center, Chonbuk National University

Abstract: Implementation of memristor-based multilayer neural networks and their hardware-based learning architecture is investigated in this paper. Two major functions of neural networks which should be embedded in synapses are programmable memory and analog multiplication. "Memristor", which is a newly developed device, has two such major functions in it. In this paper, multilayer neural networks are implemented with memristors. A Random Weight Change algorithm is adopted and implemented in circuits for its learning. Its hardware-based learning on neural networks is two orders faster than its software counterpart.

Keywords: memristor, memristor bridge synapse, neural network, learning algorithm

I. 서론

인간의 뇌를 인공적으로 구현하는 일은, 로봇에 인공지능을 탑재하여 인간과 같은 수준의 지적 능력을 부여하려는 연구자들의 궁극적인 염원으로부터 시작되었다. 인공적으로 뇌를 구현한다는 것은 문제 해결을 위한 지능을 갖춘 시스템을 만든다는 것을 의미하고 입력된 신호에 의해 학습 및 정보처리가 가능함을 의미한다.

기존의 소프트웨어적 학습 방법에서는 별도의 메모리를 통해 학습된 결과 값을 저장하고 다시 읽어 들여 사용하는 시스템적 한계에 의존하는 문제가 있었다. 그러나 실시간으로 어느 상황이든 즉각 대응할 수 있는 상시 학습 상태로의 활성화된 상태를 유지하기 위해서는 하드웨어 기반의 회로로 설계되어야 할 필요가 있다.

그러나 소프트웨어 기반의 수학적 모델로 구현한 다층 신경회로망을 하드웨어적으로 구현 시 수반되는 복잡도와 이를 위한 학습 알고리즘 연산과정을 하드웨어로 구현하는 것이 불가능하다는 문제가 있다.

다층 신경회로망은 입력층과 출력층 사이에 하나 이상의

중간층이 존재하는 계층 구조로 되어있기 때문에 어떤 문제도 학습시킬 수 있으나, 각 뉴런 간 시냅스의 아날로그 곱셈기 구현에 많은 트랜지스터 들이 필요하므로, 실제 반도체 칩 크기에 다층 신경회로망을 회로로 구현하는 일은 매우 어려운 문제이다.

본 논문에서는, 학습알고리즘의 멤리스터[1,2]기반 브리지 시냅스 회로[3]를 이용하여 신경회로망을 구성하고, 하드웨어적으로 학습알고리즘 수행이 가능하도록 설계된 인공뉴런의 동작을 Hspice 시뮬레이션을 통해 증명하고자 한다.

II. 하드웨어적 학습을 위한 회로 설계

다층 신경회로망을 학습시키기 위해 널리 사용되는 역전파(Back Propagation) 알고리즘은 결과값에 대해 선형분리가 불가능한 경우라도 해결할 수 있는 효과적인 방법이지만, 이 알고리즘은 Error 함수에 대해 각 Weight 에 대한 미분을 통해 유도되기 때문에 계산식이 매우 복잡해서 하드웨어적 구현이 매우 어렵다는 문제가 있었다[5].

그러나 2008년 HP의 Stanley Williams 그룹이 나노 크기의 TiO_2 소자를 이용하여 구현에 성공하고, 이를 *Nature*지에 발표함으로써 세상에 알려진 '멤리스터(Memristor)'라는 소자의 등장으로 위와 같은 문제를 해결할 실마리를 찾았다.

회로를 구성하는 소자 중 저항의 경우, 널리 알려진 것처럼 옴의 법칙(Ohm's Law)에 의해 아날로그 신호값 그대로 곱셈 연산($I \times R = V$)이 이루어지는 특징이 있다. 멤리스터는 입력신호에 대응하여 값이 저장되는 비휘발성 메모리의 특징과 저항의 특징을 모두 포함하는 소자로서, 시냅스 구현 시 필요한 곱셈기 기능과 신호의 중요도를 결정하는 가중치를 부여하는 동작을 모두 만족시킬 수 있는 장점

* Corresponding Author

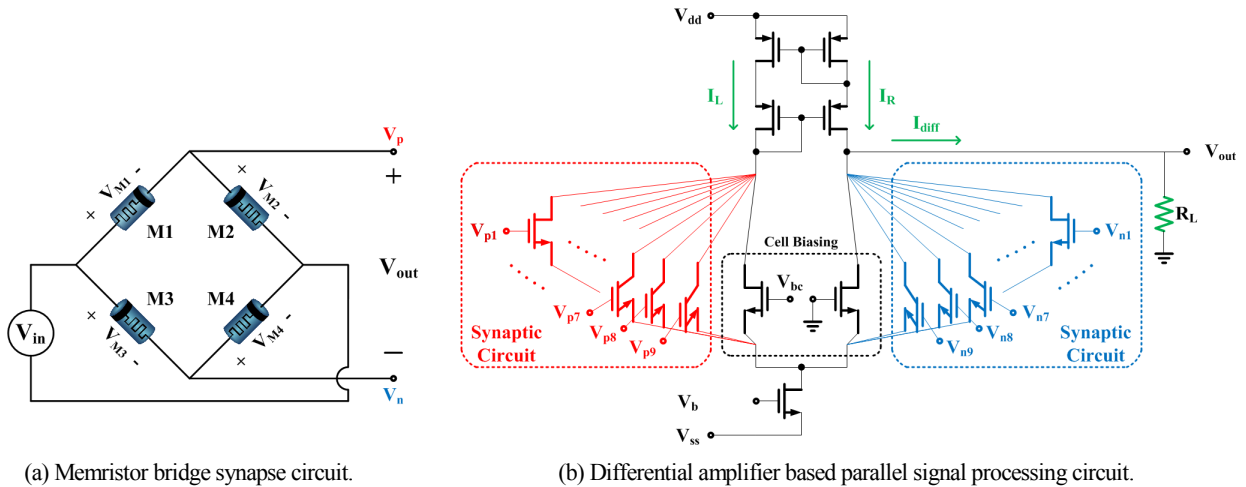
Manuscript received November 24, 2014 / revised January 28, 2015 / accepted January 30, 2015

양창주, 김형석: 전북대학교 전자정보공학부(전자공학)

(ychangju@jbnu.ac.kr/hskim@jbnu.ac.kr)

※ 이 논문은 2014년도 정부(교육부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업(No. 2012R1A1A2044078, 2014R1A6A3A01059444) 및 전북대학교 지능형로봇연구센터의 지원을 받아 수행된 연구임.

※ 상기 논문은 2014 ICROS 전북제주시부 학술대회에서 초안이 발표되었음.



(a) Memristor bridge synapse circuit. (b) Differential amplifier based parallel signal processing circuit.

그림 1. 병렬 신호 입력 및 연산을 위한 뉴런 회로 설계.
Fig. 1. Neuron circuit design for parallel signal input and operation.

이 있다.

특히 신경회로망 구현 시, 뉴런 간 신호전달 및 가중치 곱셈 연산 기능이 가능한 시냅스를 구현하기 위해서는 전달된 각각의 신호들의 합을 표현 할 수 있어야 한다.

그림 1은 다른 뉴런으로부터 중요도가 결정되어 가중치가 곱해진 다양한 병렬 입력신호를 처리할 수 있도록 설계된 시냅스회로이다. 차동증폭기 원리를 이용하여 각각의 N-type MOSFET의 게이트 단자에 전압신호가 인가되면 FET의 게이트 채널에 의해 유도된 차이 전류 값 I_{diff} 는 저항과의 곱셈 관계를 통해 전압의 형태로 출력이 나타나게 된다.

그림 2는 뉴런에 의해 처리된 출력 신호의 동작 상태를 보여준다. 그림 2(a)의 v_{ip} 와 v_{in} 은 그림 1(a)의 멤리스터 브리지 시냅스 회로의 차동 출력신호를 나타낸 것으로 그림 1(b)의 회로에 전압신호만이 전달된다. 그림 1과 같이 회로

를 구성하게 되면 시냅스의 차동 출력신호 전달 시, 단지 전압신호만 FET의 게이트 단자에 인가되므로 부하효과에 의한 신호의 왜곡없이 필요한 뉴런 수만큼 연결할 수 있다는 장점이 있다.

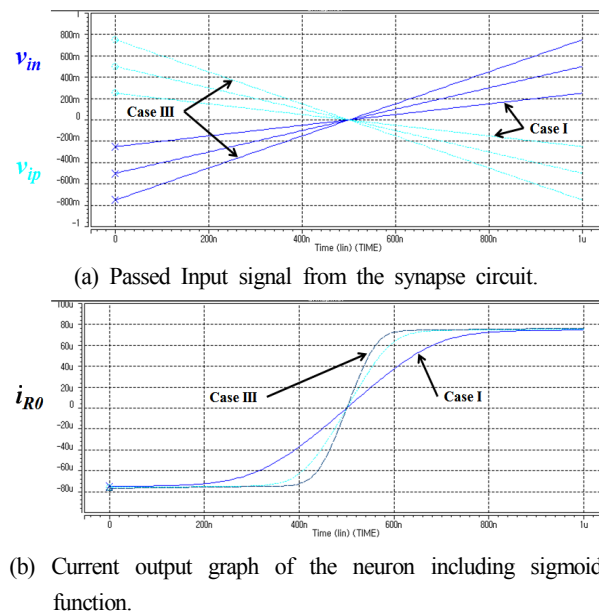
학습 알고리즘을 하드웨어적으로 구현하기 위해서는, 가중치 연산 결과 값이 회로 동작의 안정성을 위해 선형성을 갖는 것과 동시에 과도 상태를 벗어나지 않도록 하는 시그모이드 함수의 기능이 수반되도록 회로가 설계되어야 한다.

그림 2(b)는 선형 입력신호에 대한 시그모이드 함수 형태의 출력신호를 나타내고 있다. MOSFET이 Saturation 영역 내에서 동작할 때는 입력신호와 출력신호의 관계가 선형관계에 있으나 일정 수준 이상 큰 값이 인가되는 경우, 그림 1(b)의 회로 특징 상, triode 영역에서 동작하게 되어 그림 2(b)와 같이 출력 전류 값이 한계를 갖는 형태를 보인다.

그림 3은 학습 모델 중 하드웨어로 구현하기 용이한 RWC (Random Weight Change) [4]의 구조 및 동작 다이어그램을 나타낸 것이다. RWC 학습 알고리즘은 가중치 학습 벡터를 랜덤하게 발생시켜 신경회로망에 신호를 인가할 때, error의 값이 감소하는 경우에는 현재의 가중치 벡터 값을 반복적으로 학습에 사용하고 반대로 error 값이 증가하는 경우는 다시 랜덤하게 부여된 가중치 값을 학습 강도만큼 업데이트 시키는 과정이 반복된다. 이러한 학습 방식은 출력신호를 위해 입력된 신호를 단순히 더하는 동작만이 요구되기 때문에 하드웨어적으로 구현하기가 매우 용이하며, 소프트웨어 방식에 비해 매우 빠르게 계산된다는 장점이 있다.

인공신경회로망이 학습이 가능하도록 동작시키기 위해서는 이상적인 목적 값과 입력신호에 의한 연산과정을 수행한 결과와의 오차에 대해 판별해야 한다.

그림 4는 차동증폭기 구조를 이용한 두 개의 시냅스 회로를 연결하여 입력신호와 비교신호의 차이를 전류로 변환하여 error 값을 연산할 수 있는 회로를 설계한 것이다. 시냅스 회로에서 출력 전류의 특성을 이용하면 목적 값과 입력신호와의 차이를 계산하고 그 결과를 기준 값에 의해 판별할 수 있다. 두 종류의 신호로부터 변환되어 출력되는 각



(a) Passed Input signal from the synapse circuit. (b) Current output graph of the neuron including sigmoid function.

그림 2. 입력신호에 대한 뉴런 회로 동작.
Fig. 2. Operation of the neuron circuit for the input signal.

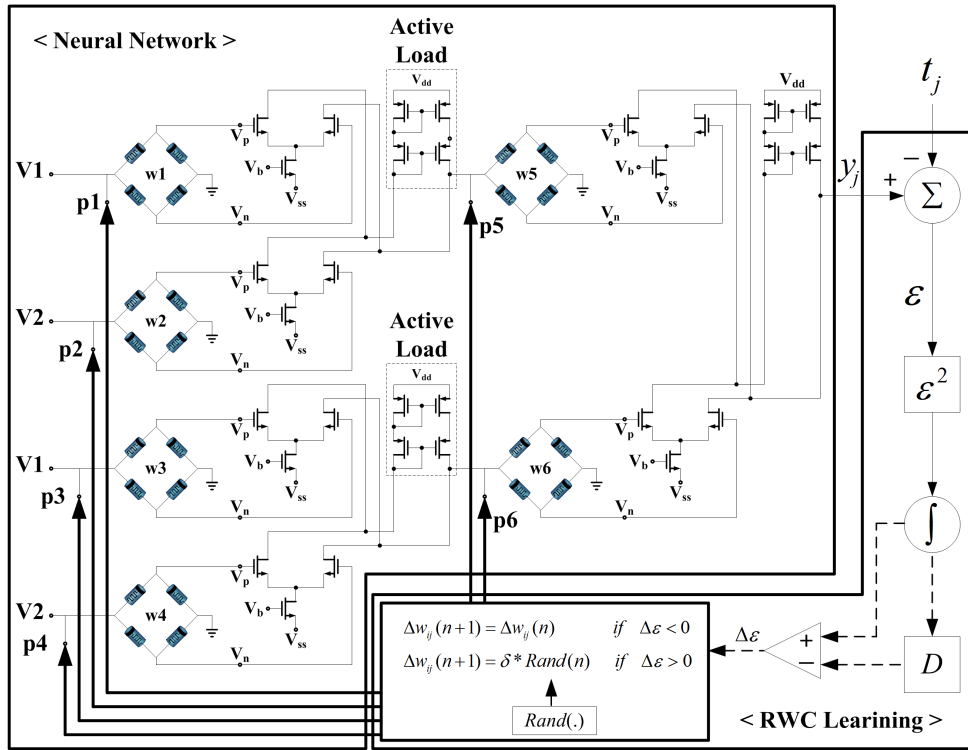


그림 3. 멤리스터 브리지 시냅스 기반 RWC (Random Weight Change) 학습 알고리즘 다이어그램.

Fig. 3. Memristor bridge synapse based random weight change learning algorithm diagram.

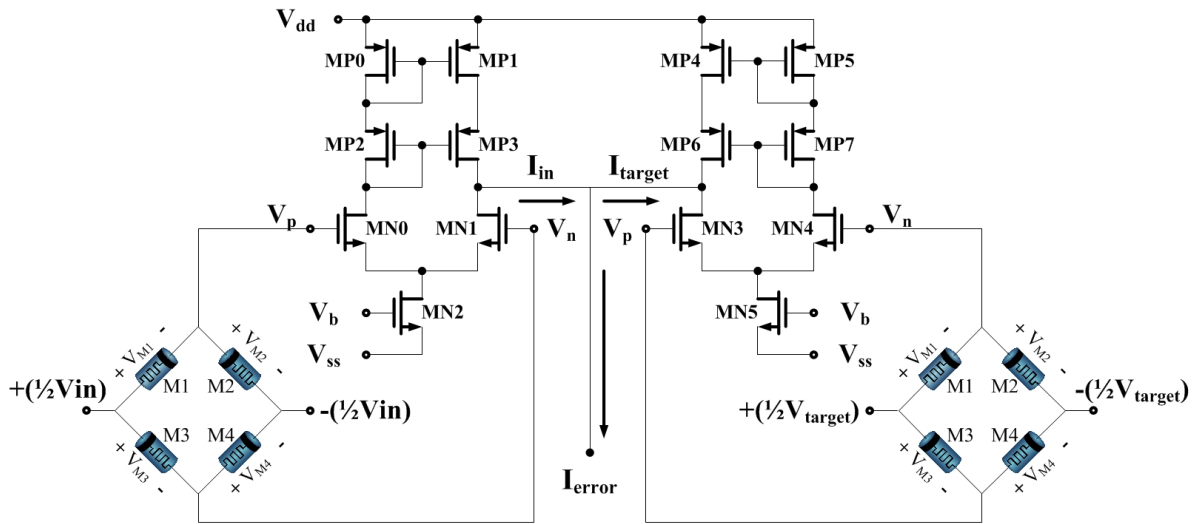


그림 4. 학습결과 값 및 목적 값과의 error 연산 회로.

Fig. 4. Error calculating circuit between learning results and target.

각의 전류를 I_{in} , I_{target} 이라 하면, 두 전류의 차동 전류 값 I_{diff} 는 error값으로 표현되어진다. 이때 출력 전류 I_{diff} 는 식 (1)과 같이 정의할 수 있다.

$$I_{diff} = |I_{in} - I_{target}| \quad (1)$$

그림 5는 차동증폭기 구조를 이용한 두 개의 시냅스 회로를 연결하여 입력신호와 비교신호의 차이를 전류로 변환하여 error값을 연산할 수 있는 회로를 설계한 것이다.

신경망회로에 학습을 시키기 위한 데이터를 인가할 때 초기에 주어진 임의의 가중치에 의해 전달된 신호는 본래 이상적인 목적값과의 차이를 만든다. 이때, 연산 결과 I_{error} 값이 부호에 관계없이 항상 (+)값을 갖도록 절대값 처리를 해야 한다. 인공신경망을 학습시키기 위해서는 현재 학습 상태가 양호한지 여부를 판단해야 하고 현재 저장된 가중치의 값의 적절성 여부를 결정하기 위해 미분 값의 방향이 (+,-) 둘 다 어느 경우에서든 error가 0에 수렴하는 방향으

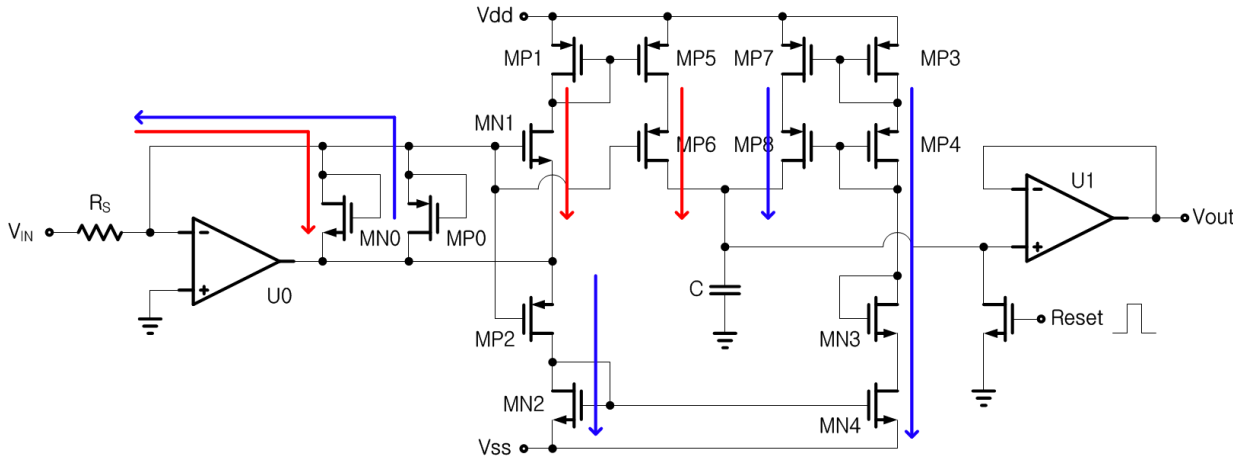


그림 5. 전류 에러 값 누적 연산 회로 설계.

Fig. 5. Operator circuit designed to accumulate the current error value.

로 접근해야 하므로 현재 출력값과 목적값과의 차이를 계산한 결과는 부호와 관계없이 절대적인 크기만 누적 되어야 한다.

III. Error값 누적 시뮬레이션

그림 6은 신경회로망이 매 iteration 동안 학습되는 과정에서 그림 5에서 설계된 회로로 그림 4에서 연산된 전류 error값에 대해 누적시킨 결과를 나타낸 것이다. 누적된 error값이 증가하여 이전의 Weight 값이 더 이상 유효하지 않는 경우, 새로운 Weight 값으로 업데이트를 수행하고 이와 같은 과정이 반복되면서 error값이 0에 수렴하는 결과를 보이고 있다.

IV. 결론

본 논문에서 제안한 회로는 하드웨어 기반으로 설계된 신경회로망을 이용한 학습 알고리즘을 수행 시, 뉴런 간 전달

되는 신호의 중요도를 결정하는 가중치 값의 변화에 의해 error값을 누적하고 적합성 여부를 판단할 수 있는 회로이다. CMOS 기반으로 설계된 회로를 Hspice 시뮬레이터를 통해 구현 가능성을 검증하였으며, 업데이트된 Weight 값의 변화에 의해 누적된 error값이 0에 가깝게 수렴되는 결과를 보였다.

향후 수행할 연구로는, 현재 error값과 새롭게 업데이트된 가중치에 의한 error값의 결과를 비교하여 누적된 error값의 상태가 증가하기 전의 상태로 다시 되돌리는 피드백 연산이 가능한 제어회로를 개발하는 것이다.

REFERENCES

- [1] L. O. Chua, "Memristor-the missing circuit element," *IEEE Trans. Circuit Theory*, vol. 18, no. 5, pp. 507-519, Sep. 1971.
- [2] D. B. Strukov, G. S. Snider, D. R. Stewart, and R. S. Williams, "The missing memristor found," *Nature*, vol. 435, no. 7191, pp. 80-83, 2008.
- [3] H. Kim, M. Pd. Sah, C. Yang, T. Roska, and L. O. Chua, "Memristor bridge synapses," *Proc. of the IEEE*, vol. 100, no. 6, pp. 2061-2070, Jun. 2012.
- [4] K. Hirotsu and M. A. Brooke, "An analog neural network chip with random weight change learning algorithm," *Proc. of 1993 International Joint Conference on Neural Networks*, vol. 3, pp. 3031-3034, 1993.
- [5] D. E. Rumelhart, G. E. Hinton, and R. J. Williams, "Learning representations by back-propagating errors," *Nature*, vol. 323, no. 9, pp. 533-536, Oct. 1986.
- [6] C. Yang and H. Kim, "Memristor bridge synapse-based neural network circuit design and simulation for hardware-based learning algorithm implementation," *Proc. of ICROS (Institute of Control, Robotics and Systems) 2014 Jeonbuk and Jeju Branch Conference (in Korean)*, pp. 76-79, Dec. 2014.

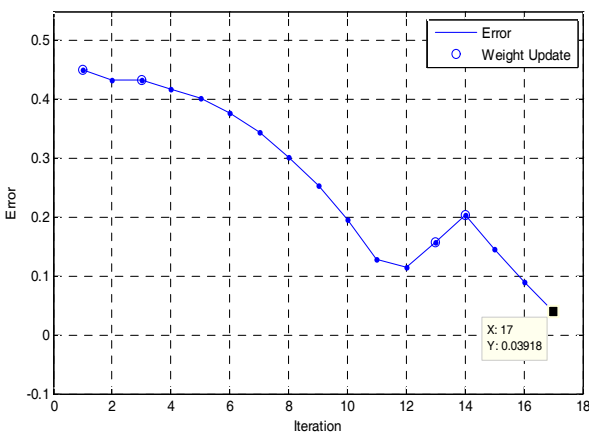


그림 6. 하드웨어 기반 학습 알고리즘의 시뮬레이션 누적 에러 값 결과 (학습 강도 비율 : 10%).

Fig. 6. Simulation results accumulated error value of the hardware-based learning algorithms (Learning Weight Ratio : 10%).



양 창 주

2008년 전북대학교 전기·전자공학 / 물리학과 졸업. 2010년 전북대 전자공학 석사 졸업. 2014년 전북대 전자공학 박사 졸업. 2014년~현재 전북대학교 전자정보공학부(전자공학) 박사후과정 및 지능형로봇연구센터 연구원. 관심분야는 멤리스터, 아날로그 메모리 회로 기술, CMOS 회로 설계, 하드웨어기반 신경망회로 설계.

관심분야는 멤리스터, 아날로그 메모리 회로 기술, CMOS 회로 설계, 하드웨어기반 신경망회로 설계.



김 형 석

1980년 한양대학교 전자공학과 졸업. 1982년 전북대학교 전기공학과 석사 졸업. 1992년 University of Missouri, Columbia, Electrical and Computer engineering 박사 졸업. 2003년~현재 전북대학교 전자정보공학부 교수. 관심분야는 멤리스터, 로봇비전, 로봇센서 시스템, 아날로그 병렬처리 회로.

관심분야는 멤리스터, 로봇비전, 로봇센서 시스템, 아날로그 병렬처리 회로.