

RtMLF(Routable Molded Lead Frame) 패키지 소개 및 응용

김병진[†] · 방원배 · 김기정 · 정지영 · 윤주훈

앰코테크놀로지 코리아 기술연구소

Introduction of Routable Molded Lead Frame and its Application

ByongJin Kim[†], Wonbae Bang, GiJung Kim, JiYoung Jung and JuHoon Yoon

Amkor Technology Research & Development Center, Amkor Technology Korea, Inc., 151, Dongil-ro, Seongdong-gu, Seoul 133-706, Korea

(Received May 28, 2015: Corrected June 11, 2015: Accepted June 18, 2015)

초 록: 리드프레임의 우수한 열적/전기적 특성을 유지하면서 많은 I/O수를 수용할 수 있는 구조, 그리고 라미네이트의 디자인 팬인(Fan-in) 및 팬아웃(Fan-out) 설계 유연성을 유지하면서 가격경쟁력을 향상시킬 수 있는 몰딩기판(Molded substrate)을 기반으로 한 RtMLF(Routable Molded Lead Frame) 패키지를 개발하였다. 개발된 패키지의 구조적 특징을 이용하여, 열적 전기적 성능의 우수성을 시뮬레이션을 통해서 확인하였으며, 제조 및 신뢰성 분석을 수행하여 생산 적용 가능성을 확인하였다.

Abstract: RtMLF (Routable Molded Lead Frame) based on molded substrate has been developed to maximize advantages of both leadframe product which has high thermal and electrical performance and laminate product which accommodates more I/O count and keeps fan-in/fan-out design flexibility. Due to its structural features, RtMLF provided excellent thermal and electrical performance which was confirmed with simulation. The RtMLF samples were manufactured and its reliability analysis was done to evaluate the opportunities of the production and application.

Keywords: molded substrate, RtMLF, thermal performance, electrical performance, reliability

1. 서 론

모바일 전자제품의 고성능화에 필요한 다양한 응용기술들이 집적화 되고 다기능화 되고 있다.¹⁾ 단순한 통화기능에서 컴퓨터와 같이 연산하고 명령을 수행하는 범위를 뛰어넘어 이제는 센서 및 연결성(connectivity)의 핵심 제품으로 성장하며 경쟁이 가속화 되고 있다.^{1,2)}

이와 같은 변화의 시기에 고객과 시장의 요구사항을 충족시키기 위해 기존의 제품에서 장단점을 보완하는 제품간 합종연횡이 활발히 연구되고 있다.¹⁾ 십여 년 동안 반도체 제품의 주류였던 리드프레임(Leadframe) 제품은 뛰어난 열적 특성에도 불구하고 I/O 숫자의 제한과 수십나노단위의 반도체공정 기술의 발전을 따라가지 못하여 PCB 라미네이트(Laminate) 제품으로 고성능 제품의 기능을 넘겨주어야 했으나, PCB 라미네이트(Laminate) 제품이 가지고 있는 상대적 저신뢰성 및 가격경쟁력은 또 다른 도전

이 되고 있는 실정이며 고집적에 따른 열적 성능 저하에 대한 우려도 증가하고 있다.³⁾ 최근 모바일 제품에 사용된 패키지 제품을 분석하더라도 경박단소화와 가격경쟁력 그리고 성능향상을 위한 패키지의 변화를 쉽게 확인 할 수 있다(Fig. 1).

즉, 모바일 제품은 더 이상 브랜드별 가치와 차이를 구분할 수 없을 정도로 범용화되어 가고 있으며, 이러한 패러다임의 전환기에 무엇보다 중요한 것이 가격 경쟁력과 차별화된 요소의 도입이라 하겠다. 이에 리드프레임(Leadframe)의 우수한 열적/전기적 특성을 유지하면서,^{4,5)} 많은 I/O수를 수용할 수 있는 구조, 그리고 PCB 라미네이트(Laminate)의 팬인(Fan-in) 및 팬아웃(Fan-out) 설계유연성을 유지하면서 가격경쟁력을 향상시킬 수 있는 구조의 패키지가 필요하게 되었다. 이는 웨이퍼레벨에서 진행되고 있는 WLFO(Wafer Level Fan-out)의 Molded 구조와 유사하며 상호경쟁 및 보완의 구조로 판단된다.^{6,7)} 본 논문에서

[†]Corresponding author

E-mail: ByongJin.Kim@amkor.co.kr

© 2015, The Korean Microelectronics and Packaging Society

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

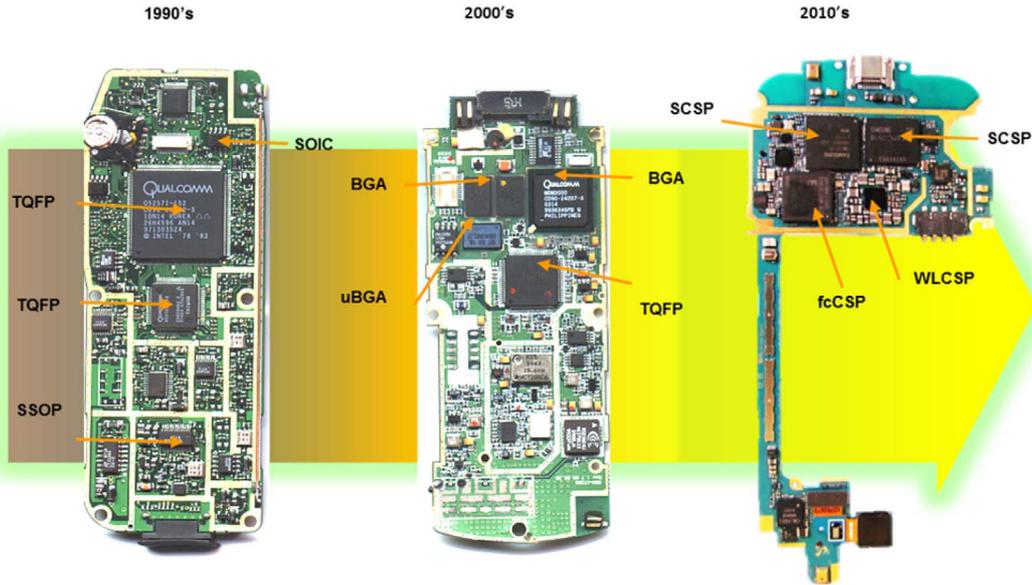


Fig. 1. Evolution of semiconducting package in mobile product [Amkor Internal Report].

서는 이러한 시장의 요구사항을 바탕으로 리드프레임과 라미네이트 제품의 장점을 갖는 혼합형 구조인 RtMLF (Routable Molded Lead Frame) 패키지를 소개하고 새로운 제품의 응용 가능성에 대해 분석하고자 한다.

2. RtMLF 제품 구조 및 서브스트레이트 제조공정

WLP(Wafer Level Package)는 가격경쟁력과 초소형 제품 군으로 그 사용이 늘고 있다.⁷⁾ 그러나 WLP는 인터포저(Interposer)없이 바로 보드에 실장이 되기에 낙하충격이나 진동 등의 보드 신뢰성에 문제를 가지고 있으며 또한 사이즈에 제약을 가지고 있다.^{8,9)} 이러한 보드 신뢰성 문제를 해결하면서 제품의 사이즈는 최소화하며 가격경쟁력이 있는 WLP의 대체품이 필요하였다. 기존 리드프레임은 고신뢰성을 보여주고 있으나 BGA(Ball Grid Array) 구조를 만들 수가 없었고, 최소 2층인 라미네이트 다층구조는 가격경쟁력이 낮았다. 이에 두 가지의 장점을 결합한 새로운 패키지인 RtMLF를 개발하였고, RtMLF는 특성 및 구조적으로 고객의 니즈(Needs)을 훌륭하게 만족시킨다. 패키지 사이즈는 다이 크기 +0.3 mm로 최소화 되었고, 기존 다이패드 위치를 변경하지 않고도 불 어레이로 고 신뢰성

을 만족시킬 수 있었다. 또한 Cu 기둥범프를 사용하여 프레임위에 직접 인터커넥션을 구현하였다(Fig. 2).

RtMLF은 Pre-etching된 리드프레임에 pre-resin으로 라미네이션 혹은 스크린 프린팅방식으로 절연 하층 상층(Top)과 하층(Land)을 분리한 구조를 가지고 있다. RtMLF의 서브스트레이트를 만드는 공정은 Fig. 3과 같다. 1) 리드프레임 준비 2) 바닥면 에칭으로 랜드 형성 3) 레진충진 및 열처리 4) 연마 5) 상층부 에칭으로 패턴 형성등의 구성으로 이루어져 있으며, 단순한 프로세스 공정으로 경쟁

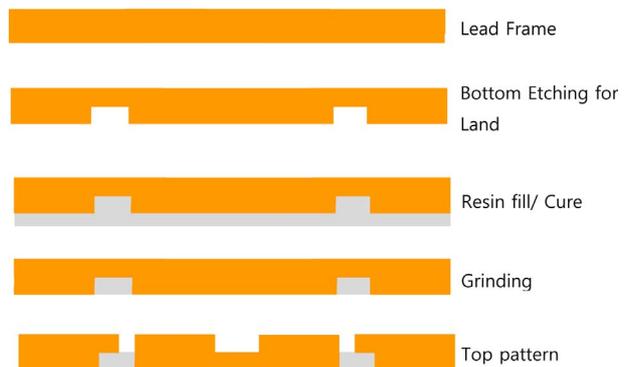


Fig. 3. RtMLF substrate manufacturing process.

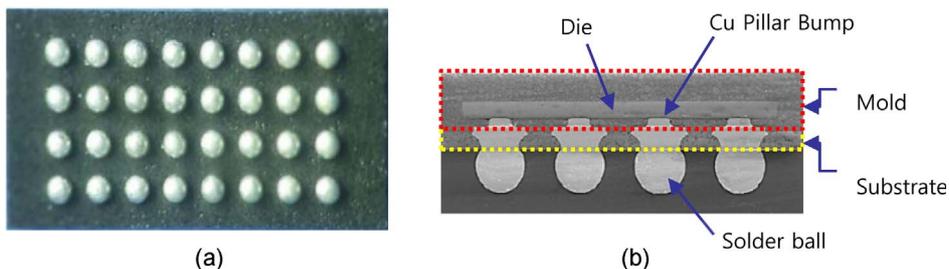


Fig. 2. RtMLF Structure: (a) Bottom View, (b) Cross section view.

력을 갖추고 있다. 이때 기존 리드프레임과 라미네이트와 달리 중요한 기술은 수지충진(Resin fill)과 연마(Grinding) 공정이다.

이와 같은 구조와 제조공정의 차별화로 RtMLF 패키지의 특성을 다음과 같이 요약할 수 있다. 1) 기존 라미네이트 물질 구성을 탈피한 몰딩기판(molded substrate)이다. 2) 수지 충진(mold resin fill)과 연마(grinding) 공정을 통해 서브스트레이트를 제조한다. 3) 패턴은 1층의 에칭 혹은 다층의 프레이팅 업(plating up)으로 형성한다. 4) 1층만으로 하층의 랜드와 분리하여 상층 패턴 형성이 가능하다. 5) 구성물질과 제조공정의 단순화로 가격경쟁력이 우수하다.

3. 열적 전기적 특성을 구현한 RtMLF 구조

RtMLF은 Fig. 3의 제조공정에서 살펴본 것처럼 리드프레임의 캐리어를 상/하층부 분리 에칭을 함으로써 상/하층에 별도의 특이한 구조를 형성할 수 있다. Fig. 4는 고성능 와이파이용으로 개발된 RtMLF 구조이다. 고 열적특성이 요구되었고, 웨이퍼 칩에 내장된 회로 부위에 전기적 간섭을 최소화하는 요구사항을 만족하여야 하였으며, 리드프레임에서 구현할 없는 I/O집적도 및 갯수를 구현하여야 하였다. 이러한 요구조건은 기존 리드프레임과 라미네이트 제품으로 구현할 수 없었기에 RtMLF을 도입하였다. 하부층은 노출된 패드(b: Bottom view, E-Pad, exposed pad)를 형성하였으며 상부층은 에칭으로 전기적 특성을 위한 홈(a: Top view, Top side puddle)을 형성하여 주었다. 또한 E-PAD 주변부에 랜드를 부분적으로 2열 배치를 하였다. 하부층에 노출된 패드는 열 방출을 위한 패드역할을 하며, 상층부 홈(puddle)은 프레임(frame)과 칩 내부 특성 회로간의 거리(clearance)를 확보하여 간섭을 최소화 하는 효과를 주었다.

RtMLF 구조가 갖는 열적 우수성을 확인하기 위하여 E-PAD가 있는 구조와 없는 구조에 대하여 열적 시뮬레이션을 수행하여 비교 분석하였다. E-PAD가 있는 구조는 Fig. 4에 나타난 구조를 기준으로 삼았으며, E-PAD가 없는 구

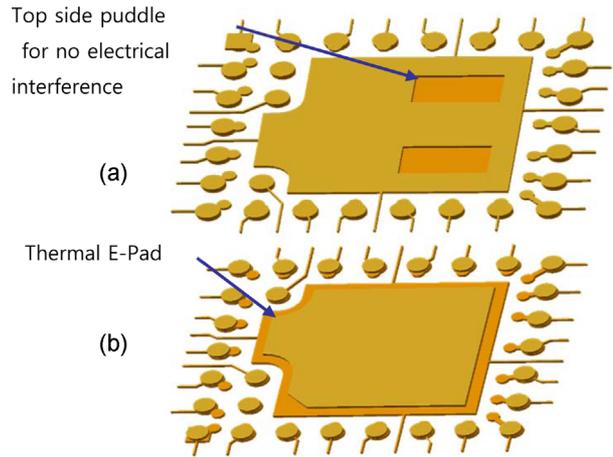


Fig. 4. RtMLF with E-PAD (Exposed pad) structure: (a) Top view, (b) Bottom view.

조는 제조 공정상 E-PAD 형성이 어려운 패키지를 고려하여 라미네이트와 유사한 몰딩기판(molded substrate) 구조를 가정하여, Fig. 5와 같이 E-PAD의 하부층에 랜드를 형성하여 주었다. Fig. 5의 시뮬레이션 데이터에서 확인된 것처럼 E-PAD가 있는 RtMLF가 E-PAD가 없는 패키지구조에 비해 열적 특성이 약 30% 우수함을 알 수 있다.

또한 구조적 차이가 갖는 전기적 특성을 확인하기 위하여 리드프레임과 라미네이트 제품과 비교 시뮬레이션을 수행하였으며, 각각의 장점과 차이점을 확인하였다. 리드프레임의 경우, 구조적 한계로 I/O는 칩(Chip)에 가까이 위치 시키지 못하고 주변부에 배치하게 되어 상대적으로 저항과 인덕턴스 등 전기적 특성이 떨어짐을 알 수 있으며, 삽입손실(Insertion loss) 그래프에서도 9 GHz까지 지속적인 손실이 발생함을 알 수 있다. 이에 반해 라미네이트는 상층부의 패턴형성으로 칩 근처까지 신호선을 팬인(Fan-in) 배치할 수 있기에 저항과 인덕턴스는 우수하였으나, 라미네이트 층간 관통홀인 비아를 통한 공조 손실이 5 GHz에서 발생하였다. 반면 리드프레임과 라미네이트의 혼합구조를 가지고 있는 RtMLF는 신호선의 팬인 배치와 1층 구조로 Via가 없는 특징으로 인해 저항과 인덕턴스 그리고

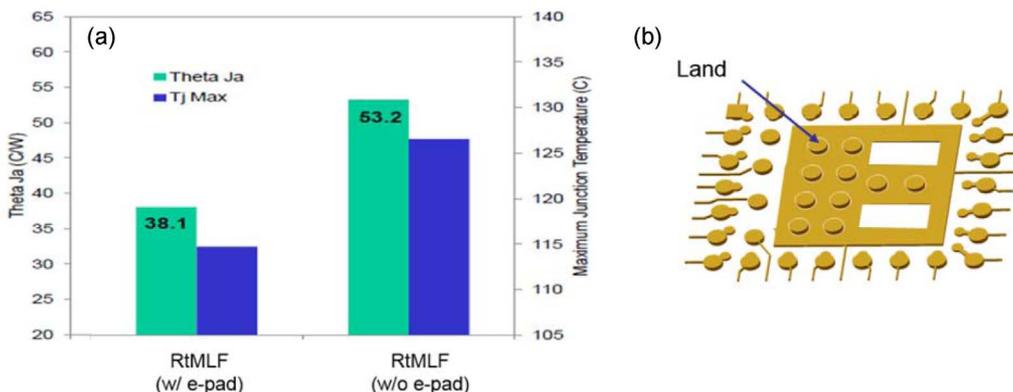
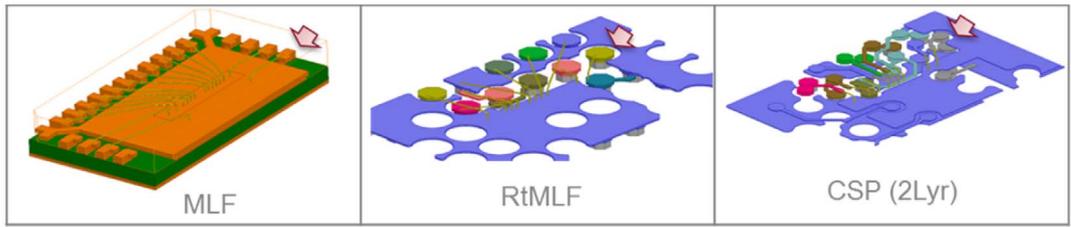


Fig. 5. Thermal simulation for RtMLF with E-PAD vs. without E-PAD: (a) Simulation result, (b) No E-PAD structure (bottom view).



Net#	PKG Type	R (mΩ) at 100MHz	R (mΩ) at 500MHz	R (mΩ) at 1GHz	L (nH)	C (pF)
1	MLF	167.9	227.7	322.0	1.532	0.195
	RtMLF	129.1	165.7	234.4	0.942	0.178
	CSP (2Lyr)	123.1	185.8	262.8	1.098	0.292

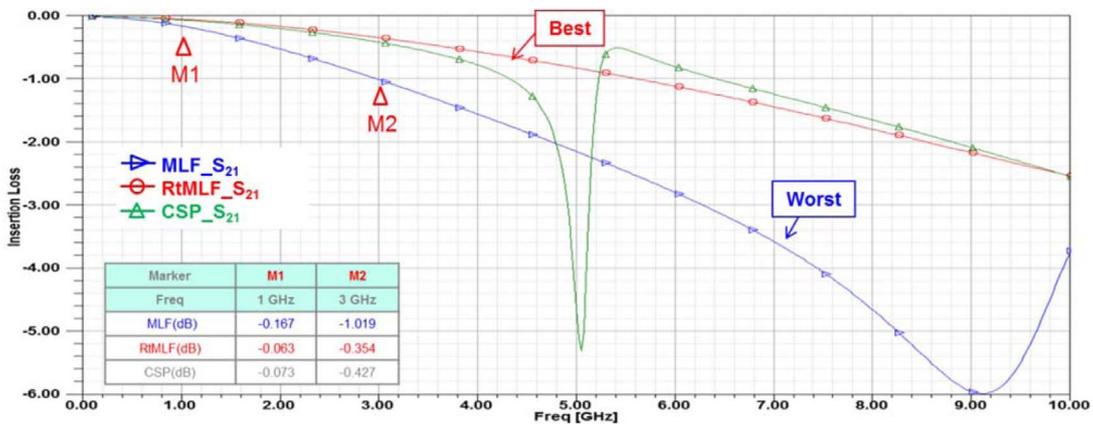


Fig. 6. Simulation models and results of electrical performance comparison.

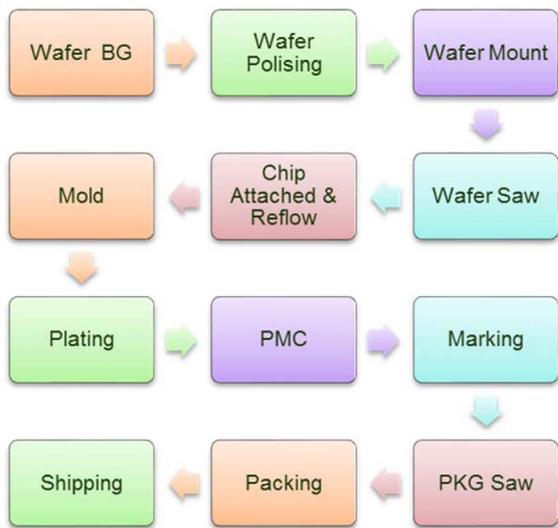


Fig. 7. RtMLF Packaging Process (PMC=Post Mold Cure, BG=Back Grinding).

삽입손실에서도 우수한 전기적 특성을 보여주었다.

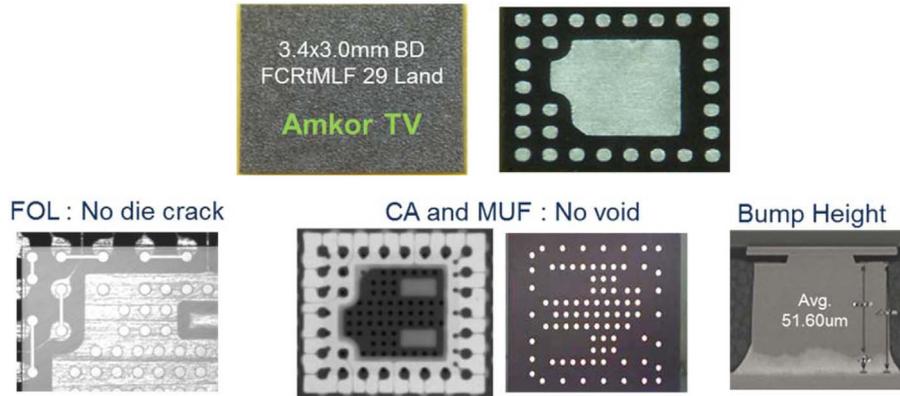
4. E-pad 구조의 RtMLF 신뢰성

RtMLF의 패키지 제조공정은 기존의 리드프레임과 라미네이트와 동일한 공정이며, 제품특성에 따라 LGA의 경

우 Matte Sn 표면 처리가 가능하며, BGA 제품도 구현 가능하다(Fig. 7). 실험에 사용된 패키지 정보는 다음과 같다. 다이 크기=2.7×2.45 mm, 다이 두께=102 μm. 패키지 사이지=3.4×3.0 mm, 패키지 높이=0.45 mm, I/O수=29, 리드피치=0.4 mm, 기판두께=0.125 mm, Cu는 C194, 표면처리는 Matte Sn을 적용한 LGA 패키지로 구성하였다. 또한 본 신뢰성 실험에서는 랜드 사이드를 주변부에 200×300 μm와 코너에 200×250 μm 크기로 디자인하였으며, 고열적 특성을 구현하기 위해 중앙에 1.93×1.71 mm의 e-pad구조와 전기적 간섭을 최소화하기 위해 상부에 half-etching(puddle)을 형성하였다(Fig. 4).

웨이퍼 칩(Chip)과 Substrate의 Interconnection은 Cu Pillar을 사용하였으며 이때 Cu Pillar height는 Molded Under Fill을 위하여 65 μm(Cu=42, Sn/Ag=23 μm) 높이를 적용하였다. 어셈블리과정 중에, Chip attach 이상유무, Cu pillar의 interconnection과 Wetting 및 구조를 확인하였으며, Mold 후에 Void 유무를 확인하였다.

Fig. 8의 요약과 같이 각 주요 공정 별 진행에 문제가 없었으며, 각 공정별 패키지 섹션을 통하여 주요 관심항목을 확인하였다. Chip Attach 공정에서 misalign발생하지 않았으며 Cu pillar interconnection 상의 non-wet 상황도 이상 없었다. 또한 상층부 Half-etching 영역에도 Void발생하지 않고 mold로 잘 채워져 있음을 확인하였으며, Cu pillar 섹션



Stress	Sample Size/ Units	Procedure	Readouts
(Precon) MSL3 260 +/-5 °C Reflow-3X, 40hrs, 60°C/60% RH	22 Units	J-STD 020	1) Post 3x reflow
TC "C" (-65C/+ 150C) Precondition MSL3a.	77 Units	JESD22-A104	1) 500 cycles 2)1000 cycles
uHAST (Condition A) Precondition MSL3a.	77 Units	JESD22-A118	1) 96 hours
HTS (150°C) No precondition	77 Units	JESD22-A103	1) 500 hours 2) 1000 hours

Fig. 8. Reference Photo per Process and Reliability of RtMLF Package.

사진에서 Cu pillar부분과 Solder wetting 부분을 측정하여 확인하였다. 또한 각 조건에 맞는 MSL3와 장기 신뢰성 조건을 기준에 따라 수행하였으며, 전 유닛에서 O/S 테스트 결과에 이상 없었다.

5. 결 론

리드프레임과 라미네이트 제품이 가지고 있는 각각의 한계를 극복하고 장점을 살리는 새로운 1층의 몰딩기판 (Molded substrate)인 RtMLF를 소개하였다. 리드프레임이 가지고 있는 우수한 열적 특성을 유지하기 위해 E-PAD 구조를 형성할 수 있었고 상층에 전기적 간섭을 최소화하기 위한 half-etching(Puddle)구조도 형성이 가능하였다. 또한 라미네이트 제품이 가지고 있는 신호 집적도를 구현하였으며 열적/전기적 시뮬레이션을 통해 우수성을 검증하였다. 본 연구에서 RtMLF로 구현한 제품과 같이, 여러 응용 분야에서 적용이 가능할 것으로 판단되며 시장의 요구사항에 맞게 다양한 제품군에 지속적인 개발 및 연구가 진행되고 있다.

References

1. S. K. Saha, "Emerging business trends in the semiconductor industry", Technology Management in the IT-Driven Services (PICMET), San Jose, CA, 2744, IEEE (2013).
2. A. Battestini, C. Del Rosso, A. Flanagan and M. Miettinen, "Creating Next Generation Applications and Services for Mobile Devices: Challenges and Opportunities", Proc. 18th

- Personal, Indoor and Mobile Radio Communications (PIMRC), Athens, 1, IEEE (2007).
3. M. A. Bolanos, "Semiconductor integrated circuit packaging technology challenges - next five years", Electronics Materials and Packaging (EMAP), 6, IEEE (2005).
4. E. McGibney and J. Barrett, "An overview of electrical characterization techniques and theory for IC packages and interconnects", IEEE Transactions on Advanced Packaging, 29(1), 131, IEEE Components, Packaging, and Manufacturing Technology Society (CPMT) (2006).
5. S. H. Hong, "Characteristics of Lead Frame Chip Scale Package (LF-CSP)", Proc. 1st Korea-Japan Advanced Semiconductor Packaging Technology Seminar, Seoul, 63, The Korean Microelectronics and Packaging Society (1999).
6. P. Garrou, "Wafer Level Chip Scale Packaging (WL CSP): an overview", Advanced Packaging, 23(2), 198, IEEE (2000).
7. Y. Okayama, Y. Yanase, K. Saitou, H. Kobayashi, M. Nakasato, T. Yamamoto, R. Usui and Y. Inoue, "Development of a novel Wafer-Level-Packaging technology using laminating process", Pro. 59th Electronic Components and Technology Conference, (ECTC), San Diego, CA, 892, IEEE (2009).
8. E. J. Vardaman, L. C. Matthew and L. S. Roth, "2013 Flip chip and WLP: Recent Developments and Market Forecasts", TechSearch, 107 (2013).
9. H. H. Kim, D. H. Kim, J. B. Kim, H. J. Kim, J. U. Ahn, I. S. Kang, J. K. Lee, H. S. Ahn and S. D. Kim, "The Effects of UBM and SnAgCu Solder on Drop Impact Reliability of Wafer Level Package", J. Microelectron. Packag. Soc., 17(3), 65 (2010).
10. T. Y. Tsai, Y. S. Lai, C. L. Yeh and R. S. Chen, "Structural design optimization for board-level drop reliability of wafer-level chip-scale packages", Microelectronics Reliability, 48(5), 757 (2008).