J. Microelectron. Packag. Soc., 22(2), 5-9 (2015)
Print ISSN 1226-9360 Online ISSN 2287-7525
http://dx.doi.org/10.6117/kmeps.2015.22.2.005

특집 : 3D IC

3차원 적층 반도체에서의 열관리

김성동†
서울과학기술대학교 기계시스템디자인공학과

Thermal Management on 3D Stacked IC

Sungdong Kim†
Dept. of Mechanical System Design, Seoul National University of Science and Technology, 232 Gongneung-ro, Nowon-gu, Seoul 139-743, Korea

(Received June 4, 2015: Corrected June 22, 2015: Accepted June 23, 2015)

Abstract: Thermal management becomes serious in 3D stacked IC because of higher heat flux, increased power generation, extreme hot spot, etc. In this paper, we reviewed the recent developments of thermal management for 3D stacked IC which is a promising candidate to keep Moore's law continue. According to experimental and numerical simulation results, Cu TSV affected heat dissipation in a thin chip due to its high thermal conductivity and could be used as an efficient heat dissipation path. Other parameters like bumps, gap filling material also had effects on heat transfer between stacked ICs. Thermal aware circuit design was briefly discussed as well.

Keywords: TSV, 3D IC, thermal via, thermal management

1. 서 론

3차원 적층 반도체(3D stacked IC)란 기존의 2차원 평면구조의 반도체 칩을 수직으로 쌓아올린 3차원 구조로서 ① 동일한 바닥면적에 더 많은 트랜지스터가 쌓이게 되어 집적도를 향상시키는 효과를 가지며 ② 트랜지스터 간에 아래위 수직으로 신호를 주고받음으로써 배선길이를 줄여 성능을 향상시킬 수 있으며 ③ 회로 선폭을 줄이지 않고 기존의 공정을 그대로 이용할 수 있어 가격경쟁력을 가지며 ④ 메모리-로직, 로직-센서 등과 같이 이종 반도체를 하나의 패키지 안에 구현함으로써 새로운 다기능 반도체를 구현할 수 있다는 장점이 있다. 특히 미세화에 의존해온 기존의 반도체 개발 전략이 경제적, 물리적인 한계에 부딪힘에 따라 무어의 법칙(Moore's Law)을 이어나갈 유력한 대안으로 최근 많은 주목을 받고 있다. 그러나 반도체를 수직으로 적층하는 과정에서 여러 가지 기술적 어려움이 발생하고 있는데, 예를 들면 적층 반도체 간의 수직 배선을 위한 실리콘 관통 전극(through silicon via, TSV)의 안정적인 제작의 어려움,[1] TSV에 의한 열적 기계적 신뢰성 문제 및 주변 회로에 대한 영향,[2] 마이크로 범프 사용에 따른 재료적, 기계적 신뢰성 문제,[3] 구리 범프의 사용에 따른 본딩 문제,[4] 적층 방식에 대한 생산성 문제, 불량 분석 및 재작업에 대한 문제, 적층 구조에서의 발열 및 냉각 문제 등이 있다.

이 가운데서 발열 및 냉각을 다루는 열관리 문제는 반도체의 성능 뿐 아니라 수명에도 큰 영향을 미치는 중요한 요인으로, 반도체의 발열이 2ºC가 올라가면 반도체 수명이 10%가 줄어든다는 보고가[5] 있다. 반도체의 열관리는 기존의 2차원 반도체 구조에서도 중요한 문제였으나 3차원 적층 반도체 구조에서 더욱 중요해지는데, 몇 가지 이유를 살펴보면 다음과 같다.[6]

(1) 패키지당 발열량 증가: 적층구조에서는 하나의 패키지 안에 포함되는 칩의 갯수가 증가함에 따라 패키지당 전체 발열량이 증가하게 된다.

(2) 전력소비량 증가: 단일 바닥면적(footprint)에 놓이는 칩의 개수가 적층횟수 만큼 증가함에 따라 단위 바닥면적당 전력소비량이 증가하게 된다.

(3) 과열 가능성 증가: 아래위로 이웃한 칩에서 발생한 열로 인해 과열될 가능성이 증가하게 된다.

(4) 냉각구조 추가의 어려움: 증가한 발열량 및 전력소비에 대응하는 추가 냉각구조를 칩 사이에 삽입하기에는 적층된 칩 사이의 간극(gap)이 작아 추가적인 냉각채널의

†Corresponding author
E-mail: sdkim@seoultech.ac.kr

© 2015, The Korean Microelectronics and Packaging Society
This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(http://creativecommons.org/licenses/by-nc/3.0) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

형성이 어렵다.

(5) 국부 열원(hot spot)의 발달: 적층 칩의 두께가 수십 μm 정도로 얇아짐에 따라 국부적인 열원의 영향이 극대화 된다.

본 논문에서는 현재 3차원 적층 반도체 구조의 열관리를 위해 진행되는 연구를 ① 실험 ② 수치해석 ③ 회로설계의 3가지 영역으로 나누어 살펴보고자 한다. 먼저 적층 구조에서의 발열 문제를 실험적으로 측정하고 분석하는 연구동향에 대해 살펴보고, 수치해석을 포함하는 해석적 방법으로 발열 문제를 예측하고 해석하는 연구동향에 대해 알아보고자 한다. 마지막으로 이러한 연구 결과를 바탕으로 실제 적층 구조에서의 발열 문제를 회피하기 위한 회로 설계차원의 노력에 대해 살펴본다.

2. 실험적 접근

3차원 적층 구조는 제작과정이 대학이나 연구소에서 접근하기에는 기술적이나 비용적인 면에서 다소 어려운 부분들이 많을 뿐 아니라, 적층 구조의 특성상 내부에서 발생하는 발열을 외부에서 관찰하는데도 제약이 많이 따르게 된다. 이 같은 제약으로 인해 3차원 적층 반도체의 열관리에 대한 실험적 연구결과는 관심과 중요도에 비해 아직 많지 않은 편이다. 3차원 적층 구조에 대한 실험적 접근은 주로 수치해석 결과의 검증 또는 수치해석에 필요한 물성의 확보를 위한 실험과 TSV가 열전달에 미치는 영향에 대한 연구가 진행되고 있으며, 실험에 중요한 국부적인 열원에 대해 먼저 살펴보도록 한다.

2.1. 국부 열원

반도체, 특히 로직 반도체의 경우 트랜지스터의 집중적인 작동에 따라 국부적인 영역에서 온도가 올라가는 현상이 발생하게 된다. 이러한 국부적인 열원을 hot spot이라고 하며, 이 국부 열원의 온도가 허용 범위를 벗어나지 않도록 관리하는 것이 중요하다. 일반적인 2차원 반도체의 경우 실리콘 칩의 두께가 두껍기 때문에 국부 열원의 열이 사방으로 고루 퍼지게 되어 국부 열원의 온도가 많이 상승하지 않는다. 그러나 3차원 적층 반도체의 경우 전체 패키지 두께를 관리하기 위해 적층되는 칩의 두께를 수십 μm로 얇게 하면서 국부 열원의 열이 옆으로 잘 퍼지지 못하게 되어 국부 열원의 온도가 더욱 올라가는 현상이 발생하게 된다.[6,7] Fig. 1에 나타냈듯이[8] 칩이 얇아질수록 국부 열원이 주변 칩에 미치는 영향도 커지게 된다. 따라서 3차원 적층 반도체 구조에서 국부 열원의 관리와 매우 중요하다.

2.2. TSV의 영향

3차원 적층 구조에서는 적층 칩 사이의 수직 배선을 위해 보통 구리 TSV를 사용하는데, 이때 구리의 높은 열전도도로 인해 TSV가 적층 구조의 열전달에 영향을 미치

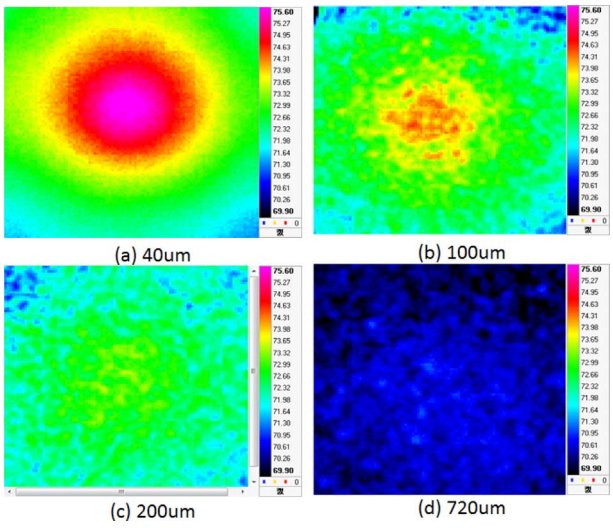

Fig. 1. Thickness dependence of Si surface temperature profile (a) 40 μm (b) 100 μm (c) 200 μm (d) 720 μm. Si wafer was point-heated on the backside with 8.1 W of input power [8].

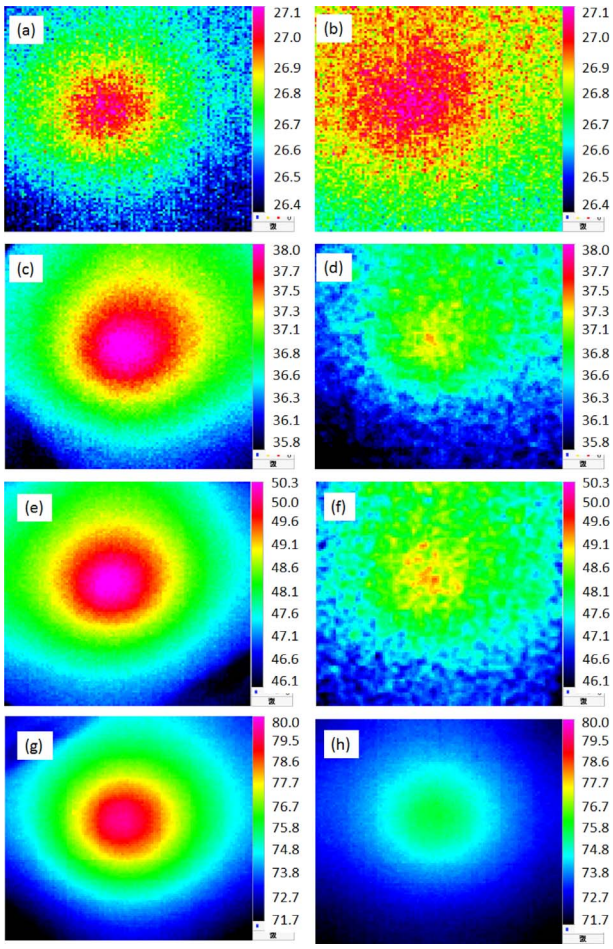

Fig. 2. Front surface temperature profiles measured by IR microscope when backside of 40 μm Si wafer was point-heated; at 50°C (a) TSV wafer (b) bare wafer, at 100°C (c) TSV wafer (d) bare wafer, at 150°C (e) TSV wafer (f) bare wafer, at 200°C (g) TSV wafer (h) bare wafer [8].

게 된다. 실리콘 기판에 구리 TSV가 있을 경우 국부 열원의 열을 반대편으로 좀 더 효과적으로 방출하는 것을

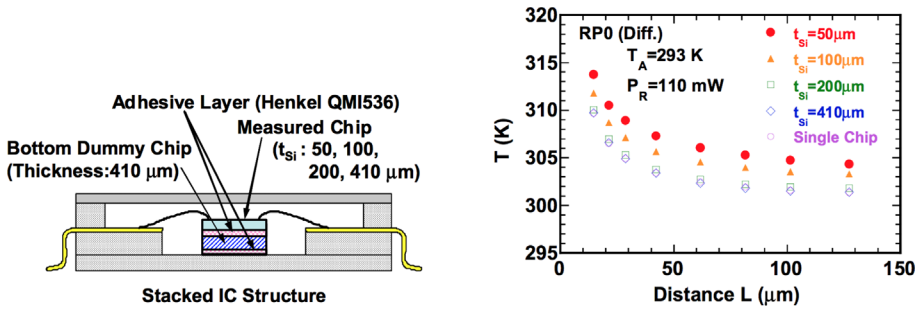

Fig. 3. Temperature distribution measurement in stacked IC (a) cross sectional view of stacked IC (b) temperature distribution as a function of distance from heat source [13].

알 수 있으며(Fig. 2),[8,9] 유리 기판을 이용한 실험에서도 구리의 양이 많을수록 열전달 효과는 더욱 커지는 것을 확인할 수 있다.[10] 이는 구리 TSV가 높은 열전도도를 이용하여 국부 열원의 열을 빠르게 주변으로 방출하고 있는 것을 의미하며, TSV의 이러한 특성을 이용하여 TSV를 본격적인 열전달 경로로 사용하려는 thermal via에 대한 관심도 높아지고 있다.[11] 그러나 TSV의 정량적인 열전달 효율에 대해서는 좀 더 자세한 분석이[12] 필요하다.

2.3. 적층구조에서의 열전달

적층 구조에서는 TSV를 이용한 칩 안에서의 열확산뿐만 아니라 적층 칩 사이의 열전달 효율이 패키지 전체의 냉각효율을 결정하게 되는데, 칩 사이의 열전달은 범프 및 gap 충진 재료의 종류 및 적층 구조에 따라 크게 변화하게 된다. TSV가 없는 간단한 2단 적층 구조의 실험에서 칩 두께와 적층 접착 재료[13] 뿐만 아니라 발열 칩의 배치가[14] 전체 칩 온도분포에 영향을 미치는 것을 알 수 있었다. 칩 두께가 얇아질수록 발열원의 영향이 커지며(Fig. 3), 발열 칩의 위치와 냉각경로에 따라 열 분포가 달라진다. TSV를 포함한 적층 구조에서도 칩 두께 및 냉각 경로에 대해 유사한 결과가 관찰되고 있으며, Fig. 4에 나타낸 것과 같이 범프의 유무에 따라서도 칩의 온도가 변화하게 된다.[15] 최근의 실험 결과에 대해서는 IMEC에서 발

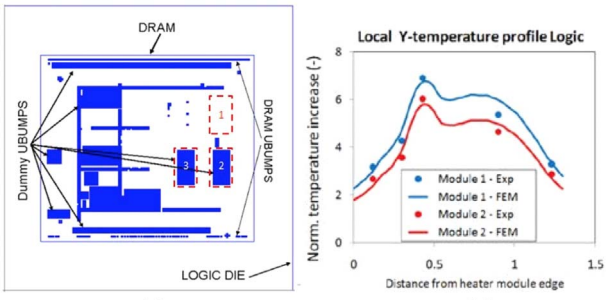

Fig. 4. (a) schematic diagram of location of micro-bumps between the DRAM and the logic die (b) comparison between experimental and calibrated model results in the logic die for heater module 1 with dummy CuSn bumps and heater module 2 with CuSn bumps [13].

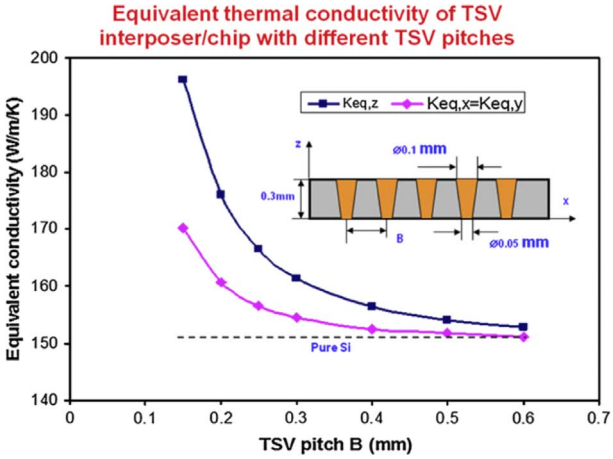

Fig. 5. Equivalent thermal conductivity of TSV with different TSV pitches [6].

표한 로직-메모리 적층 구조에 대한 논문에[15] 각 변수의 영향이 잘 정리되어 있다.

3. 수치해석적 접근

2.2 및 2.3절에서 언급한 실험결과들은 실험 결과로서의 독자적인 의미뿐만 아니라 수치해석의 결과 검증 및 기본 자료로 활용된다는 공통점이 있다. 3차원 적층 구조의 열관리와 관련해서 많은 계산과 이론이 있지만 실험을 통해 의미 있는 물리적 변수 값을 찾는 것이 계산과 이론의 정확성을 올려주기 때문에 실험의 중요성은 강조해도 지나치지 않는다. 그러나 모든 구조를 실험을 통해 검증할 수 없기 때문에 실제로는 많은 부분을 수치해석에 의존하는 실정이다. 수치해석을 통한 접근에는 TSV 및 적층 변수들이 열관리에 미치는 영향에 대해 이해하기 위한 해석연구와[6,16] 다양한 냉각구조의 제안 및 검증을 위한 해석연구,[5,17,18] 그리고 4장에서 이야기할 열관리를 고려한 회로 설계와 연계하기 위한 분석 모델(analytical model)을 수립하는 연구로[19,20] 나누어 볼 수 있다. Lau 등은[6] TSV의 지름, 피치, 종횡비 등 다양한 변수에 대해 열전도도를 수치해석으로 계산하여(Fig. 5) TSV에 대한 기초적인 이해를 도왔으며 Jeong 등은[5] 방열판,

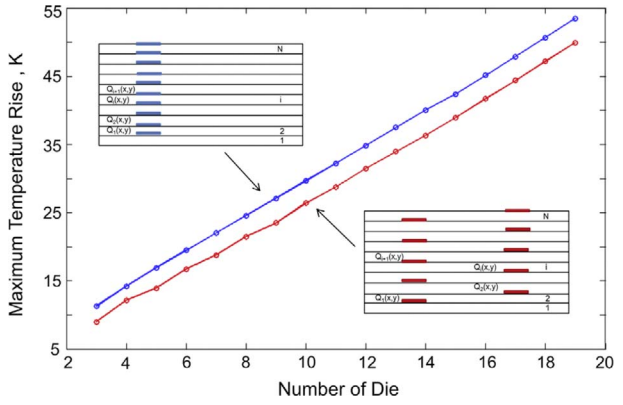

Fig. 6. Maximum temperature rise in N-die stack as a function of number of die for two different heating configuration cases [19].

열경로, thermal via 등을 종합적으로 고려한 열관리 방안에 대한 해석을 시도하였다. 이러한 수치해석은 상당히 정확한 계산결과를 제공하여 우리의 이해를 돕지만, 실제 회로 설계 프로그램과 연동하여 사용하는 데는 많은 어려움이 있다. 그래서 열관리에 대한 분석 모델을 수립하여 이를 회로 설계 프로그램과 연계하려는 노력이 계속 되어왔으며 대부분의 경우 식 (1)의 Laplace 방정식을 기본 방정식으로 하여 경계조건의 설정을 변화하여 유효한 해를 찾아내는 노력을 하고 있다.

$$\nabla^2 T = \frac{\partial^2 T}{\partial^2 x} + \frac{\partial^2 T}{\partial^2 y} + \frac{\partial^2 T}{\partial^2 z} = 0 \qquad (1)$$

Fig. 6에 분석모델을 이용하여 다양한 발열원 배치에 따른 층별 온도 경향을 나타낸 예를[19] 제시하였다.

4. 열관리를 고려한 회로 설계

3차원 적층 반도체 설계에서 중요한 문제 중 하나는 회로 설계 초기 단계에서 열적 특성을 완전히 예측하는 게 어렵다는 점이다. 이는 한 칩의 발열 특성은 인접한 다른 칩의 발열 특성 및 배선의 위치에 영향을 받기 때문에 트랜지스터의 위치를 정확히 할 수 없기 때문이다. 일단 초기 회로 설계가 완성이 되면 이에 대한 발열 특성을 점검하여, 다시 재설계를 하는 과정을 거쳐야만 한다.[21] 따라서 회로 각 구성품들의 정확한 열적 특성을 해석하고 이를 설계에 반영하는 것이 매우 중요하다. Fig. 7에 이를 위한 한 알고리즘의 예를 제시하였다.

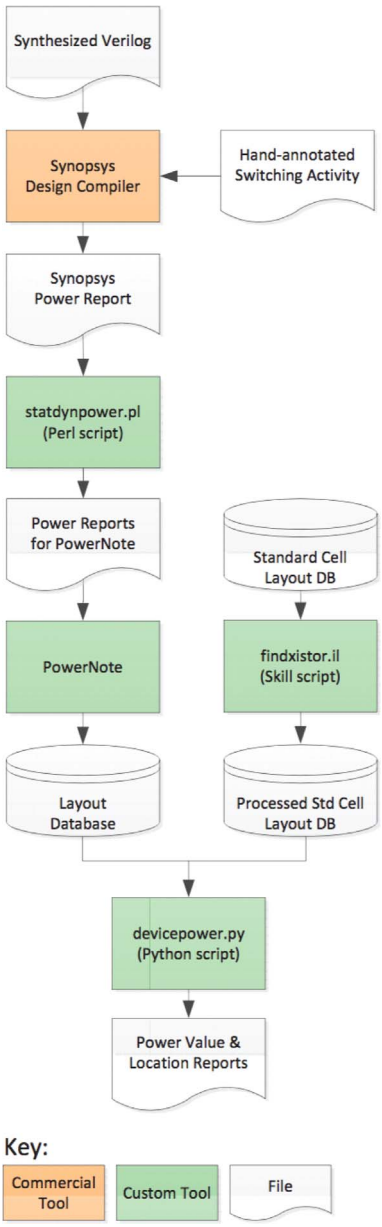

Fig. 7. Tool flow for extracting power values and locations [21].

5. 요 약

3차원 적층 반도체에서의 열관리를 위한 연구 동향에 대해서 살펴보았다. 적층 구조는 평면구조와 달리 단위 패키지당 발열량 증가, 단위 바닥면적당 전력 소비량 증가, 이웃 칩의 영향으로 과열 가능성의 증가, 냉각구조 추가의 어려움, 국부 열원의 발달 등으로 발열 문제가 매우 심각해질 수 있으며, 특히 국부 열원은 적층을 위해 칩 두께가 얇아짐으로 더욱 심화되고 있어 이를 고려한 발열 관리가 필요하다. 구리 TSV는 높은 열전도도를 이용하여 열원의 열을 효과적으로 주변으로 배출하는 역할을 하며 범프 및 gap 충진 재료, 적층 순서와 함께 적층 반도체의 열확산에 큰 영향을 미친다. 이는 실험으로나 수치해석으로 확인되고 있으며, 향후 적층 구조의 각 구성 요소들의 열 특성을 반영한 회로 설계가 이루어질 것으로 예상된다.

감사의 글

본 연구는 2014년도 교육부의 재원으로 한국연구재단의 지원을 받은 기초연구사업(2013R1A1A2012619)에 의

해 수행되었습니다.

References

1. K. Hummler, B. Sapp, J. R. Lloyd, S. Kruger, S. Olson, S. B. Park, B. Murray, D. Jung, S. Cain, A. Park, D. Ferrone and I. Ali, “TSV and Cu-Cu Direct Bond Wafer and Package-Level Reliability” 2013 IEEE 63rd Electronic Components and Technology Conference (ECTC), 41 (2013).
2. M. Y. Tsai, P. S. Huang, C. Y. Huang, P. C. Lin, L. Huang, M. Chang, S. Shih and J. P. Lin, “An investigation into warpages, stresses and keep-out zone in 3D through-silicon-via DRAM packages”, Microelectronics Reliability, 54(12), 2898 (2014).
3. D. Liu and S. Park, “Three-Dimensional and 2.5 Dimensional Interconnection Technology: State of the Art”, Journal of Electronic Packaging, 136(1), 014001 (2014).
4. Y. H. Cho, S. E. Kim and S. Kim, “Wafer Level Bonding Technology for 3D Stacked IC”, J. Microelectron. Packag. Soc., 20(1), 7 (2013).
5. J. Jeong, S. Jang, W. Choi, Y. Kim and K. Chun, “Thermal structure design for enhanced heat spreading in 3D ICs”, 2013 IEEE TENCON Spring Conference, 544 (2013).
6. J. H. Lau and T. G. Yue, “Effects of TSVs (through-silicon vias) on thermal performances of 3D IC integration system-in-package (SiP)”, Microelectronics Reliability, 52(11), 2660 (2012).
7. D. J. Frank, “Power-constrained CMOS scaling limits”, IBM Journal of Research and Development, 46(2), 235 (2002).
8. Y. Shin, S. E. Kim and S. Kim, “Analysis of Thermal Effects of Through Silicon Via in 3D IC using Infrared Microscopy”, IITC/MAM Conference 2015
9. J. Ma, S. E. Kim and S. Kim, “The Effects of Cu TSV on the Thermal Conduction in 3D Stacked IC”, J. Microelectron. Packag. Soc., 21(3), 1 (2014).
10. S. Cho, Y. Sato, V. Sundaram, Y. Joshi and R. Tummala, “Experimental demonstration of the effect of copper TPVs (Through package vias) on thermal performance of glass interposers”, 2014 Electronic Components & Technology Conference, 1247. (2014).
11. B. Sung, “Thermal enhancement of stacked dies using thermal vias”, Master thesis, the university of Texas Arlington, (2006).
12. G. Wielgoszewski, G. Jóźwiak, M. Babij, T. Baraniecki, R. Geer and T. Gotszalk, “Investigation of thermal effects in through-silicon vias using scanning thermal microscopy”, Micron, 66, 63 (2014).
13. K. Yamada, T. Matsuda, H. Iwata, T. Hatakeyama, M. Ishizuka and T. Ohzone, “Analysis of temperature distribution in stacked IC with a thermal simulation and a specially designed test structure”, International Conference on Electronics Packaging (ICEP), 724 (2014).
14. L. Choobineh, T. Uehling, N. Vo and A. Jain, “Experimental Measurement of the Thermal Performance of a Two-Die 3D Integrated Circuit (3D IC)”, Asme 2013 InterPACK2013, 1 (2013).
15. H. Oprins, V. O. Cherman, B. Vandevelde, G. Van der Plas, P. Marchal and E. Beyne, “Numerical and experimental characterization of the thermal behavior of a packaged DRAM-on-logic stack” IEEE 62nd Electronic Components and Technology Conference (ECTC), 1081 (2012).
16. K. Weide-Zaage, A. Moujbani and J. Kludt, “Simulation in 3D integration and TSV”, 2014 IEEE 5th Latin American Symposium on Circuits and Systems (LASCAS), 1 (2014).
17. Y. Pi, H. Sun, J. Huang, W. Wang, J. Chen, Y. Jin and B. Cao, “Preliminary validation of entransy-based thermal management for 3D IC”, 14th International Conference on Electronic Packaging Technology (ICEPT), 535 (2013).
18. A. Fourmigue, G. Beltrame and G. Nicolescu, “Efficient transient thermal simulation of 3D ICs with liquid-cooling and through silicon vias”, Design, Automation and Test in Europe Conference and Exhibition (DATE), 1 (2014).
19. L. Choobineh and A. Jain, “An explicit analytical model for rapid computation of temperature field in a three-dimensional integrated circuit (3D IC)”, International Journal of Thermal Sciences, 87(C), 103 (2015).
20. J. S. Lan and M. L. Wu, “An analytical model for thermal failure analysis of 3D IC packaging”, 15th international conference on Thermal, mechanical and multi-physics simulation and experiments in microelectronics and microsystems (eurosime), 1 (2014).
21. S. Melamed, F. Imura, M. Aoyagi, H. Nakagawa, K. Kikuchi, M. Hagimoto and Y. Matsumoto, “Method for back-annotating per-transistor power values onto 3D IC layouts to enable detailed thermal analysis”, 2014 International Conference on Electronics Packaging (ICEP), 239 (2014).

- 김성동
- 서울과학기술대학교 기계시스템디자인 공학과
- 전자패키징, 자성재료
- sdkim@seoultech.ac.kr