

# NAND Flash 메모리 저장 장치에서의 Error Control Code 응용

이기준, 이명규, 신범규, 공준진  
삼성전자

## 요약

NAND flash 메모리의 집적도를 높이기 위한 주요 기술로, 데이터가 저장되는 cell 자체의 크기를 줄여주는 미세 공정화와 cell 당 저장되는 정보량을 늘려주는 멀티-레벨(multi-level)화가 사용되고 있다. 이러한 기술의 적용은 NAND flash 메모리 자체의 오류를 증가시키게 되므로, NAND flash 메모리 기반 데이터 저장 장치의 신뢰성을 높은 수준으로 유지하기 위해서는 우수한 정정 능력을 갖는 ECC(error control code)를 사용하는 것이 필수적이다. 본고에서는 NAND flash 메모리의 신뢰성 특성과 함께 NAND flash 메모리를 사용하는 데이터 저장 장치에서의 ECC의 응용에 대해서 살펴보고자 한다.

## I. 서론

NAND flash 메모리는 전원이 공급되지 않아도 저장된 데이터가 유지되는 비휘발성(non-volatile) 메모리로서, 이를 기반으로 한 데이터 저장 장치인 내장 메모리와 SSD(solid-state drive)는 스마트폰과 디지털 카메라 등 포터블 기기 및 컴퓨터 등에 널리 사용되고 있다.

NAND flash 메모리의 집적도는 미세 공정을 사용하여 cell<sup>1</sup>의 크기와 회로 선폭을 줄이는 기술(scaling down 또는 shrinking)[1] 및 cell 당 저장할 수 있는 비트 수를 늘려주는 MLC(multi-level cell) 기술 [2]에 의해 향상 되었다. 최근에는, 기존의 2차원 형태(planar)의 메모리 구조가 가지는 미세 공정화의 한계를 극복하고 메모리의 집적도를 지속적으로 높이기 위한 새로운 기술로 cell을 3차원 배열 형태로 구성하는 VNAND(vertical NAND)가 개발 되었다[3].

메모리의 집적도를 높이기 위한 미세 공정화 및 MLC화는 메모리 자체의 신뢰성을 하락 시키는 원인이 되고 있다. 공정 미

세화로 인한 회로 선폭 감소에 의해 cell 간 간섭(cell-to-cell interference)에 취약해지고, MLC화로 각 레벨 간의 간격이 줄어들어 인접 레벨 간 겹치는 영역이 증가하기 때문이다. 이와 같이 메모리 자체의 오류가 증가하는 상황에서, 데이터 저장 장치의 신뢰성을 높은 수준으로 보장하기 위해서는 ECC기술을 사용하는 것이 필수적이다.

NAND flash 메모리용 ECC는 메모리의 채널 특성 및 데이터 저장 장치에서 요구되는 신뢰성 등을 고려하여 설계되어야 한다. 데이터 저장 장치에서는 데이터를 저장하는 시점과 읽는 시점이 일치하지 않기 때문에 ARQ(automatic repeat request)를 사용할 수 없고 FEC(forward error correction)를 사용해야 한다. 또한, 데이터 저장 장치에서는 ECC parity 저장에 필요한 overhead를 최소화 하기 위해 높은 부호율을 갖는 부호를 사용할 것이 요구되며, 저장된 데이터를 오랫동안 안전하게 저장하고 읽어낼 수 있어야 하므로 통신시스템 대비 매우 높은 신뢰성이 보장되어야 한다. 이외에도 시스템 경쟁력 향상을 위한 저전력 및 고속 처리를 위한 ECC 하드웨어 설계 기법들이 필요하다.

본고의 2장에서는 NAND flash 메모리 기반의 데이터 저장 장치에 사용하기 위해 연구되고 있는 ECC 기법을 살펴보고<sup>2</sup>, 3장에서는 차세대 데이터 저장 장치에 적용하기 위해 고려해야 할 요소들을 살펴본 후 4장에서 결론을 맺고자 한다.

## II. NAND Flash 메모리용 ECC 연구 현황

이 장에서는 NAND flash 메모리를 기반으로 하는 데이터 저장 장치용 ECC 기법에 관한 연구를 소개한다.

데이터 저장 장치에 주로 사용되는 신뢰성 척도는 UBER(uncorrectable bit-error rate)과 RBER(raw bit-error rate)이다. UBER은 시스템의 요구 신뢰성을 나타내며, SER

<sup>1</sup> NAND flash 메모리는 데이터의 기본 저장 단위인 cell의 배열(array) 구조를 가지고 있다.

<sup>2</sup> NAND flash 메모리의 구조와 기본 동작에 관한 상세 내용은 [4]-[7]을 참조한다.

(sector-error rate) 또는 FER(frame-error rate)를 정보어 (information) 크기로 나눈 값 [8]이며,  $10^{-15}$  수준 이하가 요구되고 있다. RBER은 메모리에서 읽어낸 데이터 자체의 오류 수준을 나타내며, 이는 통신 시스템에서 주로 사용되는 uncoded bit-error rate와 동일한 개념이다.

### 1. 대수 부호의 적용에 관한 연구

대수 부호, 특히 순환 부호는 부호의 설계 및 정정 능력 예측이 용이하고, 효율적인 하드웨어 구현 방법이 많이 존재하기 때문에 NAND flash 메모리에 널리 이용되어 왔다.

초기 NAND flash 메모리는 회로 선평이 비교적 큰 공정을 사용하는 SLC로 설계 되었기 때문에 오류 수준이 높지 않았다. 따라서 수 백 비트의 길이를 가지는 해밍(Hamming) 부호 또는 정정 능력이 작은 BCH(Bose-Chaudhuri-Hocquenghem) 부호가 주로 사용 되었으며 이를 효율적으로 구현할 수 있는 연구가 많이 진행되었다. BCH 부호의 systematic encoder를 효율적으로 구현하기 위해 생성 다항식을 연결 다항식으로 가지는 나눗셈 회로가 사용되었다. BCH 부호의 decoding 알고리즘은 syndrome 계산 과정, error locator 다항식 계산 과정, 그리고 이 다항식의 근을 찾는 과정으로 나뉘어진다. 잘 알려진 것처럼, 이러한 세 과정에는 나눗셈, Berlekamp-Massey 및 Euclidean 알고리즘 또는 Peterson-Gorenstein-Zierler의 방법 그리고 Chien Search 알고리즘이 이용된다[9]. 이러한 알고리즘을 구현하는 모듈(module)을 pipelining 해서 3-stage decoding 형태로 구성하고 운용하는 방안들이 많이 연구되었다[10]. NAND flash 메모리의 인터페이스에 맞게 decoder의 syndrome 연산 및 Chien search 과정을 부분적으로 병렬 구현하여 저비용 설계로 처리 속도를 개선할 수 있는 방안이 제시되었다[11]. 이외에도 NAND flash 메모리 내에 ECC 하드웨어를 내장하기 위한 on-chip ECC도 연구되었다[12].

최근에는 정정 능력을 개선하기 위해 대수 부호를 구성 부호(component code)로 가지는 product 부호를 설계하고 이를 적용하는 방안이 연구되고 있다[13][14]. [13]에서 소개된 pseudo product 부호는 정보어를 블록 단위로 분할하고(그림 1), 각 블록의 수평 방향과 수직 방향의 구성 부호로서 BCH 부호를 사용한다. 이 부호의 정정 능력은 동일 길이의 BCH 부호에는 못 미치나 구성 부호에 비해서는 개선되었으며, 하드웨어 복잡도는 구성 부호의 로직(logic)을 그대로 사용하므로 크게 증가하지 않을 것으로 보인다. [14]는 해밍 부호를 product 부호의 구성 부호로 사용하고, 정정 능력을 극대화하기 위해서 Chase-Pyndiah 알고리즘[15] 기반의 연관정 복호를 사용하였다.

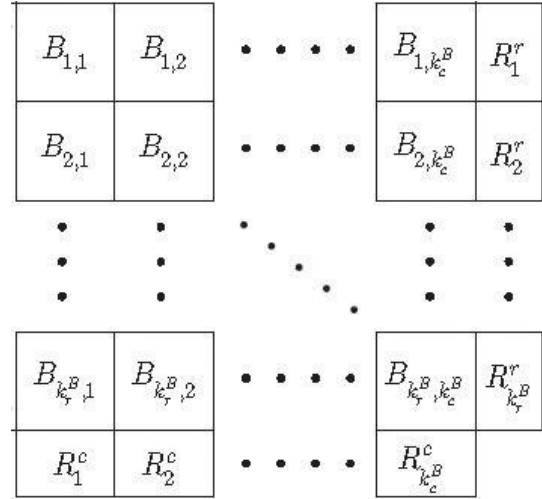


그림 1. Pseudo product 부호의 구조,  $B_{i,j}$  : 정보어 블록,  $R_k^r$ ,  $R_k^c$  : 패리티 블록 [13, 그림 3].

### 2. LDPC 부호의 적용에 관한 연구

미세 공정화 및 MLC화에 의해 NAND flash 메모리 자체의 오류가 증가됨에 따라, LDPC 부호와 같이 정정 능력이 강화된 부호를 사용하고자 하는 연구도 진행되고 있다[16].

LDPC 부호의 정정 능력은 연관정 입력 데이터의 정확도에 많은 영향을 받으므로, NAND flash 메모리에서 이를 정확하게 추정하기 위해 기준 전압을 설정하는 방식들이 소개되었다. [5]는 목표 열화 조건에서의 문턱 전압 산포를 이용하여 인접한 두 산포가 동일한 상수비를 갖는 전압을 기준 전압으로 설정하였고, [17]은 문턱 전압의 산포를 이용하여 상호 정보량(mutual information)을 최대화하는 전압을 기준 전압으로 사용하였다. 후자에 소개된 방법은 전자에 소개된 방법에 비해 기준 전압을 수식적으로 쉽게 구할 수 있고 정정 능력도 우수하다는 이점을 가지지만, 신뢰성이 검증된 영역이 FER 기준  $10^{-5}$  수준으로 데이터 저장 장치에서 보장되어야 할 신뢰성에 크게 못 미치므로 이를 적용하는 데에는 한계가 있을 것으로 보인다.

NAND flash 메모리에서 연관정 값을 구하는 데에는 통신 시스템과 달리 많은 노력이 필요하기 때문에 시스템의 읽기(read) 성능 저하를 가져올 수 있다.<sup>3</sup> 시스템의 성능 저하를 줄이기 위해 경판정 복호를 먼저 시도하고 이 것이 실패할 경우에 연관정 복호를 시도하는 LDPC 운용 방법이 [18]에서 제안되었다(그림 2). 경판정 복호만으로 정보어 복원이 가능할 정도로 메모리의 오류 수준이 양호한 경우에는 제안된 운용이 기존의 연관정 복호만

3 일반적으로 메모리의 읽기 시간이 LDPC 복호 시간에 비해 크다고 알려져 있다. 특히 연관정을 계산하기 위해서는 경판정에 비해 많은 수의 센싱이 필요하다.

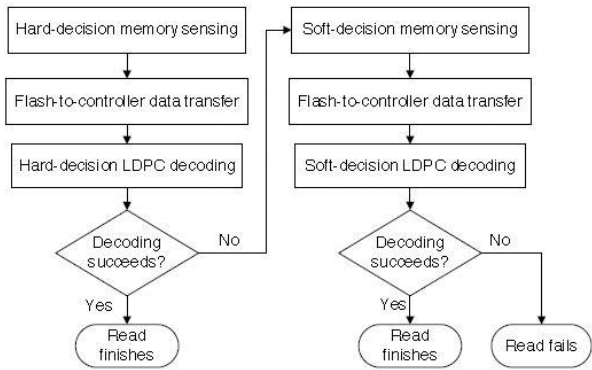


그림 2. 시스템의 읽기 성능 개선을 위한 LDPC 운용 안 [18, 그림 4]

을 수행하는 운용에 비해 읽기 성능을 크게 개선시킬 수 있다. NAND flash 메모리의 읽기 성능을 개선하고 복호기를 효율적으로 구현하기 위해서 정밀도가 3비트로 표현되는 연판정 값을 이용한 LDPC 복호 방법이 소개되었다[19]. 고정밀의 연판정 값을 구하기 위해 판정 구간을 정확하게 설정 하는 것 외에도 많은 수의 읽기 동작을 수행해야 하므로, 제한된 정밀도의 연판정 값을 이용하여 정정 능력을 극대화하는 것은 매우 중요하다. [19]는 정정 능력의 극대화를 위해서 변수 노드의 갱신 과정을 단순 덧셈에서 매핑(mapping) 함수로 일반화하고(그림 3), 주어진 부호에 대해 가장 우수한 정정 능력이 나오는 함수를 설계하였다. (그림 3)의  $m_1, m_2$ 는 변수 노드(variable node)의 입력이며,  $\{-L_3, \dots, -L_1, 0, L_1, \dots, L_3\}$ 은 정밀도가 3비트로 표현되는 변수 노드 입력의 알파벳(alphabet)이다. 그리고 오류 마루(error floor) 영역의 정정 능력을 개선하기 위해서 하나의 매핑 함수를 이용하여 복호 실패할 경우에는 다른 매핑 함수를 이용하여 다시 복호하는 간단한 형태의 후처리 과정도 제안하였다.

NAND flash 메모리의 채널 특성을 고려한 LDPC 부호의 설계 방법이 [20]에서 소개되었다. 일반적으로  $m$ -bit/cell MLC 메모리는  $2^m$ -PAM(pulse-amplitude modulation)과 같이  $m$ 개의 독립적인 이진 채널을 가진다고 볼 수 있으며, 이 채널들은 서로 다른 RBER을 가진다. 예를 들어, 2-bit/cell MLC는 2개의 독립적인 채널을 가지며, 각각 서로 다른 오류 수준을 가

$m_1/m_2$	$-L_3$	$-L_2$	$-L_1$	0	$+L_1$	$+L_2$	$+L_3$
$-L_3$	$-L_3$	$-L_3$	$-L_3$	$-L_3$	$-L_3$	$-L_3$	$-L_1$
$-L_2$	$-L_3$	$-L_3$	$-L_3$	$-L_3$	$-L_2$	$-L_1$	$+L_1$
$-L_1$	$-L_3$	$-L_3$	$-L_2$	$-L_2$	$-L_1$	$-L_1$	$+L_1$
0	$-L_3$	$-L_3$	$-L_2$	$-L_1$	0	0	$+L_1$
$+L_1$	$-L_3$	$-L_2$	$-L_1$	0	0	$+L_1$	$+L_2$
$+L_2$	$-L_3$	$-L_1$	$-L_1$	0	$+L_1$	$+L_1$	$+L_3$
$+L_3$	$-L_1$	$+L_1$	$+L_1$	$+L_1$	$+L_2$	$+L_3$	$+L_3$

그림 3. LDPC 복호의 변수 노드 갱신을 위한 매핑 함수 ([19], 표 2)

진다. 복호기의 입력이 서로 다른 오류 수준을 가지는 조건에서 LDPC 부호의 차수 분포를 잡음 임계치(noise threshold) 관점에서 최적화할 수 있는 방법으로 잘 알려진 것은 MET(multi-edge type) 기반의 밀도 진화 분석이다. [20]은 MET 설계 기법을 이용하여 2-bit/cell MLC 메모리에서 두 페이지(page)의 정보를 하나의 부호어로 부호화할 경우에는 두 페이지의 오류 수준 차이가 크면 클수록 한 검사 노드(check node)에 연결될 변수 노드의 형태를 편향(biasing)하는 것이 잡음 임계치 관점에서 유리하다는 것을 분석하였다.

LDPC 부호의 적용 외에 비트-심볼 매핑과 ECC를 결합하여 부호 이득을 얻는 부호화 변조(coded modulation) 기법도 소개되었다. [21]은 Ungerboeck이 제안한 set-partitioning 기반으로 설계된 심볼 매핑, 구성 부호로서 BCH 부호를 사용하는 부호화 변조 방식을 제안하였는데, 제안된 방식을 3-bit/cell MLC 메모리에 적용했을 때의 정정 능력이 워드 라인(word line) 내 3개 페이지를 인터리빙(interleaving) 하고 각 페이지에 독립적으로 BCH부호를 적용한 경우에 비해 우수하다는 것이 확인되었다(그림 4). 그 외에 BCH 부호, Reed-Solomon 부호, LDPC 부호를 활용한 트렐리스(trellis) 기반의 부호화 변조에 관한 연구도 진행되었다[22][23][24].

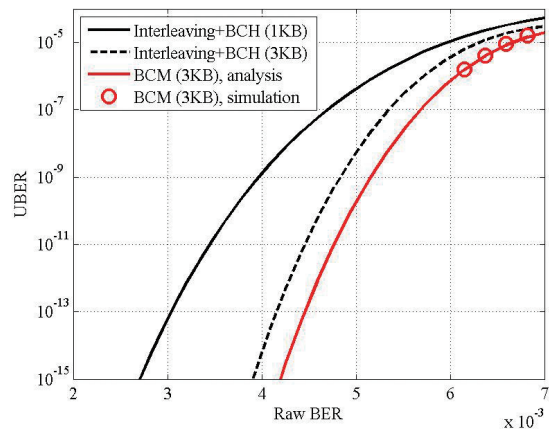


그림 4. [21]에서 제안된 BCH 부호 기반의 부호화 변조의 정정 능력

### 3. 기타 부호화 연구

NAND flash 메모리에서 소거(erase) 동작의 횟수를 줄이기 위한 방안으로, 1회만 기록이 가능한 광학 저장 매체용으로 제안된 write-once memory(WOM) 부호를 NAND flash 메모리에 적용하는 방안이 연구되고 있다. WOM 부호는 메모리에 다시 쓰일 때 저장된 값보다 같거나 크도록 하므로 소거 동작 없이 재기록(rewrite) 할 수 있다. Rivest와 Shamir는 기존보다 33%의 정보를 더 기록할 수 있는 WOM 부호를 제안하였

다 [25]. [26]에서는 q-level cell로 일반화하여 WOM부호 적용 시의 용량(capacity)이 계산 되었고, [27]과 [28]에서는 새로운 WOM 부호로서 floating 부호와 buffer 부호가 소개되었다. WOM 부호의 이득 및 용량 개선을 위한 연구 외에도 ECC와 결합하는 방법에 관한 연구도 진행되고 있다[29][30].

순위 변조(rank modulation) [31]는 특정 cell 하나의 절대적인 전하량이 아니라 여러 cell들의 상대적인 순위로써 데이터를 표현하는 방법으로, 순열(permutation)에 대한 정보로 저장되고 다른 cell들과의 상대적인 값으로 판별된다. 이는 전하 누설(charge leakage)에 대한 정도가 모든 cell에 대해서 유사하다는 가정 하에 전하가 누설되더라도 상대적 값에는 변화가 없다는 개념을 이용해서 오류 수준을 줄일 수 있는 방법으로 제안되었다. 전하 누설을 제한된 크기를 갖는 심볼 에러로 모델링(modeling) 하여 순위 변조를 위한 ECC 연구도 진행되고 있다[32].

### III. NAND Flash 메모리 용 ECC 연구 방향

#### 1. 부호 관점에서의 연구

NAND flash 메모리를 사용하는 데이터 저장 장치의 성능을 향상시키기 위해서는 경관정 복호 능력이 우수한 부호를 설계하거나 경관정 복호 알고리즘을 개선하는 것이 필요하다. LDPC 부호의 예를 들면, 경관정 복호 능력이 우수한 패리티 검사 행렬을 설계하거나 경관정 복호를 위한 후처리 과정을 개발 또는 비트 반전(bit flipping) 복호 알고리즘을 개선하는 것이다. 특히 비트 반전 알고리즘은 구현 복잡도가 비교적 작기 때문에 하드웨어 사이즈 및 전력 소모 측면에서 매우 유리할 것으로 예상되므로 지속적으로 연구하는 것이 필요하다.

데이터 저장 장치에서는 UBER  $10^{-15}$  과 같이 매우 높은 수준의 신뢰성을 만족시켜야 하는 데, 이를 검증 하는 것은 매우 어려운 일이다. 대수 부호에서는 매우 낮은 영역의 UBER을 예측하는 것이 용이하지만, 대부분 경관정 기반의 복호를 수행하므로 부호 이득에 한계가 있다. LDPC 및 polar 부호와 같은 부호에서는 [33]에서 소개된 후처리 과정을 이용하여 오류 마루 영역의 정정 능력을 개선할 수 있다. 다만 이 부호들의 정정 능력을 예측하는 것이 매우 어렵다. 중요도 샘플링(importance sampling)과 LDPC 부호의 트래핑 집합(trapping set)을 이용하여 오류 마루 영역에서의 정정 능력을 예측하는 연구 결과들이 많이 소개되었으나, 메모리 시스템에 적용되는 LDPC 복호와 같이 제한된 정밀도의 메시지를 사용하는 복호의 정정 능력을 예측하는 연구 결과는 미흡하다. 또한 길이가 긴 부호들이

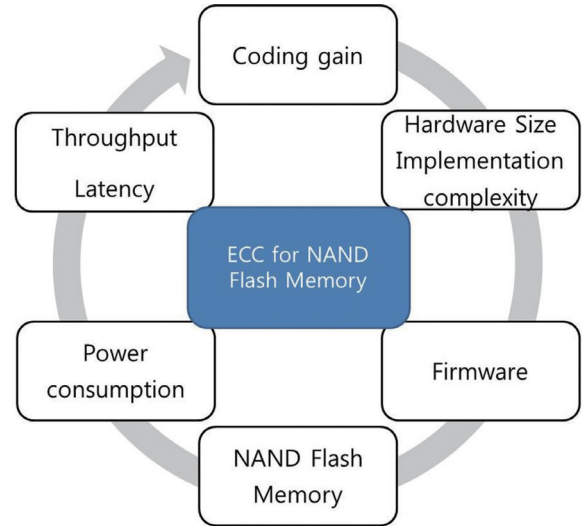


그림 5.시스템 관점에서 ECC 설계에서 고려해야 할 요소들

메모리 용 ECC로 주로 사용되기 때문에, 이 부호들의 트래핑 집합을 효율적으로 찾는 알고리즘 연구도 필요하다.

#### 2. 시스템 관점에서의 최적 설계

NAND flash 메모리를 사용하는 데이터 저장 장치를 위한 ECC를 설계하는 경우, 한가지 지표만을 개선시키는 것으로는 불충분하다. 즉, 부호의 정정 능력 개선이나 저전력 설계 외에 NAND flash 메모리 자체의 특성, 구현될 컨트롤러(controller) 그리고 이를 동작시키는 소프트웨어의 운용 정책 등이 함께 고려되어서, <그림 5>와 같이 같이 부호 이득 외에 시스템 평가 지표인 성능(throughput, latency), 칩 크기, firmware 특성 등이 함께 개선되어야 한다. 그러나 이러한 요소들은 대부분 상호절충(trade-off) 관계에 있기 때문에 이들을 최적화하는 것이 요구된다.

부호의 길이를 증가시키고자 할 경우 발생하는 제약 사항들을 살펴보자. 부호의 길이가 길어질수록 부호 이득이 증가되는 것은 잘 알려진 사실이다. 그러나 대부분의 시스템에서는 NAND의 페이지 크기보다 작은 길이를 가지는 부호들이 적용된다. 그 이유는 여러 페이지에 걸쳐져 있는 정보를 부호화하면 복호를 하기 위해서 여러 페이지를 모두 읽어야 하므로 해당 동작의 처리 시간이 많이 소요되어 읽기 성능이 저하될 수 있다. 특히 이러한 구성은 임의 읽기(random read) 성능의 심각한 저하를 발생시킬 수 있다. 이와 동일한 이유로 여러 페이지 비트들을 모아서 하나의 심볼로 매핑 되는 비이진 부호를 사용하거나 부호화 변조 기법을 사용하면 해당 워드 라인의 모든 페이지를 읽어야 하므로 처리 시간의 증가를 가져올 수 있다. 그리고 대체적으로 부호 길이가 길어질수록 입력 및 출력 메모리,

로직 장치가 증가하여 하드웨어 복잡도 및 소모 전력을 증가시킨다. 이와 같이, 데이터 저장 장치에 적용하기 위한 ECC 설계는 부호 설계와 함께 시스템 관점에서 목표를 설정하고 이를 최적화할 수 있는 설계 기법을 연구하는 것을 필요로 한다.

## IV. 결론

현재까지, NAND flash 메모리를 사용하는 데이터 저장 장치의 성능과 신뢰성 향상을 위한 많은 ECC 알고리즘들이 연구되고 제품에 적용되었다. 데이터 저장 장치의 신뢰성과 성능 등을 지속적으로 향상시키기 위해서는 부호 자체의 한계 및 시스템 관점에서의 한계 극복을 통해서 신뢰성, 처리 속도 개선, 저전력 구현, 그리고 설계 비용 감소를 달성하는 것이 필요하다. ECC 알고리즘과 이를 구현하기 위한 하드웨어 구조, 그리고 이를 운영하는 소프트웨어를 종합적으로 고려하여야 기존의 한계를 넘을 수 있을 것이다.

## 참고 문헌

- [1] K. Prall, "Scaling Nonvolatile Memory Below 30nm," in Tech. Dig. Nonvolatile Semiconductor Memory Workshop, pp. 5-10, 2007.
- [2] C. Trinh, N. Shibata, T. Nakano, M. Ogawa, J. Sato, Y. Takeyama et al., "A 5.6MB/s 64Gb 4b/cell NAND Flash Memory in 43nm CMOS," ISSCC Dig. Tech. Papers, pp. 245-246, Feb. 2009.
- [3] Online: <http://www.samsung.com/global/business/semiconductor/product/flash-solution>.
- [4] K.-D. Suh et al., "A 3.3 V 32 Mb NAND Flash Memory with Incremental Step Pulse Programming Scheme," IEEE Journal of Solid-State Circuits, vol. 30, no. 11, pp. 1149-1156, Nov. 1995.
- [5] G. Dong, N. Xie, and T. Zhang, "On the Use of Soft-Decision Error-Correction Codes in NAND Flash Memory," IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 58, no. 2, pp. 429-439, Feb. 2011.
- [6] G. Dong and T. Zhang, "Estimating Information-Theoretical NAND Flash Memory Storage Capacity and Its Implication to Memory System Design Space Exploration," IEEE Transactions on Very Large Scale Integration Systems, vol. 20, no. 9, Sept. 2012.
- [7] D.-H Lee, J. Kim, and W. Sung, "Optimum Quantization for Signal Processing and Error Correction in NAND Flash Memory," International Symposium on Signals, Circuits and System, 2013.
- [8] N. Mielke, T. Marquart, W. Ning, J. Kessenich, H. Belgal, E. Schares, F. Trivedi, E. Goodness, and L. R. Nevill, "Bit Error Rate in NAND Flash Memories", IEEE International Symposium on Reliability Physics, 2008.
- [9] S. Lin and D. J. Costello, Error Control Coding, 2nd edition, Pearson Prentice Hall.
- [10] K. Lee, S. Lim, and J. Kim, "Low-Cost, Low-Power and High-Throughput BCH Decoder for NAND Flash Memory," IEEE International Symposium on Circuits and Systems, 2012.
- [11] Y.-M. Lin, C.-H. Yang, C.-H. Hsu et al., "A MPCN-Based Parallel Architecture in BCH Decoders for NAND Flash Memory Devices," IEEE Transactions on Circuits and Systems II: Express Briefs, vol. 60, no. 10, Oct. 2011.
- [12] Micheloni et al., "A 4Gb 2b/cell NAND Flash Memory with Embedded 5b BCH ECC for 36MB/s System Read Throughput," IEEE International Solid-State Circuits Conference, 2006.
- [13] S. Cho and J. Ha, "Concatenated BCH Codes for NAND Flash Memories," IEEE International Conference on Communications, 2012.
- [14] J. Cho and W. Sung, "Soft-Decision Error Correction of NAND Flash Memory with a Turbo Product Code," Journal of Signal Processing Systems, vol. 70, no. 2, pp. 235-247, Feb. 2013.
- [15] Pyndiah, "Near-Optimum Decoding of Product Codes: Block Turbo Codes," IEEE Transactions on Communications, vol. 46, no. 8, pp. 1003-1010, Aug. 1998.
- [16] R. Gallager, "Low-density parity check codes," IRE Transactions Information Theory, pp. 212-28, Jan. 1962.
- [17] J. Wang, G. Dong, T. Zhang, and R. Wesel, "Use

- Mutual-Information Optimized Quantization in LDPC decoding for Flash Memory,” Annual Non-Volatile Memories Workshop, 2012.
- [18] K. Zhao, W. Zhao, H. Sun, T. Zhang, X. Zhang, and N. Zheng, “LDPC-in-SSD: Making Advanced Error Correction Codes Work Effectively in Solid State Drives,” USENIX Conference on File and Storage Technologies, 2013.
- [19] S. Planjery, D. Declercq, L. Danjean, and B. Vasic, “Finite Alphabet Iterative Decoders – Part I: Decoding Beyond Belief Propagation on the Binary Symmetric Channel,” *IEEE Transactions on Communications*, vol. 61, no. 10, Oct. 2013.
- [20] K. Haymaker and C.A. Kelley, “Structured Bit-Interleaved LDPC Codes for MLC Flash Memory,” *IEEE Journal on Selected Areas in Communications*, vol. 32, no. 5, pp. 870–879, May 2014.
- [21] 설창규, 유영진, 손홍락, 공준진, “A Novel Coded Modulation Scheme for Reliability Improvement of NAND Flash Memory System,” 한국반도체 학술 대회, Feb. 2012.
- [22] S. Li and T. Zhang, “Improving Multi-Level NAND Flash Memory Storage Reliability Using Concatenated BCH-TCM Coding,” *IEEE Transactions on Very Large Scale Integration Systems*, vol. 18, no. 10, pp. 1412–1420, Oct. 2010.
- [23] J. Oh, J. Ha, J. Moon, and G. Ungerboeck, “RS-Enhanced TCM for Multilevel Flash Memories,” *IEEE Transactions on Communications*, vol. 61, no. 5, pp. 1674–1683, May 2013.
- [24] Q. Xu et al., “Concatenated LDPC-TCM coding for Reliable Storage in Multi-Level Flash Memories,” *International Symposium on Communication Systems, Networks & Digital Signal Processing*, 2014.
- [25] R. L. Rivest and A. Shamir, “How to Reuse a Write-Once Memory,” in *Information and Control*, vol. 55, pp. 1–19, 1982.
- [26] F. Fu and A. J. H. Vinck, “On the Capacity of Generalized Write-Once Memory with State Transitions Described by an Arbitrary Directed Acyclic Graph,” in *IEEE Transactions on Information Theory*, vol. 45, no. 1, pp. 308–313, Jan. 1999.
- [27] A. Jiang, V. Bohossian and J. Bruck, “Floating Codes for Joint Information Storage in Write Asymmetric Memories,” *IEEE International Symposium on Information Theory*, 2007.
- [28] V. Bohossian, A. Jiang and J. Bruck, “Buffer Coding for Asymmetric Multi-Level Memory,” *IEEE International Symposium on Information Theory*, 2007.
- [29] E. Yaakobi, P. H. Siegel, A. Vardy, and J. K. Wolf, “Multiple Error-Correcting WOM-Codes,” *IEEE Transactions on Information Theory*, vol. 58, no. 4, pp. 2220–2230, April 2011.
- [30] A. Jiang, Y. Li, E.E Gad, M. Langberg, and J. Bruck, “Joint Rewriting and Error Correction in Write-Once Memories,” *IEEE International Symposium on Information Theory*, 2013.
- [31] A. Jiang, R. Mateescu, M. Schwartz and J. Bruck, “Rank Modulation for Flash Memories,” *IEEE International Symposium on Information Theory*, 2008.
- [32] I. Tamo and M. Schwartz, “Correcting Limited-Magnitude Errors in the Rank-Modulation Scheme,” *IEEE Transactions on Information Theory*, vol. 56, no. 6, pp. 2551–2560, June 2010.
- [33] J. Kang, Q. Huang, S. Lin, and K. Abdel-Ghaffar, “An Iterative Decoding Algorithm with Backtracking to Lower the Error Floors of LDPC Codes,” *IEEE Transactions on Communications*, vol. 59, no. 1, pp. 64–73, Jan. 2011.

## 약 력



이 기 준

2002년 홍익대학교 공학사  
2004년 홍익대학교 공학석사  
2009년 홍익대학교 공학박사  
2009년~현재 삼성전자 메모리사업부  
관심분야: 메모리, 디지털통신, 오류정정부호,  
LDPC부호, 반복복호



이 명 규

2005년 부산대학교 공학사  
2007년 포항공과대학교 공학석사  
2011년 포항공과대학교 공학박사  
2011년~현재 삼성전자 메모리사업부  
관심분야: 메모리, 디지털통신, 오류정정부호,  
LDPC부호, 반복복호



신 범 규

1999년 서울대학교 공학사  
2006년 서울대학교 공학석사  
2010년 서울대학교 공학박사  
1999년~2002년 (주) 로커스 연구원  
2002년~2003년 (주) 휴맥스 전임 연구원  
2010년~현재 삼성전자 메모리사업부  
관심분야: 메모리, 디지털통신, 오류정정부호,  
LDPC부호, 반복복호



공 준 진

1986년 한양대학교 공학사  
1988년 한양대학교 공학석사  
2005년 미네소타주립대학교 공학박사  
1989년~2009년 삼성 종합기술원, 삼성전자  
기술총괄/메모리사업부  
2009년~현재 삼성전자 메모리사업부 Master  
관심분야: Channel Signal Processing,  
오류정정부호, VLSI DSP