

논문 2015-10-18

사물인터넷을 위한 새로운 임베디드 메모리 시스템

(New Embedded Memory System for IoT)

이 정 훈*
(Jung-Hoon Lee)

Abstract : Recently, an embedded flash memory has been widely used for the Internet of Things(IoT). Due to its nonvolatility, economical feasibility, stability, low power usage, and fast speed. With respect to power consumption, the embedded memory system must consider the most significant design factor. The objective of this research is to design high performance and low power NAND flash memory architecture including a dual buffer as a replacement for NOR flash. Simulation shows that the proposed NAND flash system can achieve better performance than a conventional NOR flash memory. Furthermore, the average memory access time of the proposed system is better than that of other buffer systems with three times more space. The use of a small buffer results in a significant reduction in power consumption.

Keywords : NOR and NAND flash memory, XiP(execute-in-place), Buffer system, Embedded memory platform

1. 서 론

일반적으로 사물인터넷(IoT) 플랫폼에서 외부 메모리 사용은 높은 소비전력, 비용적인 측면, 그리고 면적측면에서 매우 불리한 형태를 가질 수 있다. 2014년 인텔은 사물인터넷 기반의 Soc용 MCU인 X1000을 발표하면서 전력 사용적인 측면에서 DRAM 인터페이스가 가장 많은 전력을 소비한다고 발표하였다 [1]. 그러므로 X1000은 외장 DRAM를 사용하지 않고 플래시 메모리 및 SRAM를 MCU화하여 소비전력 및 성능을 높이고자 하였다.

기존의 사물인터넷 플랫폼은 일반적으로 NOR 플래시 메모리를 많이 사용한다 [2, 3]. NOR 플래시 메모리는 바이트 단위의 접근이 가능하고 읽기 속도가 매우 빠르며, 다른 메모리(예로 DRAM)의 사용 없이 수행 가능한 XiP(Execute in Place)

*Corresponding Author(leejh@gnsu.ac.kr)

Received: 6 Mar. 2015, Revised: 20 May 2015,

Accepted: 22 May 2015.

J.-H. Lee: GyeongSang National University(ERI)

※ 이 논문은 2014년도 정부(교육부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업임(No. NRF-2014R1A1A4A01008504).

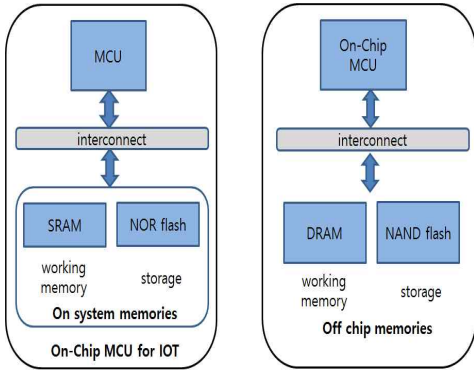
메모리이기 때문이다 [4].

최근 연구 방향은 NOR 플래시와 DRAM 또는 SRAM를 사용하여 온칩 MCU로 SOC화하여 사물인터넷에 활용하고자 하는 추세이다. 이러한 저장매체를 MCU에 통합하는 이유는 비용에 민감한 사물인터넷 관점에서 비용 절감 효과가 크기 때문이다 [5].

그러나 DRAM을 온칩 MCU로 설계할 경우 데이터를 읽은 후 다시 기록하는 전력과 주기적인 재충전 등으로 전력적인 측면에서 매우 불리하다. 따라서 NOR 플래시와 SRAM을 MCU화하여 사물인터넷의 최적 플랫폼으로 활용하고 있다. 그러나 NOR 플래시 메모리는 NAND 플래시에 비해 비용이 30~40% 높고, 높은 소비전력과 낮은 집적도, 그리고 쓰기 속도가 매우 낮은 단점을 가진다 [6].

기존의 사물인터넷 기반의 저장 플랫폼에서는 저장 및 실행 용도로써 NOR 플래시와 SRAM 메모리를 활용하고 있다. 또한 NOR 플래시 대신에 값싼 NAND 플래시를 XiP 기반의 저장매체로 활용하기 위해서 DRAM 메모리를 오프칩에 추가하여 설계되고 있다 [7]. 이는 NAND 플래시 메모리의 경우 바이트 접근이 불가능하고 페이지 단위의 접근만 가능하기 때문이다.

이에 본 논문에서는 NAND 플래시의 단점을 극



(a) 임베디드 메모리만 사용
(a) Use of embedded memory only

(b) 외부 메모리 확장
(b) Expand into the external memory

그림 1. 사물인터넷 응용군에 따른 저장매체 플랫폼
Fig. 1 Storage platform for Iot application

복하기 위하여 새로운 SRAM 버퍼 구조를 설계하고, NAND 플래시 내부의 읽기/쓰기 레지스터를 활용하여 XiP에 적용 가능한 새로운 형태의 저장 플랫폼을 제안하고자 한다. NAND 플래시와 작은 크기의 SRAM를 이용하여 NOR 플래시의 장점인 읽기 속도를 보장하면서도 XiP가 가능한 형태의 저장 플랫폼을 설계하는 것이 본 연구의 목적이다.

II. 관련 연구

최근에 발표된 인텔의 사물인터넷 플랫폼인 초소형 모듈 퀴리(Curie)를 살펴보면, 소비전력을 낮추기 위하여 외부 메모리를 사용하지 않고 임베디드용 MCU 내부에 384KB의 NOR 플래시와 80KB의 SRAM를 내장하는 형태를 띠고 있다 [1]. 즉 센서와 통신 외에 모든 것이 MCU에 집적된 형태이다. 이러한 형태는 사물인터넷에 적합한 형태로 저전력에 용이하고 소형화가 가능한 장점을 가지지만 메모리 용량이 한정되는 제약을 가진다.

ARM 계열에서도 최근 ARM Techcon'13 컨퍼런스에서 사물인터넷 기반의 MCU인 KL03을 발표하였다 [8]. 초소형화와 소비전력을 낮추기 위하여 저장매체로 32KB NOR 플래시에 8KB 롬과 2KB SRAM을 갖추고 있으며, 대기 모드 상태에서 1uA의 전류밖에 소비되지 않는 특성을 보인다.

사물인터넷 환경에서 응용군에 따라 그림 1과 같이 저장 매체 플랫폼을 구성할 수 있다. 그림 1은

사물인터넷 기반의 대표적인 MCU 플랫폼으로 (a)는 소비전력과 소형화를 위한 플랫폼으로 저장 매체를 온칩화하여 MCU를 설계하는 방법이며, (b)는 저장 매체를 확장하여 고성능 사물인터넷에 대비한 플랫폼 형태이다.

웨어러블과 사물인터넷 응용군에 따라 그림 1과 같이 저장 매체 플랫폼을 구성할 수 있다. 그림 1은 IOT 기반의 대표적인 MCU 플랫폼으로 (a)는 소비전력과 소형화를 위한 플랫폼으로 저장 매체를 온칩화하여 MCU를 설계하는 방법이며, (b)는 저장 매체를 확장하여 고성능 IoT에 대비한 플랫폼 형태이다. 그러나 사물인터넷 플랫폼에서 고비용의 NOR 플래시를 사용하는 이유는 특정 응용프로그램을 구동할 경우 높은 성능을 보장하고 DRAM 메모리의 사용 없이 XiP가 가능하기 때문이다. 그러나 전력적인 측면에서 매우 비효율적이며, 면적 및 비용 면에서도 많은 단점을 내포하고 있다.

이러한 NOR 플래시의 단점을 극복하고자 NAND 플래시를 이용하여 NOR 플래시를 대용하고자 하는 연구가 활발히 진행되고 있다.

Park [9]이 제안한 플래시 패키지 시스템은 NOR 플래시에서 담당하던 명령어 부분을 SRAM과 NAND 플래시 메모리만을 사용하여 실시간 응용 프로그램을 원활히 수행하기 위한 연구로써, NOR 플래시 메모리를 제거시킨 저비용의 플래시 메모리 패키지를 구현하였다. 이 플래시 패키지는 NAND 플래시와 Juppi's 희생 캐쉬 (victim cache) [10] 그리고 SDRAM으로 구성된다. 이 기법의 핵심은 미리 프로파일링으로 참조 패턴을 분석한 후 NAND 플래시의 페이지 여유 공간(spare area)에 참조 패턴에 대한 정보를 저장하여 이후 읽기 동작으로 실행시 희생 캐쉬와 SDRAM에 선택적으로 저장하게 된다. 이러한 방법으로 NAND 플래시 메모리의 접근 및 읽기 속도를 줄임으로써 성능향상을 이루었다. 하지만 소비전력이 높고 상대적으로 면적 및 비용이 높은 대용량의 SRAM과 DRAM을 모두 사용하는 단점을 보이고 있다.

Lee [11]는 그림자(shadowing) 기법과 요구 페이지징(demand paging) 알고리즘을 적용하여 NOR 플래시 대용으로 NAND 플래시를 실시간 임베디드 시스템에 적용하고자 하였다. 이 연구 역시 SRAM과 DRAM 그리고 NAND 플래시 메모리를 코드 및 데이터로 분리하여 저장 및 수행을 하지만, 버퍼 블록을 단일 페이지 크기로만 이용함에 따라 대용량의 SRAM과 DRAM을 사용해야하고 분기 명령어 대해 치명적 단점을 보이고 있다 [11].

Huang [12] 역시 버퍼 시스템을 이용하여 NAND 플래시의 성능 향상을 위한 연구를 수행하였다. 이 연구는 기존의 읽기/쓰기 버퍼를 읽기 전용과 쓰기 전용으로 나누어 읽기/쓰기 버퍼의 오염을 줄임으로써 성능 향상 및 낮은 소비전력을 이루었다. 하지만 읽기 버퍼를 위해 큰 용량의 직접사상 버퍼를 사용하였다.

위에 설명된 연구 방법들은 모두 XiP를 보장하기 위하여 NOR 대응의 NAND 플래시에 관한 연구지만 작은 메모리를 사용해야하는 사물인터넷 기반의 NAND 플래시 시스템 구조가 아니라 대용량의 CPU 저장매체에 관한 연구로써 작은 NAND 플래시와 작은 용량의 SRAM를 이용하여 NOR 플래시를 대응하고자 하는 본 연구와는 많은 차이점을 보인다. 그러므로 DRAM을 제거하고 작은 용량의 버퍼만을 사용하면서도 고성능을 보장하기 위해서는 새로운 메모리 아키텍처 및 구동 알고리즘이 요구된다.

III. 사물인터넷 기반의 저장 매체 시스템

이 연구에서 우리의 주목표는 사물인터넷 환경에서 저전력/저비용 MCU 설계를 위한 NOR 대응의 NAND 플래시 시스템을 설계하기 위하여 단순한 구조와 작은 용량의 버퍼로 XiP를 지원하는 저장매체 시스템을 개발하는데 그 목적이 있다.

NAND 플래시에서 전체 시스템의 빠른 접근 시간을 보장하기 위해서는 플래시의 접근 자체를 줄여야한다. 특히, 빈번한 무작위 읽기 명령과 쓰기 명령은 높은 전력 소비와 긴 실행 시간을 초래한다.

기존의 NAND 플래시 구조는 하나의 쓰기/읽기 페이지 레지스터와 셀로 구성되어진다. 이러한 기본적인 NAND 플래시 구조에 XiP를 지원하기 위한 버퍼를 이용한다. 그러나 단일 버퍼 구조로써는 사물인터넷 환경에서 사용될 다양한 응용군에서 성능을 보장하기가 어렵다. 이러한 단점을 극복하기 위해 이중 버퍼 구조를 채택하였고, 두 버퍼사이에는 메모리의 가장 큰 특성인 시간적 지역성(temporal locality)을 활용하여 성능을 높이고자 하였다.

NAND 플래시와 이중 버퍼를 통합하고 구동시키는 알고리즘과 구조에 대해서 자세히 설명한다. 그림 2는 제안된 이중 버퍼를 가지는 NAND 플래시 시스템 구조이다.

제안된 이중 버퍼를 가진 플래시 시스템 구조는 시간적 지역성을 가지는 버퍼(시간적 버퍼)와 XiP를

위한 버퍼(XiP 버퍼)로 나누어진다. NAND 플래시

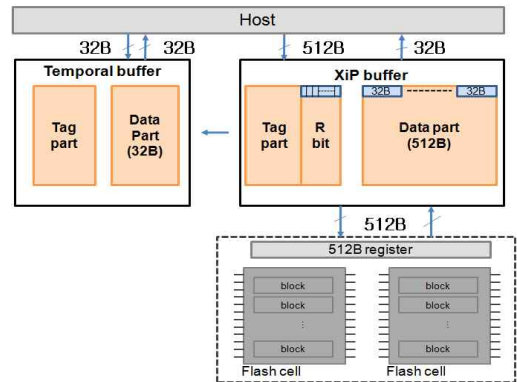


그림 2. IOT 의한 제안된 NAND 플래시 플랫폼
Fig. 2 Proposed NAND flash platform for IoT

는 일반 상용 플래시 메모리와 동일하다. 즉 플래시 셀과 하나의 512 바이트 읽기/쓰기 레지스터로 이루어져 있다. 시간적 버퍼 구조는 MCU 내의 내장 L1 캐쉬 블록 크기와 동일한 32바이트 블록 크기와 동일하며, XiP 버퍼는 하나의 페이지 크기인 512 바이트 블록을 지원하는 버퍼로 구성되어진다. 하나의 512B 엔트리는 16개의 연속적인 32B 작은 블록으로 구성되며, 각각의 작은 블록(32B)에 해당하는 하나의 비트인 참조비트(R bit)가 추가로 구성된다. 참조비트의 역할은 512B 블록 내에서 MCU의 참조에 의한 페치 블록(32B 캐쉬 블록)을 나타내고 있다.

하나의 512B 블록내에 16개의 연속적인 32B 작은 블록들 중 참조비트가 1인 블록들만 선택적으로 시간적 버퍼에 이동시킴에 따라 시간적 지역성의 특성을 반영할 수 있다. 시간적 버퍼와 XiP 버퍼의 구조는 전형적인 완전연관 구조와 동일하다. 완전연관 버퍼는 다른 버퍼 구조에 비해 소비전력이 다소 높다는 단점을 가지지만, 제안된 버퍼 크기가 매우 작은 용량임으로 큰 차이는 발생하지 않았다. 제한된 버퍼 시스템에 대한 동작 원리는 다음과 같다.

1) 간접 버퍼 혹은 XiP 버퍼에서 접근 성공일 경우

MCU가 플래시 메모리를 접근하기 전에 먼저 시간적 버퍼의 접근이 일어난다. 시간적 버퍼 상에서 적중(hit)은 일반 L2 캐쉬 적중과 동일한 방식으로 구동된다. 즉 요청된 32B 블록은 MCU의 L1 캐쉬로 올려놓게 된다. 만약 시간적 버퍼로부터 접근 실패

패가 발생했을 경우 다음 사이클에 XiP 버퍼로 접근이 이루어진다. XiP 버퍼로부터 접근 성공이 발생했을 경우, 요청된 512B 블록 내에 해당하는 32B 블록은 참조되어진 블록임을 나타내기 위하여 16개의 참조비트들 중 해당하는 참조비트(R bit)에 '1'을 세팅함과 동시에 해당 32B 블록이 MCU 캐쉬로 업데이트되어진다. 성능을 위하여 두 개의 버퍼를 동시에 접근하는 것이 효과적이거나 소비전력적인 측면에서 순차적으로 접근하는 방식을 채택하였다.

2) 두 버퍼 모두 접근 실패일 경우

시간적 버퍼와 XiP 버퍼 모두 접근 실패가 발생할 경우 NAND 플래시 셀로부터 512바이트 읽기/쓰기 레지스터로 하나의 페이지가 업데이트된다. 이렇게 로드된 페이지는 XiP 버퍼의 한 엔트리로 업데이트되어짐과 동시에 MCU 요청에 해당하는 32B 작은 블록에 해당하는 참조비트는 '1'로 세팅되고, 요청한 32B는 MCU의 캐쉬로 로드되어진다.

여기서 만약 XiP 버퍼에 공간이 없을 경우 하나의 엔트리가 추출되어야한다. 대체 알고리즘(replacement algorithm)은 완전연관 버퍼(fully associative buffer)에서 가장 많이 사용되는 FIFO(first in first out) 알고리즘을 적용하였다. 그러므로 가장 오래된 하나의 엔트리가 대체되어지고 새로운 페이지가 로드되어진다. 이때 대체되어지는 블록내의 16개 참조비트를 확인하여 '1'로 세팅되어진 작은 블록들은 시간적 버퍼로 옮기게 된다. 이러한 동작은 참조비트가 '1'로 세팅되어진 작은 블록들은 최근에 참조가 일어난 블록들로 시간적 지역성이 높다고 볼 수 있다.

쓰기 동작의 경우 시간적 버퍼의 접근 없이 바로 XiP 버퍼를 검색하여 적중이면 XiP 버퍼에 저장하고 실패인 경우 플래시 메모리에 저장하게 된다. XiP에서 적중이란 플래시 메모리에 저장되어진 데이터가 읽기 동작으로 XiP 버퍼로 로드되어진 상태

이기 때문에 해당 블록에 대한 쓰기 동작은 XiP 버퍼에서 수행되며, 수정비트(dirty bit)를 이용하여 해당 블록에 쓰기 동작이 이루어졌음을 나타내고 있다. 이후 버퍼 공간이 없어 대체되어질 때 태그 부분의 수정비트를 확인하여 플래시 메모리로 최종 쓰기 동작이 일어난다. 그러므로 XiP 버퍼는 읽기 버퍼뿐만 아니라 쓰기 버퍼의 역할도 함께 수행함으로써 동일 페이지에 잦은 쓰기 동작을 줄이는데도 효과적으로 이용될 수 있다.

IV. 시뮬레이션을 통한 성능평가

이 장에서는 시뮬레이션 환경 및 성능 평가에 대해 자세히 설명한다. 사용된 벤치마크는 멀티미디어 응용을 대표하는 미디어벤치마크 [13]에서 성능 평가를 수행하였다. 이 벤치마크들의 트레이스를 생성하기 위해 SimpleScalar3.0 [14]을 사용하여 각각 1억 개의 명령을 수행하는 동안 참조 주소를 모니터링하여 사용하였다. 기본 시뮬레이션 환경 변수는 표 1과 같다.

1. 제안된 플래시 시스템 성능평가

메모리 시스템의 대표적인 성능 평가 지표인 접근 실패율(miss ratio)과 평균 메모리 접근 시간(average memory access time)이 제안된 플래시 시스템과 다른 버퍼시스템을 가진 플래시 구조 방식들을 비교, 측정하기 위해서 사용되었다. 접근 실패율은 버퍼 시스템에서 일치하는 블록이 없어 플래시 메모리 접근 비율을 의미한다. 평균 메모리 접근 시간은 메모리 모듈의 접근 시작으로부터 요청한 데이터가 MCU 캐쉬에 도착할 때까지 지연된 시간을 의미한다.

플래시 메모리 시스템에서 버퍼 크기는 접근 실패율을 결정하는 중요한 요소이다. 그러므로 이러한 버퍼 크기는 실제 설계 시 중요한 변수로써 작용되어진다. 그러나 비용 및 소비전력 역시 중요한 디자인 변수이다.

시뮬레이션에서 제안된 구조의 버퍼 크기는 32B 블록 크기를 갖는 1KB 시간적 버퍼와 512B 블록 크기를 갖는 4KB XiP 버퍼를 사용하였다. 이는 최소한의 버퍼 사양으로써 공간적/시간적 지역성을 효과적으로 이용하기 위하여 최소 XiP버퍼의 경우 8개 이상의 엔트리가 필요하며, 시간적 버퍼의 경우 32개 이상은 되어야 성능 효과를 극대화 할 수 있었다.

표 1. 시뮬레이션 변수들 [15]
Table 1. Simulation Parameters

System Parameters	Value	
	NAND	NOR
MCU clock	200MHz	200MHz
Random read time	50 μ s	100ns
Program time	25 μ s/256B	700 μ s/256B
Erase time	2ms/Block	30ms/4KB
Cell size MLC	5F ²	6~8F ²
Buffer access time	25ns	

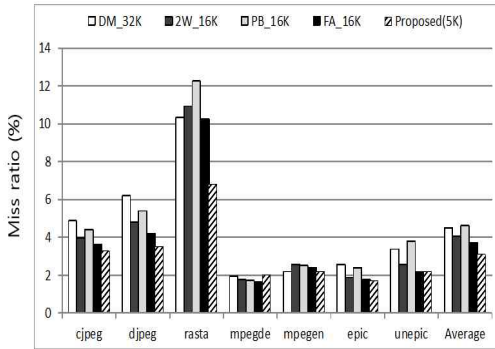


그림 3. 다양한 버퍼시스템을 위한 접근실패율
Fig. 3 Miss ratio for various buffer system

성능 비교를 위하여 Park's 버퍼시스템(PB)의 경우 희생 버퍼 1KB와 SRAM 버퍼를 16KB로 크기로 비교하였으며, 대표적인 버퍼 구조인 32KB 직접사상 버퍼(DM_32K), 16KB를 가지는 4-way 연관 버퍼(4W_16K)와 완전 연관버퍼 (FA_16K)를 내장한 NAND 플래시 시스템과 NOR 플래시를 성능 평가 하였다. 이러한 버퍼의 크기는 제안된 버퍼 5KB에 비해 세배 이상의 버퍼 크기라 할 수 있다.

2. 접근 실패율과 평균 메모리 접근 시간

그림 3은 제안된 버퍼시스템과 기존의 상용화된 버퍼를 NAND 플래시에 내장시켜 접근 실패율을 나타낸 그림이다. 그림 3에서 보듯이 제안된 플래시 시스템의 접근 실패율은 다양한 버퍼 시스템에 비해 평균 30% 이상의 감소율을 보였다. 이는 제안된 버퍼 시스템이 다른 버퍼 시스템에 비해 약 30%의 플래시 메모리 접근을 줄일 수 있다는 의미이다. 이러한 플래시 메모리의 접근 감소는 소비전력 효과를 기대할 수 있다.

또 다른 성능 평가 지표는 평균 메모리 접근 시간(average memory access time)이다.

그림 4는 다양한 버퍼 시스템을 내장한 NAND 플래시를 NOR 플래시에 대하여 정규화(normalization)하여 NOR 플래시에 비해 평균 메모리 접근 시간의 비교를 나타낸 것이다. 즉 NOR 플래시 메모리를 100%로 하여 다양한 버퍼시스템을 가진 NAND 플래시를 정규화 하였다.시뮬레이션 결과에 따르면 대부분의 버퍼 시스템이 'rasta'을 제외하고는 NOR 플래시보다 우수한 성능을 보이고 있다. 이는 SRAM 버퍼에서 많은 접근 성공률을 보이기 때문이다.

제안된 플래시의 버퍼 시스템은 소비전력 효과

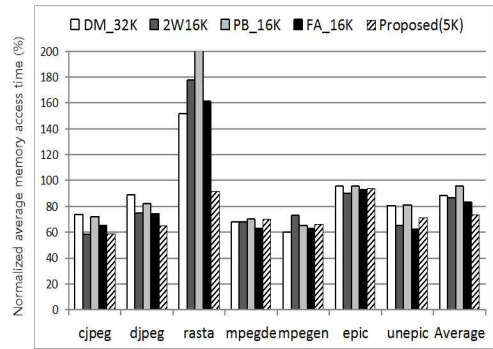


그림 4. NOR 플래시 메모리에 비해 정규화된 다양한 버퍼시스템의 평균메모리 접근 시간
Fig. 4 Normalized average memory access time of various buffer system compared to NOR flash

를 높이기 위하여 시간적 버퍼의 적중 실패가 발생하면 다시 XiP 버퍼를 접근하기 때문에 접근 실패율에 비해 다소 떨어지는 경향을 보이고 있으나 평균적으로 NOR 플래시에 비해 성능이 우수함을 알 수 있다. 결론적으로 NOR 플래시에 비해 제안된 NAND 플래시 시스템이 약 25%의 성능향상을 보이고 있음을 알 수 있다.

V. 결 론

본 논문에서는 사물인터넷 환경에서 저전력과 저비용의 MCU를 설계함에 있어서 임베디드 저장매체로 NOR 플래시 대응으로 새로운 NAND 플래시 시스템 구조를 제안하였다.

NAND 플래시 메모리에서 XiP 기능을 지원하기 위하여 플래시 페이지와 동일한 블록을 가지는 XiP 버퍼와 시간적 지역성을 이용하기 위하여 MCU의 캐쉬 메모리와 동일한 블록의 시간적 버퍼를 이용하여 플래시 메모리의 접근을 줄임으로써 성능향상을 이루었다. 또한 쓰기(프로그래밍) 동작의 경우 XiP 버퍼를 통하여 많은 감소 효과를 얻을 수 있었다. 이러한 쓰기 동작의 감소 효과는 플래시 수명과도 관계가 높은 요인이다. 또한 시간적 지역성의 효과를 높이기 위하여 한번 참조가 일어난 작은 블록들만 선택적으로 시간적 버퍼에 저장함으로써 작은 버퍼 사이즈로 높은 성능 향상을 얻을 수 있었다.

시뮬레이션 결과 제안된 버퍼 시스템은 기존의 다양한 버퍼 시스템에 비해 미디어 벤치마크에서 약 30% 이상의 플래시 접근을 줄일 수 있었다. 그

리고 메모리 접근 시간 역시 기존의 NOR 플래시 메모리에 비해 약 25%의 낮은 평균 메모리 접근 시간을 가지는 것을 확인할 수 있었다. 결론적으로 제안된 NAND 플래시 시스템은 NOR 플래시 대응으로 사물인터넷 환경의 MCU 설계에 저전력과 고성능을 모두 보장할 수 있는 구조라 할 수 있다.

References

- [1] http://download.intel.com/newsroom/kits/ces/2015/pdfs/Intel_CURIE_Module_Factsheet.pdf
- [2] H. Sian, "Rethinking memory design for IoT and wearables," EE Times-Asia, 2014.
- [3] Micron Technology, "Memory Solutions for the Internet of Things (IoT) Convergence," 2014, Internet access http://www.arrowglobalvillage.fi/media/arrow_micron-iot-convergence-emea-may-2014-rev1.pdf
- [4] T. Benavides, J. Treon, J. Hulbert, W. Chang, "The Enabling of an Execute-In-Place Architecture to Reduce the Embedded System Memory Footprint and Boot Time," Journal of Computers, Vol. 3, No. 1, pp. 79-89, 2008.
- [5] S. Park, J. Park, S. Kim, "Short-Random Request Absorbing Structure with Volatile DRAM Buffer and Nonvolatile NAND Flash Memory," Proceedings the 3rd WSEAS International Conference on Computer Engineering and Applications, pp. 257-262, 2009.
- [6] Toshiba, "NAND vs. NOR Flash Memory Technology Overview," Internet access http://umcs.maine.edu/~cmeadow/courses/cos335/Toshiba%20NAND_vs_NOR_Flash_Memory_Technology_Overviewt.pdf.
- [7] J. Zhao, H. Wu, Y. Zhao, W. Liu, "CCM: Low cost dynamic data exchange to emulate RAM on NAND flash," Proceedings of 20th Embedded and Real-Time Computing Systems and Applications, pp. 1-9, 2014.
- [8] http://cache.freescale.com/files/microcontrollers/doc/fact_sheet/KINETISK03CSPFS.pdf
- [9] C. Park, J. Seo, S. Bae, H. Kim, S. Kim, B. Kim, "A low-cost memory architecture with NAND XIP for mobile embedded systems," Proceedings of the 1st IEEE/ACM/IFIP International Conference on Hardware/software codesign and system synthesis, pp. 138-143, 2003.
- [10] N.P. Jouppi, "Improving Direct-Mapped Cache Performance by the Addition of a Small Fully Associative Cache and Prefetch Buffers," Proceedings of the 17th Annual International Symposium on Computer Architecture, pp. 364-373, 1990.
- [11] Y.H. Lee, S.S. Lim, "Worst Case Response Time Analysis for Demand Paging on Flash Memory," Journal of the Korea Society of Computer and Information, Vol. 12, No. 6, pp. 113-123, 2006 (in Korea).
- [12] W.T. Huang, C.T. Chen, C.H. Chen, C.C. Chen, "Energy-Efficient Buffer Architecture of Flash Memory," Proceedings of International Conference on Multimedia and Ubiquitous Engineering, pp. 543-546, 2008.
- [13] <http://euler.slu.edu/~fritts/mediabench/>
- [14] D. Burger, T. Austin, "The SimpleScalar tool set, version 3.0," University of Wisconsin-Madison, 2011.
- [15] H. Nazarian, "Storage Systems Incorporating RRAM Technology," Proceedings of Flash Memory Summit, pp. 1-16, 2013.

Jung-Hoon Lee (이정훈)



He received the M.S. and Ph.D. degree in Computer Science from Yonsei University, Seoul, Korea, in 2001 and 2004, respectively. He is currently an associate professor in ERI, Control Instrumentation Engineering, GyeongSang National University. His research interests include advanced computer architectures, intelligent memory system, next flash memory, and low power technologies.

Email: leejh@gsnu.ac.kr