

# SCR 기반 양방향성 ESD보호회로의 설계 변수 변화에 따른 전기적 특성의 관한 연구

## A Study on the Electrical Characteristic of SCR-based Dual-Directional ESD Protection Circuit According to Change of Design Parameters

김 현 영\*, 이 충 광\*, 남 중 호\*, 곽 재 창\*\*\*, 구 용 서\*  
Hyun-Young Kim\*, Chung-Kwang Lee\*, Jong-Ho Nam\*,  
Jae-Chang Kwak\*\*\*, Yong-Seo Koo\*

### Abstract

In this paper, we proposed a dual-directional SCR (silicon-controlled rectifier) based ESD (electrostatic discharge) protection circuit. In comparison with conventional SCR, this ESD protection circuit can provide an effective protection against ESD pulses in the two opposite directions, so the ESD protection circuit can be discharged in two opposite direction. The proposed circuit has a higher holding voltage characteristic than conventional SCR. These characteristic enable to have latch-up immunity under normal operating conditions as well as superior full chip ESD protection. it was analyzed to figure out electrical characteristics in term of individual design parameters. They are investigated by using the Synopsys TCAD simulator. In the simulation results, it has trigger voltage of 6.5V and holding voltage increased with different design parameters. The holding voltage of the proposed circuit changes from 2.1V to 6.3V and the proposed circuit has symmetrical I-V characteristic for positive and negative ESD pulse.

### 요 약

본 논문에서는 높은 홀딩 전압을 갖는 SCR(silicon-controlled rectifier)기반 양 방향성 ESD 보호회로를 제안하였다. 일반적인 ESD 보호회로와 달리 양방향의 ESD Stress mode의 방전경로를 제공하며 높은 홀딩전압으로 latch-up면역 특성을 갖어 효과적인 ESD보호를 제공한다. 또한, 높은 홀딩전압을 위한 설계변수인 Gate Length와 N+bridge Length의 길이 변화에 따른 시뮬레이션을 Synopsys사의 TCAD 시뮬레이터를 사용하여 확인 하였다. 시뮬레이션 결과 2.1V에서 6.5V까지 홀딩 전압의 증가로 latch-up 면역 특성을 개선 하였으며, 기존 SCR보다 6.5V의 낮은 트리거 전압특성을 갖고 있어 제안된 ESD 보호 회로는 5V 이상의 공급전압을 갖는 application에 적용 가능하다.

*Key words : SCR, Trigger Voltage, Holding Voltage, Gate Length, Positive and Negative ESD*

\* Dept. of Electronics and Electrical Engineering, DanKook University(031-8005-3625, silverkhy777@naver.com)

\*\* Dept. of Electronics Engineering, SeoKyeong University

★ Corresponding author

※ Acknowledgment : This work was supported by ETRI R&D Program("Development of SiC based Trench type next generation power device", "15ZB1610") funded By the Government of Korea & This work was supported by the Ministry of Trade, Industry & the Energy(10049597, Bypass Components for the Protection of Multi-Giga Bit Communication Circuits)

Manuscript received May. 29, 2015; revised Jun. 17, 2015 ; accepted Jun. 18. 2015

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

## I. 서론

최근 반도체 집적회로 기술의 급속한 발전으로 소자 단위의 게이트 산화막 두께 및 금속배선 선폰의 감소로 IC(integrated circuit)의 신뢰성 측면에서 ESD에 대한 감내 특성의 저하를 초래하게 되었다. 따라서 ESD는 IC의 품질과 신뢰성에 관련된 중요한 해결과제로 인식되고 있다[1]. 이러한 ESD 문제를 해결하기 위해 정전기 보호 회로에 관한 연구가 진행되어 왔다. 반도체 설계에서 ESD로부터 IC의 내부 회로를 보호하고 신뢰성을 높이기 위한 대표적인 ESD 보호회로는 SCR (silicon-controlled rectifier), GGNMOS (gate-grounded nmos) 등이 있다. GGNMOS 구조의 ESD 보호회로는 높은 ESD 전류를 기생적으로 생기는 Lateral npn BJT에 의해 효율적으로 방전시키므로 반도체 칩에서 정전기 문제를 해결하기 위한 ESD 보호소자로 널리 사용되고 있다[2]. 그러나, GGNMOS 구조의 ESD 보호회로를 Multi-finger 형태로 설계할 경우 기생 npn BJT의 중심부 베이스 저항이 다른 부분보다 높아지는 문제로 균일하게 턴-온되지 않아 ESD 내압 특성이 감소하는 문제점이 있다[3]. 반면 SCR은 GGNMOS에 비해 높은 전류구동능력과 적은 면적을 사용함에도 감내특성이 우수하다는 장점을 갖고 있다. 그러나, 일반적인 SCR 구조는 특성 상 well 간 높은 애벌런치 항복전압에 의해 약 18 V 이상의 높은 트리거 전압과 약 1.5 V의 낮은 홀딩 전압으로 인한 정상동작 상태에서 ESD가 아닌 overshoot 및 noise 등에 의해 원하지 않은 latch-up 문제를 야기 할 수 있다. 또한, ESD는 양전하 또는 음전하 극성을 띄기 때문에 극성에 따라 VDD 또는 VSS 핀에 대해 양 방향의 ESD 테스트 모드를 제공한다[4]. 이러한 방전 모드를 충족시키기 위해서는 면적이 증가해야만 하는 문제점이 있다. 따라서, 본 논문에서는 양 방향성 ESD 보호회로 설계를 통해 면적의 효율성을 높이고, 트리거 전압을 개선하며, 설계 변수에 따른 ESD 특성분석을 통하여 높은 홀딩전압으로 latch-up 문제를 개선한 ESD 보호회로를 제안하였고, 제안된 ESD 보호회로의 전기적 특성을 Synopsys 사의 TCAD Simulator 를 사용하여 분석하였다.

## II. 본론

### 1. 제안된 ESD 보호회로 구조 및 시뮬레이션 결과

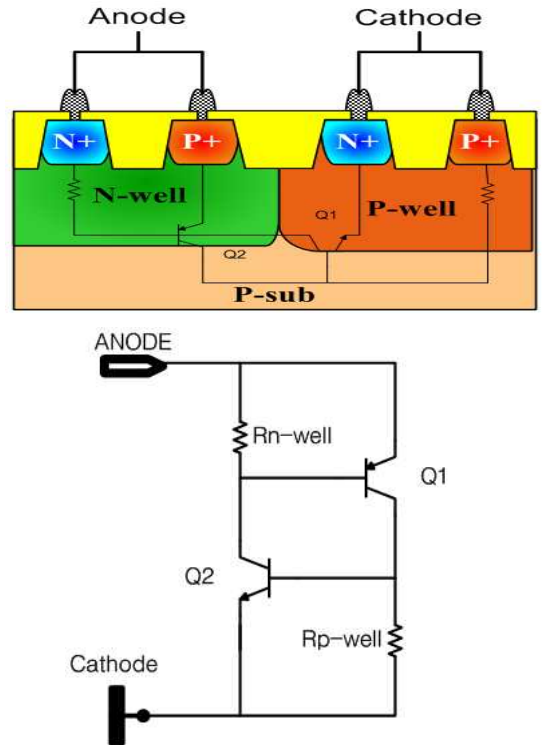


Fig. 1. (a)Cross sectional view of conventional SCR and (b)Equivalent circuit

그림 1. (a)기존 Conventional SCR 구조의 단면도 및 (b) 등가회로

기존 SCR의 구조는 그림1과 같이 n-well 내의 p+ 확산과 n-well, p-well 내의 n+ 확산과 p-well로 구성되는 pnpn 구조로 구성되어 있다. SCR의 동작방식은 다음과 같다. anode 전극으로 부터 유입된 ESD 전류에 의하여 anode 전압이 증가하면, 좌측의 n+확산영역과 n-well 전압이 상승하게 되고, 역방향 바이어스 상태인 n-well과 p-well 접합사이의 전계가 임계값에 도달하게 되면 애벌런치 항복이 일어나게 된다. 애벌런치 항복 현상에 의해 전자-정공 쌍 (electron-hole pair)이 생성되는데 정공 전류는 p-Well의 전위를 상승시켜 p-well과 N+캐소드 접합이 순방향 바이어스가 되어 Lateral npn BJT Q<sub>1</sub>이 턴-온 된다. 턴-온된 Lateral npn BJT의 전류는 n-well의 전압을 강하시켜 Lateral pnp BJT를 턴-온시킨다. 턴-온된 두 Lateral npn/pnp BJT의 전류는 각 Base접합의 순방향 바이어스를 인가하여 positive feedback에 의한 latch-up 동작으로 ESD 전류를 방

전하게 된다[5-6]. 하지만 산화막 파괴전압보다 높은 약 18 V의 높은 트리거 전압으로 인하여 실제 IC의 설계 영역에 맞춰 설계 시 적용하기 어려운 문제가 있어, 이를 개선하기 위하여 새로운 ESD 보호회로를 제안하였다. 그림 2는 제안한 ESD 보호회로의 단면도와 Synopsys사의 TCAD 시뮬레이션 결과를 나타내었다.

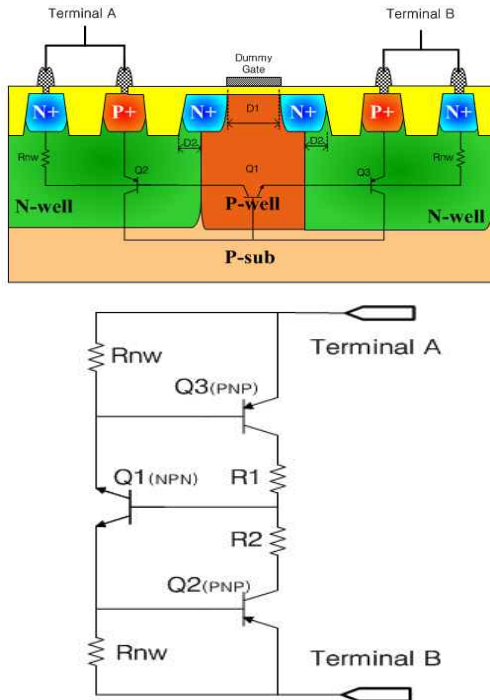


Fig. 2. (a)Cross section of the proposed ESD Protection circuit and (b)Equivalent circuit  
 그림 2. (a) 제안된 ESD 보호회로의 단면도 및 (b)등가회로

ESD 펄스는 positive 와 negative mode로 분류 되어 다른 방전 경로를 형성하여 인가될 수 있다. 이러한 ESD 펄스에 대한 보호 계획을 가져야 하기 때문에 ESD 보호회로의 면적은 증가하게 된다.

따라서 본 논문에서는 대칭적인 ESD 보호회로 구조를 제안 함으로써 면적의 효율성을 높여 이러한 문제를 해결 하였다. 제안된 ESD 보호회로의 단면도와 등가회로는 그림 2와 같으며 동작방식은 다음과 같다. 하나의 Lateral npn BJT ( $Q_1$ )과 두 개의 Vertical pnp BJT( $Q_2, Q_3$ ), 기생저항 성분( $R_1, R_2$ )으로 구성된다. positive ESD 펄스가 단자 A에 인가 될 경우 (단자 B는 접지) 구조 중앙 NMOS의 N+ 확산영역과 p-well 사이는 reverse bias 상태가 되고 에벌런치 항복이 발생하게 되어 전자-정공 쌍(EHP)이 생성된다.

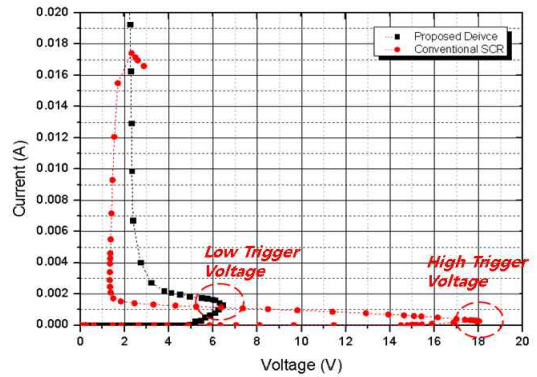


Fig. 3. Comparing the I-V Characteristics of the proposed ESD protection circuit with conventional SCR

그림 3. 기존 Conventional SCR과 제안된 ESD 보호회로의 I-V 특성 비교

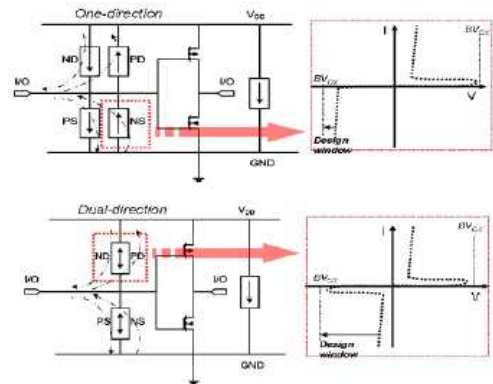


Fig. 4. Comparative characteristics of the ESD protection circuit and the suggested general ESD protection circuit

그림 4. 일반적인 ESD 보호회로와 제안된 ESD 보호회로의 특성 비교

생성된 정공 전류는 P-well에서 접지 방향으로 흐르며 저항  $R_2$ 에 전압강하를 일으켜  $Q_1$ 의 베이스-이미터 접합을 순방향 바이어스시켜  $Q_1$ 을 턴-온 시킨다. 이와 같이  $Q_1$ - $Q_3$ 가 positive feedback에 의해 SCR이 동작하기 시작하고 낮은 임피던스의 경로를 형성 하여 6.5 V의 트리거 전압과 2.1 V의 홀딩 전압 특성을 갖고, Dummy Gate로 인하여 STI(shallow-trench isolation)의 추가를 방지하여  $Q_1$ 의 전류 밀도를 증가시키게 되어 ESD 전류를 방전시키게 된다. 같은 방식으로 negative ESD 펄스 인가 시  $Q_1$ - $Q_2$ 가 동작하여 반대 방향의 방전 경로를 형성한다. 따라서 제안된 ESD 보호회로는 양 방향의 ESD펄스에 대해서 효율적인

보호가 가능하다. 그림 2(c)의 시뮬레이션 결과는 양의 ESD 상태일 때의 I-V 특성을 기존 SCR의 특성과 비교하여 나타내었다. 기존 SCR의 경우 약 18 V의 높은 트리거 전압과 약 1.5 V의 낮은 홀딩 전압 특성을 갖는 반면, 이를 개선한 제안된 ESD 보호회로의 경우 기존 SCR과 달리 도핑농도가 높은 N+확산영역과 well간의 에블런치 항복으로 약 12 V 감소된 6.5 V의 트리거 전압 특성으로 저전압 회로에 적용 할 수 있으며, 애노드와 캐소드 단자를 반대로 적용하여 시뮬레이션을 수행한 경우에도 그림 3과 같은 동일한 I-V 특성을 얻을 수 있다.

**2. 제안된 ESD 보호회로의 설계 변수에 따른 시뮬레이션 결과**

기존 SCR은 Lateral npn/pnp BJT의 동작을 유지하는 홀딩 전압이 약 1.5 V로 낮아 내부회로 동작 전압 대비 10 % 이상의 마진을 갖지 못하여 overshoot나 noise에 의해 원치 않는 과전류로 인해 ESD 보호회로가 동작하여 내부회로에 과전류를 흘리거나 내부회로로 흘러야 할 신호를 왜곡시키는 latch-up현상을 발생시키는 단점을 갖고 있다. 이를 개선시키기 위해서 본 논문에서는 설계변수인 Gate Length(D<sub>1</sub>)와 N+Bridge Length(D<sub>2</sub>)의 길이 변화에 따른 홀딩 전압의 증가로 latch-up 문제를 개선하였다.

**가. Gate Length(D<sub>1</sub>) 변화에 대한 ESD 시뮬레이션 결과**

그림 5는 제안된 ESD 보호회로의 N+Bridge Length (D<sub>2</sub>)를 2.0 μm로 고정하고 Gate Length (D<sub>1</sub>)에 변화를 주어 홀딩 전압의 변화를 I-V특성 곡선으로 나타낸 것이다.

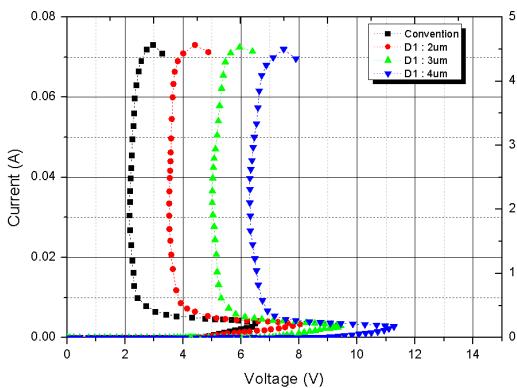


Fig. 5. I-V characteristic of the proposed ESD protection circuit according to the Gate Length(D<sub>1</sub>)

그림 5. 제안된 ESD 보호회로의 Gate Length(D<sub>1</sub>)에 따른 I-V 특성

D<sub>1</sub>의 Length가 늘어남에 따라 Lateral npn BJT의 Base 영역의 증가로 인해 전류이득이 감소되어 홀딩 전압이 그

림 5와 같이 증가함을 알 수 있다. D<sub>1</sub> 길이가 각 1 ~ 4 μm로 증가 함에 따라 홀딩 전압은 2.1 ~ 6.3 V로 증가하였으며 표 1에서 게이트 길이 설계 치수에 따른 트리거 및 홀딩 전압의 변화를 요약하였다.

Table 1. Simulation results of the Gate Length(D<sub>1</sub>)

표 1. Gate Length(D<sub>1</sub>) 변화에 따른 시뮬레이션 결과

Gate Length(D <sub>1</sub> )	Trigger Voltage[V]	Holding Voltage[V]
1μm	6.5	2.1
2μm	8	3.5
3μm	9.4	5
4μm	11	6.3

**나. N+ Bridge Length(D<sub>2</sub>) 변화에 대한 ESD 시뮬레이션 및 결과**

그림 6는 제안된 ESD 보호회로의 Gate Length(D<sub>1</sub>)의 길이를 1.0 μm로 고정하고 n-well과 p-well사이의 N+확산 영역의 길이(D<sub>2</sub>)변화를 주어 홀딩 전압의 변화를 I-V 특성 곡선으로 나타낸 것이다.

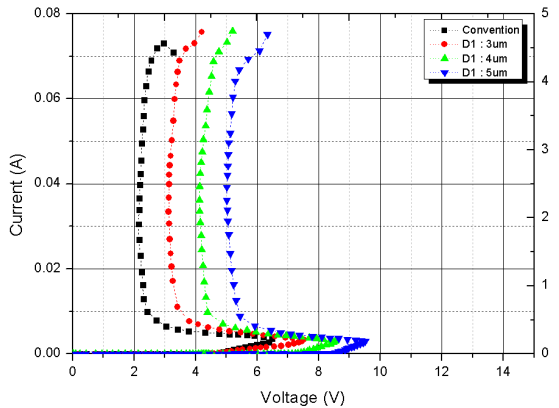


Fig. 6. I-V characteristic of the proposed ESD protection circuit according to the N+Bridge Length(D<sub>2</sub>)

그림 6. 제안된 ESD 보호회로의 N+Bridge Length(D<sub>2</sub>) 설계 치수에 따른 I-V 특성 곡선

D<sub>2</sub>의 길이가 늘어남에 따라 D<sub>1</sub>과 비슷하게 Vertical pnp BJT의 Base 영역의 증가함에 따라 전류이득이 감소하여 홀딩 전압이 증가하는 것으로 나타났다. D<sub>2</sub>의 길이가 각 2 ~ 5 μm로 증가함에 따라 홀딩 전압은 2.1 ~ 5.3 V로 증가하였으며, 표 2에서 N+ bridge 길이 변화에 대한 트리거 및

홀딩 전압의 변화를 요약하였다.

Table 2. Simulation results of the N+Bridge Length(D<sub>2</sub>)  
 표 2. N+ Bridge Length (D<sub>2</sub>)에 따른 시뮬레이션 결과

N+ Bridge Length(D <sub>2</sub> )	Trigger Voltage[V]	Holding Voltage[V]
2 $\mu$ m	6.5	2.1
3 $\mu$ m	7.8	3.2
4 $\mu$ m	9	4.1
5 $\mu$ m	10	5.3

### III 결론

본 논문에서는 기존 SCR 기반 ESD 보호회로에 비해 낮은 트리거 전압과 높은 홀딩전압 특성을 나타내며 양방향 특성으로 인해 면적의 효율성을 높인 ESD 보호회로를 제안하였다. 시뮬레이션 결과 기존 SCR의 트리거 전압인 18 V 보다 약 12 V 감소한 6.5 V의 트리거 전압을 나타냈다. 또한, 게이트 길이 및 n+ 브릿지 길이 의 설계 치수를 변화하여 트리거 및 홀딩 전압의 변화를 비교 분석하였다. 시뮬레이션 결과 게이트 길이를 1 ~ 4  $\mu$ m로 증가하는 경우 홀딩 전압은 2.1 ~ 6.3 V로 증가하여 기존 SCR의 홀딩 전압보다 최대 약 5 V 증가 되었다. N+ 브릿지 길이를 2 ~ 5  $\mu$ m로 증가함에 따라 홀딩 전압은 2.1 ~ 5.3 V로 증가하여 기존 SCR의 홀딩 전압보다 최대 약 4 V 증가하여 높은 홀딩전압으로 latch-up 문제를 개선 하였다. 또한, positive와 negative ESD 펄스에 대해 동일한 I-V 특성을 갖는 것을 확인 하였다. 따라서 제안된 ESD 보호회로는 positive와 negative의 ESD stress mode에 대한 방전을 제공 하여 효율적으로 ESD 보호를 수행 하며 Gate Length와 N+bridge Length를 각 4  $\mu$ m, 5  $\mu$ m로 설계 시 높은 홀딩전압으로 인한 5 V이상의 공급전원을 갖는 application에 적용 가능하다.

### References

[1]R.G Wagner, J. Soden and C.F. Hawkins “Extend and Cost of EOS/ESD Damage in an IC Manufacturing Process”, in Proc. of the 15t EOS/ESD Symp., pp.49-55, 1993  
 [2] Huang, et al., “ESD protection design for advanced CMOS”, Proc.SPIE, 4600, pp. 123-131, 2001.  
 [3]C. Russ, K. Bock, M. Rasras, I. D. Wolf, G.

Groeseneken, and H. E. Maes, “Non-uniform triggering of gg-nMOSs investigated by combined emission microscopy and transmission line pulsing”, in Proc. EOS/ESD Symp., pp. 177-186, 1998  
 [4] Russ C, Mergens M, Verhaege K, et al.GGSCRs “GGNMOS Triggered Silicon Controlled Rectifier for ESD protection in deep submicron CMOS process” ESD 2001  
 [5] Amerasekera A., Duvvury Charvaka “ESD in Silicon Integrated Circuits”, New York:John Wiley and Sons, 2002  
 [6] Albert Z. H. Wang, “On-chip ESD Protection for Integrated Circuits”, Kluwer Academic Publisher Group, 2002

### BIOGRAPHY

**Hyun-Young Kim** (Student Member)



2014 : BS degree in Electronics Engineering, SeoKyeong University.  
 2014 ~ : MS course in Electronics and Electrical Engineering, DanKook University.

**Chung-Kwang Lee** (Student Member)



2014 : BS degree in Electronics Engineering, SeoKyeong University.  
 2014 ~ : MS course in Electronics and Electrical Engineering, DanKook University.

**Jong-Ho Nam** (Student Member)



2013 : BS degree in Electronics Engineering, UiDuk University.  
2015 : MS course in Electronics and Electrical Engineering, DanKook University.

**Jae-Chang Kwak** (Member)



1983 : BS degree in Computer Science, Yonsei University.  
1989 : MS degree in Computer Science, Iowa University.  
1993 : Ph.D degree in Computer Science, Iowa University.  
Current research interests :

Network Traffic Control, Real-time Scheduling, QoS, Embedded System

**Yong-Seo Koo** (Member)



1981 : BS degree in Electronics Engineering, Sogang University.  
1983 : MS degree in Electronics Engineering, Sogang University.  
1992 : Ph.D degree in Electronics Engineering, Sogang University.  
Current research interests :

semiconductor devices, such as power BJTs, LDMOSs, and IGBTs; high-efficiency power management integrated circuits (PMICs), such as DC-DC converters; and electrostatic discharge (ESD) protection circuit design.