

d-q 변환에서의 고조파 맥동 제거

(A Rejection of Harmonic Ripples for d-q Transformation)

최남열* · 이지환**

(Nam-Yerl Choi · Chi-Hwan Lee)

Abstract

This paper presents a simple notch filter, which is so suitable for three-phase unbalanced and distorted power line. In the d-q synchronous transformation, three-phase unbalanced and distorted voltages generate lots of ripple voltages on d-q axes. The ripples make disturbances on controllers such as PLL of phase tracking. Unbalanced state makes ripple of double the frequency of power line. Odd harmonics 5th and 7th on the line make even 4th and 6th ripples on d-q axes due to the rotating reference frame, respectively. Cascaded two comb filters, delay lines $1/4T$ and $1/8T$, are adopted for the ripple rejection. The filter rejects harmonics 2nd, 4th, 6th, 10th and so on. They are very effective to remove the ripples of both unbalance and distortion. The filter, implemented by two FIFOs on an experimental system, is adopted on a PLL controller of power line phase tracking. Through the simulation and experimental results, performance of the proposed comb filter has been validated.

Key Words : DQ Transformation, Unbalanced Grid Voltage, Synchronous Reference Frame, Comb Filter

1. 서 론

최근 지구 온난화 현상을 억제하기 위한 탄소배출량 저감 정책이나 화석 연료 고갈이나 공해 등 환경과 관련된 문제로 인해 태양광, 풍력, 연료전지 등 신재생 에너지 연구가 활발히 진행되고 이와 관련된 분산전원의 용량 및 관련 산업의 요구가 증대되고 있다. 특히 여러

재생에너지를 전력 계통에 전달하기 위해 분산 발전 방식을 사용하며, 단상 또는 3상 분산 계통에 연결된다. 이를 위해서 계통전압 벡터의 위치정보, 즉 위상각 정보를 얻기 위한 Phase-Locked Loop(PLL) 알고리즘이 계통에 연결된 전력제어시스템 제어 성능에 중요한 성능이 된다[1-2].

PLL은 모든 주파수 추종에 사용되는 일반적 방법으로, 기준 주파수 신호와 추종신호의 위상을 비교하여 일치하도록 추종주파수를 제어하는 형태이고, 최근의 PLL 기법은 계통과 전력 컨버터간의 이상적인 동기를 위해 사용되며, 기본적인 기법은 synchronous reference frame-PLL(sPLL)이다. 이상적인 계통, 즉 3상 평형상태이고 고조파 왜곡이 일어나지 않은 계통

* Main author : Valeo CDA Korea R&D dept.
E-mail : namyerl.choi@gmail.com
** Corresponding author : Dept. Electronic Eng.,
Uiduk University
Tel : 031-389-2721, Fax : 031-389-2769
E-mail : chlee@uu.ac.kr
Received : 2015. 9. 21.
Accepted : 2015. 10. 23.

전압에서 sPLL은 매우 우수한 특성을 보이거나 실제 계통전압은 비선형 부하의 영향 혹은 부하의 불균형 등으로 인해 왜곡된 파형을 나타낼 수 있다. sPLL은 계통전압의 고조파 왜곡과 3상 불평형 특성에 취약하며 이러한 비정상 계통하에서 PLL에 의한 계통전압의 위상 추종 특성이 저하되는 문제점이 있다[1-3].

sPLL에서 PI 제어기를 빠르게 설정하면, 왜곡된 전압과 불평형 전압은 d-q축 전압에 맥동을 발생하여 PLL 위상잠음으로 나타난다. 불평형 전압에서 나타나는 역상분 맥동은 역상 d-q 변환기의 도입으로 제거할 수 있으나 제어기 구조가 매우 복잡하다. 큰 THD 전압의 경우 LPF를 사용하여 고조파를 억제시키는 경우도 있으나 차단주파수 정의와 추가적 연산의 단점이 있다. 계통전압에서 추종한 위상에 왜곡이 발생하는 경우 인버터 및 컨버터의 출력 전류에는 고조파가 발생하게 되며 이를 보상하기 위한 고조파 보상 기법들이 연구되었다. 고조파전류를 효과적으로 보상하기 위해서는 계통전압의 위상이 정확하게 계산될 필요가 있다. 계통 전압이 불평형 상태일 경우에도 계통 전압의 위상을 정확히 추종하기 위해 Double-SFR PLL, Decoupled DSRF-PLL 등의 방법이 연구되었다. 하지만 이러한 기법에서는 복잡한 연산을 추가하는 문제가 있다[3-5].

2011년 Wang과 Li는 d-q 맥동분 제거를 위해 시간 지연 회로를 이용한 notch 필터를 제안했으나 동작 해석의 오류로 인해 모든 고조파 차수에 해당하는 복수개의 지연회로를 사용했으며[6], 2014년 Golestan 등은 중속 시간지연 필터를 Pade 근사법으로 전달함수를 구하였고 PLL 제어기 설계에 이용하였다[7]. 그러나 오류가 존재하는 Wang과 Li의 방법을 수정 없이 사용하였으며 d-q축에서 발생하는 고조파 차수 분석이 무시되었다.

본 논문에서는 불평형 및 왜곡된 3상 전압으로부터 d-q 변환시 나타나는 맥동 성분을, 두 개의 comb 필터를 이용하여 제거됨을 보인다. 전압 불평형은 d-q 2차 고조파로, 5차 고조파는 d-q 4차로, 7차 고조파는 d-q 6차로 나타난다. 제안된 두개의 직렬 comb 필터는 2차, 4차, 6차, 10차, 12차 고조파의 성분이 제거되며 지연시간 3/8주기를 가진다. sPLL 제어기에 필터

를 적용하여 불평형 및 왜곡된 전압에 대해 완전한 위상 추적 성능을 보인다. 수식 연산을 사용하지 않는 단순 FIFO의 구성으로 모든 차수의 고조파 제거가 이루어진다. 제안된 필터의 시뮬레이션과 실험결과로 전압 불평형 및 고조파에 대한 성능을 검증하였다.

2. d-q 변환과 comb 필터

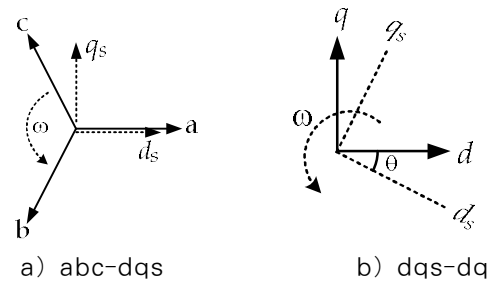


Fig. 1. Stationary and rotating d-q axes

계통전압을 고정좌표계 abc에서 동기좌표계 d-q로 변환하면 직류 성분의 d-q축 전압을 얻을 수 있다. 그림 1 (a)는 삼상 신호를 고정된 관측 축 ds-qs로 변화하는 것이며 식 (1)의 관계를 가진다. 그림 1 (b)는 고정 축에서 회전 동기축 d-q로의 변환을 보인다. 식 (2)로 동기축 변환이 이루어진다.

$$\begin{bmatrix} v_{qs} \\ v_{ds} \end{bmatrix} = \frac{2}{3} \begin{bmatrix} 1 & -1/2 & -1/2 \\ 0 & \sqrt{3}/2 & -\sqrt{3}/2 \end{bmatrix} \begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} \quad (1)$$

$$\begin{bmatrix} v_q \\ v_d \end{bmatrix} = \begin{bmatrix} \sin \theta & -\cos \theta \\ \cos \theta & \sin \theta \end{bmatrix} \begin{bmatrix} v_{qs} \\ v_{ds} \end{bmatrix} \quad (2)$$

sPLL 제어기는 위상오차를 검출하기 위해 계통전압을 q축에 일치시키고, 영을 기준으로 위상오차에 반응하는 d축 전압을 이용한다. 그림 2는 sPLL의 구성이며 제어기의 입력으로 사용되는 위상오차 신호는 Vd 이다. 그림 3은 위상각 오차에 따른 Vq, Vd 전압을 표시한 것이다. 위상 오차에 대한 검출 신호로 Vd가 적절함을 알 수 있다.

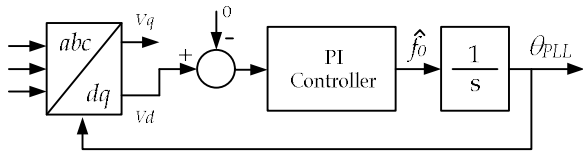


Fig. 2. sPLL system

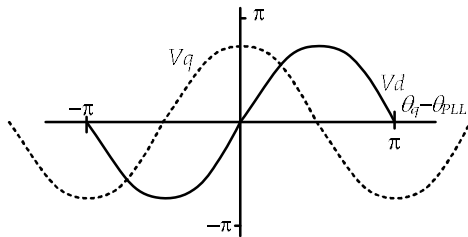


Fig. 3. Relationship phase error, Vq and Vd

sPLL 시스템은 위상 오차를 영으로 유지하기 위한 피드백 제어이며 PI 제어기에서 출력주파수 \hat{f}_0 를 결정하고 적분기를 통해 회전각 θ_{PLL} 을 생성한다. sPLL의 응답시간은 PI 제어기의 계수로 결정되므로 빠른 응답이 가능하다. 그러나 입력인 계통전원이 불평형 및 고조파를 가지므로 V_d , V_q 가 순서적으로 변화하게 된다. 이것은 위상잡음을 발생하며 불안정한 회전각 θ_{PLL} 이 얻어진다.

$$v_a = v_1 \sin(\omega t + \theta_1) + v_5 \sin(5\omega t + \theta_5) + v_7 \sin(7\omega t + \theta_7) \dots$$

$$v_b = v_a e^{-j2\pi/3}, v_c = v_a e^{-j4\pi/3} \quad (3)$$

불평형 계통전압은 d-q 변환에서 역상분의 영향으로 V_d , V_q 모두 전원주파수 2배의 맥동이 나타나난다. 동기좌표의 회전속도와 반대 방향의 회전으로 인해 2차 고조파가 생성된다. 정상분에서는 동기속도와 차이로 맥동이 관측된다. 식 (3)의 왜곡된 파형 5차, 7차, 11차 등 고조파는 동기속도로 회전하는 V_d , V_q 에서 4차, 6차, 10차 등으로 각각 맥동전압을 발생시킨다. 결국 맥동 전압은 계통 주파수의 짝수로 나타나며, 아날로그 및 디지털 대역제거필터는 하나의 대역 제거 만 가능하므로 부적절하다. 모든 맥동 고조파에 대해 완전한 제거가 가능한 것은 comb 필터가 유일하다 [8]. Comb 필터는 입력신호를 일정시간 지연시켜 합

하는 것으로 지연시간의 함수로 특정 주파수 신호를 제거한다. 계통 신호의 d-q 변환은 직류성분을 얻는 것이 목적이므로 LPF와 유사한 comb 필터의 사용이 가능하다. 그림 4는 2 fo, 6 fo 및 4 fo, 12 fo를 제거하는 두 개의 comb 필터를 보인다. 두 개의 comb 필터를 직렬로 연결하여 d-q 변환에서 나타나는 맥동을 제거 할 수 있다. 계통 주파수에 대해 3/8 주기의 시간 지연을 가진다.

그림 5는 comb 필터를 sPLL에 적용한 경우이다. d 축 전압 V_d 를 comb 필터링한 후 V_d 를 얻고 위상오차 신호로 인가한다. V_d 및 V_q 에 comb 필터를 적용하면 정상분의 전압을 맥동 없이 실시간 관측 가능하다. d-q 축에서 정상분의 유효, 무효 전력의 계산에도 사용할 수 있다.

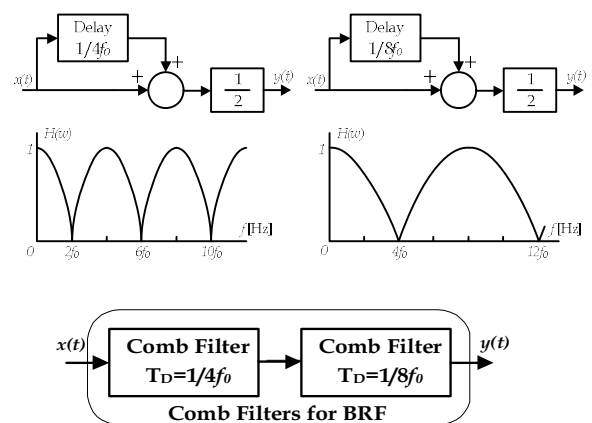


Fig. 4. Comb filters for harmonic rejection

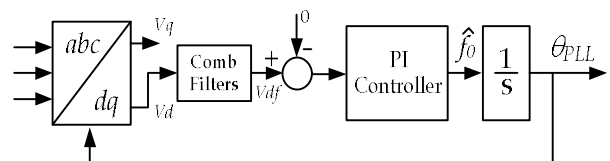
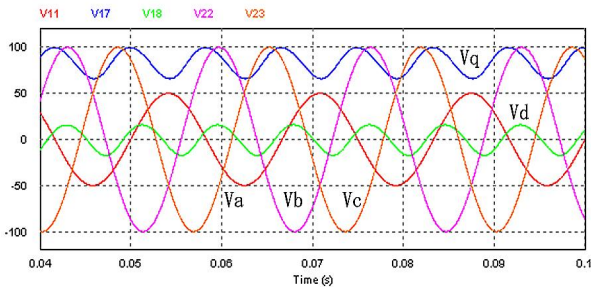


Fig. 5. Block diagram of sPLL with comb filters

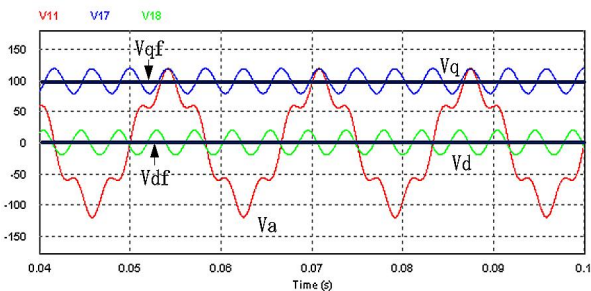
그림 6 (a)는 상전압 V_a 크기가 50% 불평형 일 때의 d-q 변환 파형이다. 2차 고조파의 맥동이 크게 나타나고 있다. 그림 6 (b)는 5차 고조파가 20%의 크기로 존재할 때의 d-q 변환 결과이며 d-q 축 모두에서 4차 고

d-q 변환에서의 고조파 맥동 제거

조파 형태로 맥동이 관측된다. 반면 comb 필터된 신호 V_{df} 및 V_{qf} 는 일정한 직류 성분으로 나타난다. 그림 7은 20% 5차 고조파가 존재하는 경우, sPLL 및 comb filtered sPLL(cPLL)의 결과를 비교한 것이다. sPLL에서는 추정각의 변동이 주기적으로 나타나지만



(a) at unbalanced 50%



(b) at 5th harmonic 20%

Fig. 6. d-q waveforms at unbalanced and distorted voltages

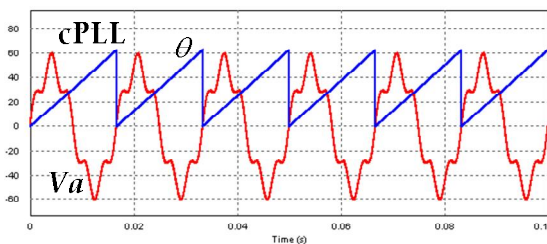
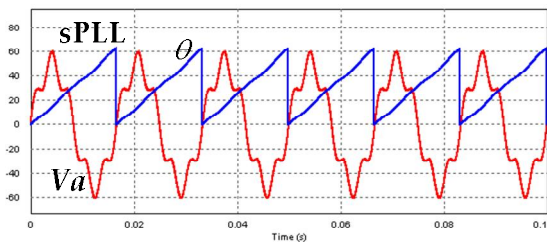


Fig. 7. Comparisons of sPLL and cPLL

cPLL의 경우 안정된 위상각을 볼 수 있다.

권선형 유도전동기를 사용하는 크레인의 회전자 측 에너지를 회생시키는 인버터 구성에 제안된 comb 필터를 적용하여 계통 주파수에 동기시켰다. DSP STM32F407을 이용하여 제어기를 설계하고, PLL 제어루프는 60Hz 주기의 128배 샘플 시간인 130us로 동작한다. 그림 8은 DSP 제어보드를 보인다.

Comb 필터 1은 16 스텝 지연시키고, comb 필터 2는 32 스텝 지연시키는 두 개의 FIFO로 구성하였다. 시뮬레이션과 동일하게 V_a 를 50% 크기로 하는 역상분 조건과 20% 5차 고조파 조건으로 실험하였다.

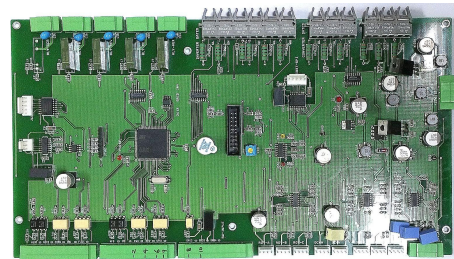
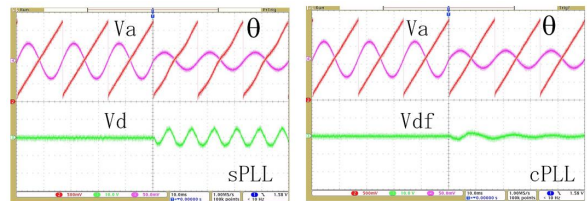
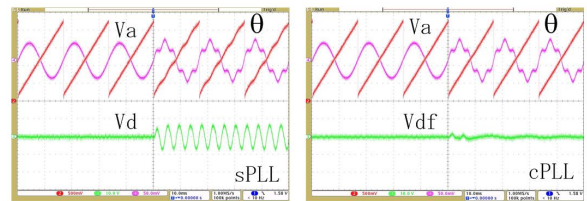


Fig. 8. Photograph of the DSP board



(a) at unbalanced 50%



(b) at 5th harmonic 20%

Fig. 9. Phase trackings of sPLL and cPLL.

그림 9 (a)는 역상분이 존재하는 경우의 위상각 추정 성능을 보인다. sPLL에서는 발생된 120Hz 맥동에 따라 위상각의 추정이 오차를 발생시킨다. cPLL은 역상분이 발생하는 초기에는 comb 필터 시간지연으로

Vdf가 과도상태를 가지며 반주기점 이후에는 정상상태가 된다. 그림 9 (b)는 20% 5차 고조파가 있는 경우이며, comb 필터의 적용으로 맥동이 제거된 Vdf로 인해 안정된 위상 추적이 이루어진다. 두 개의 comb 필터로 d-q 변환된 신호의 맥동 성분이 완전히 제거되었고, comb 필터의 시간지연으로 인한 과도상태는 반주기 만에 정상상태가 되었다.

3. 결 론

전압 불평형 및 고조파 왜곡이 포함된 계통의 d-q 변환에서 나타나는 d-q 축 성분의 맥동분을 제거하기 위한 고조파 제거 필터를 제안하였다. d-q 변환에서 얻어지는 맥동분은, 불평형에 의한 2차 고조파, 그리고 삼상 전압의 5차, 7차, 11차 등은 4차, 6차, 10차 고조파 등으로 각각 나타남을 이용하여, 두 개의 comb 필터를 설치하여 맥동을 제거한다. Comb 필터 두개는 계통 주파수의 1/4 주기 및 1/8주기로 지연시간이 결정되고 이때 2차, 4차, 6차, 10차, 12차 등의 맥동은 모두 제거된다. Comb 필터 3/8 주기의 시간지연은 반주기 내에서 정상 상태 응답을 보장한다.

복잡한 연산을 필요로 하는 전달함수 notch 필터가 아닌 comb 필터는 단순 FIFO로 쉽게 구현되며, d-q 변환에서 comb 필터의 적용은 전압, 전류, 전력 등의 정상분 추출 방법을 단순화시킨다. 시뮬레이션과 실험으로 제안된 comb 필터의 유용성을 확인하였다.

References

[1] Se Kyo Chung, "A phase tracking system for three phase utility interface inverters", IEEE Trans. PE, vol. 15, no. 3, pp.431-438, May 2000.
 [2] T. Timbus, M. Liserres, R. Teodorescu, and F. Blaabjerg, "Synchronization Methods for Three Phase Distributed Power Generation System, An Overview and Evaluation", Conf. Rec. of IEEE-PESC, pp.2474-2481, 2005.
 [3] Pedro Rodríguez, Josep Pou, "Decoupled Double Synchronous Reference Frame PLL for Power Converters Control", IEEE Trans. PE, vol. 22, no. 2, pp.584-592, 2007.
 [4] Marcelo A. Pérez, "A Robust Phase-Locked Loop Algorithm to Synchronize Static-Power Converters With Polluted AC Systems", IEEE Trans. IE, vol. 55, no. 5, pp.2185-2192, 2008.

[5] Felice Liccardo, Pompeo Marino, and Giuliano Raimondo, "Robust and Fast Three-Phase PLL Tracking System", IEEE Trans. IA, vol. 58, no. 1, pp.221- 231, 2011.
 [6] Y. F. Wang and Y. W. Li, "Grid synchronization PLL based on cascaded delayed signal cancellation," IEEE Trans. PE., vol. 26, no. 7, pp. 1987 - 1997, Jul. 2011.
 [7] S. Golestan, M. Ramezani, J. Guerrero and M. Monfared, "dq-frame cascaded delayed signal cancellation-based PLL: analysis, design, and comparison with moving average filter-based PLL", IEEE Trans. PE., vol. 30, no. 3, pp. 1678 - 1632, March 2014.
 [8] https://en.wikipedia.org/wiki/Comb_filter.

◇ 저자소개 ◇



최남열 (崔男烈)

1971년 6월 24일생. 2002년 위덕대학교 전자공학과 졸업. 2004년 위덕대학교 정보전자대학원 졸업(석사). 2009년 위덕대학교 정보전자대학원 수료(박사). 현재 발레오 컴포트 & 드라이빙 어시스턴스 R&D 부장.



이지환 (李治煥)

1961년 8월 6일생. 1984년 영남대학교 전자공학과 졸업. 1989년 경북대학교 대학원 전자공학과 졸업(석사). 1994년 경북대학교 대학원 전자공학과 졸업(박사). 1991~1998년 영남이공대학 전기과 교수. 1998년~현재 위덕대학교 전자공학과 부교수.