《연구논문》 Korean Journal of Optics and Photonics, Vol. 26, No. 3, June 2015, pp. 168-171 ISSN : 1225-6285(Print)
DOI: http://dx.doi.org/10.3807/KJOP.2015.26.3.168 ISSN : 2287-321X(Online)

Heat Conduction Analysis and Improvement of a High-Power Optical Semiconductor Source Using Graphene Layers

Byeong-Gwan Ji and Beom-Hoan O†

School of Information and Communication Engineering, Inha University, LED-Smart Technology Advanced Research Center (LED-STAR), 253 Younghyun-dong, Nam-gu, Inchon 402-751, Korea

(Received March 19, 2015; Revised manuscript June 2, 2015; Accepted June 3, 2015)

The heat flow characteristics of a high-power optical semiconductor source have been analyzed using a 3D CFD commercial tool, and the thermal resistance values for each of the layers revealed the places for thermal bottlenecks to be improved. As the heat source of a LD (Laser Diode) has a small volume and a narrow surface, the effective thermal cross-sectional area near it is also quite small. It was possible to expand the cross-sectional area effectively by using graphene layers on the TIM (Thermal Interface Material) layers of a LD chip. The effective values of heat resistance for the layers are compared to confirm the improvement effect of the graphene layers before and after, which can be considered to expand the thermal cross section of the heat transfer path.

Keywords: LD, Thermal resistance, Graphene, TIM, Heat flow
OCIS codes: (230.0230) Optical devices; (230.3670) Light-emitting diodes; (140.3320) Laser cooling

그래핀을 적용한 고출력 반도체 광원의 열특성 분석

지병관 · 오범환†

인하대학교 정보통신공학과 고성능 LED 조명모듈 핵심기술 연구센터 (LED-STAR)
㊞ 402-751 인천시 남구 인하로 100

(2015년 3월 19일 받음, 2015년 6월 2일 수정본 받음, 2015년 6월 3일 게재 확정)

고출력 반도체 광원의 열유동 특성을 분석하고, 열전달 병목지점을 파악하여 열저항을 개선하는 방안을 도출하고, 전산모사를 통하여 개선 효과를 확인하였다. 띠구조 활성층을 가진 LD 광원의 경우에 발열부의 부피가 작을 뿐 아니라 발열면적이 좁아서 발열부 근처의 열전달 유효단면적이 매우 좁을 수 밖에 없는데, 이 부근의 경계면에 그래핀층을 추가적으로 적용하면 전체 열저항이 확연히 개선되는 것이 전산모사 되었다. 이는 열전달 경로상의 유효단면적이 넓어지는 효과를 가져와 전체 열저항이 확연히 개선되는 것으로 파악되었다.

Keywords: 레이저 다이오드, 열저항, 그래핀, TIM, 열유동
OCIS codes: (230.0230) Optical devices; (230.3670) Light-emitting diodes; (140.3320) Laser cooling

I. 서 론

반도체 기술이 발달하고 다양한 분야로 그 응용이 넓어지면서, 반도체 광원(LED, LD 등) 산업이 급속히 성장하고 있다. 특히, 고출력 광원인 백열등, 할로겐 램프, 방전 램프 등을 대체하면서 반도체 광원에서도 높은 광출력이 요구되고 있다. 기존의 광원과 달리 고출력 반도체 광원은 작은 부피의 활성영역에서 열이 발생하고, 좁은 열단면적을 갖는 발열부 근처에서는 단순 방열기대치보다는 방열이 원할하지 않아 국부적 온도가 높아질 수 있으며, 이는 광효율 감소, 패키지 소재의 열화 및 수명 감소 등의 문제를 발생시킬 수 있다. 즉, 고출력 반도체 광원에서 방열 특성은 수명과 신뢰성에 직접적으로 연관되므로, 방열 문제를 효과적으로 해결하기 위한 연구가 다방면으로 진행되고 있다.[1-5]

고출력 반도체 광원의 방열특성을 개선하기 위해, 전도성 기판 위에 소자를 수직구조로 설계하는 방법[4]과, 각 층의 열저항을 최소화하는 구조의 패키지 설계 방법[5]이 복합적으로 사용 되고 있다. 수직구조로 설계된 광소자의 발열부에서는

†E-mail: obh@inha.ac.kr
Color versions of one or more of the figures in this paper are available online.

주로 전도효과가 방열 성능을 가늠하므로 소재의 열전도도와 경계면적이 클수록 방열 특성이 좋아지겠지만, 활성층 면적이 좁고 고출력인 경우에 열흐름은 구조 전체를 효율적으로 이용하지 못하므로 단순 예상치보다 열저항이 높고 국부 온도가 높아져서 성능 저하가 심하다.

본 논문에서는 상용 CFD 전산모사를 이용해 고출력 반도체 광원의 열전달 특성을 분석하고 기능 저하의 주요원인을 파악해 주어진 소자에서 효율적인 방열 대책을 제시하였다.

II. 고출력 반도체 광원의 방열 특성

고출력 반도체 광원의 활성층에서 발생한 열은 효율적으로 외부로 전달되어 빠져나가야 하는데, 방열판(heat sink)까지는 주로 전도 현상을 통해 전달되고, 방열판 이후에서는 전도, 대류는 물론, 복사 기능까지도 효율적으로 동원되어야 한다. 발열부 근처의 방열은 주로 전도를 고려하여 열전달경로를 단순화한 유효열저항의 네트워크 구조 모델로 간단히 파악해 볼 수 있으며, 각 부분의 유효열저항을 낮추는 방안을 도출하게 된다. 이때, 열 경로상의 대부분의 흐름을 단순화한 1차원적 모델에서 유효열저항 R_{th}은, 전산모사 결과로부터, 칩의 발열량P(W)에 비례하여 두 지점의 온도 차이를 주는 비례상수로서 열 흐름 정의식 식 (1)과 같이 주어지므로 진행경로상 각 주요부위까지의 위치를 가지고 산출한다.

$$\Delta T = R_{th} \cdot P \tag{1}$$

또한, 단순한 전기저항의 식과 유사하게, 열전달 구조를 단순화한 모델에서 다각기둥 모양의 열전달구조체의 유효열저항은 열전도도와 구조체의 형태 변수로 식 (2)와 같이 나타낼 수 있으므로, 각 층의 단순근사식 열저항치를 예상할 수 있다.

$$R_{th} = \frac{L}{kA} \tag{2}$$

여기서 k(W/m·K)는 열전도도, A는 구조체의 단면적(열전달 경로상의 유효단면적), L은 구조체의 높이(열전달 경로상의 길이)이다. 고출력 LD 광원의 전형적인 구조는 Fig. 1과 같고, 이에 대하여 열흐름을 전산모사하여 방열특성을 분석하였다. 전산모사에 사용된 각 부분의 열전도도와 길이는 Table 1과 같으며, LD 활성층의 발열량은 통상 ~10W급의 고출력 LD를 가정하여 7W, 주변부의 온도는 20℃로 두었다. (CFD (Computational Fluid Dynamics) Ansys ICEPAK 이용, 정상상태 자연대류 조건, 정사각 해석영역 5,000×5,000 um^2, 총 격자수 약 7만개)

각 층별 유효열저항의 단순근사식 수치와 전산모사 도출 수치는 Table 2의 두 행에 비교하여 나타내었다. 단순근사식 결과는 Fig. 1에 나온 LD의 열전달 경로를 단순화하여 각 층의 전체 면적을 열전달 경로로 가정하였다. 단순한 열저항 산출에 주로 사용되는 소자의 단면적은 실제 열전달 면적과 많이 다를 수 있으며 활성층 면적이 좁거나, 각 열전달 경로상의 면적차이가 클수록 차이를 크게 보인다. 단순근사식의 수치는 식 (2)를 통해 산출하였으며, 전산모사 결과는 각 부분의 윗면과 바닥 면의 온도차이를 식1에 적용하여 얻어 내었다. 이때 Table 2에 따르면, 점 열원에 가까운 특성에 의해 발열부 근처에 있는 InP층과 Au-Sn층에서 전산모사 결과와 단순근사수치가 차이가 무려 6배와 9배 정도로 특히 큰 것을

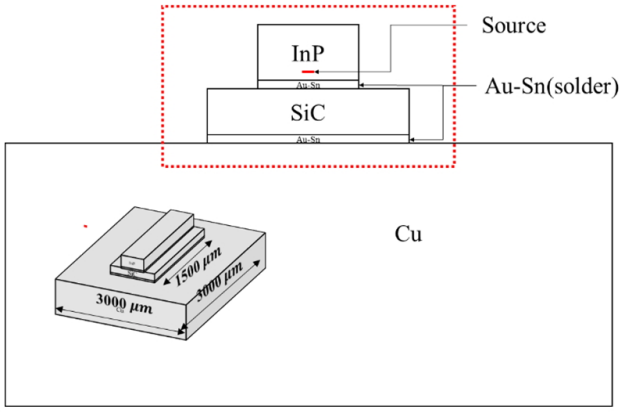

FIG. 1. Typical structure for a LD(Laser Diode) simulated.

TABLE 1. Geometrical dimensions and thermal conductivity of the elements of a LD

Part	Dimension(μm)	k(W/m · K)
InP (Source)	500×1500×300 (30×1500×5)	68
1stAu-Sn	500×1500×7	57
SiC	1000×1500×180	270
2ndAu-Sn	1000×1500×7	57
Cu	3000×3000×1000	400

TABLE 2. Comparison of the effective thermal resistances of each layer modeled simply and simulated

Part	Simple structure approximated result (K/W)	Full 3-D thermal CFD simulated result (K/W)	Ratio
$R_{(th,InP)}$	0.098	0.584	5.96
$R_{(th,1stAu-Sn)}$	0.164	1.453	8.86
$R_{(th,SiC)}$	0.444	1.369	3.08
$R_{(th,2stAu-Sn)}$	0.082	0.086	1.05
$R_{(th,Cu)}$	0.278	0.878	3.16
$R_{(th,pakage)}$	1.066	4.370	4.10

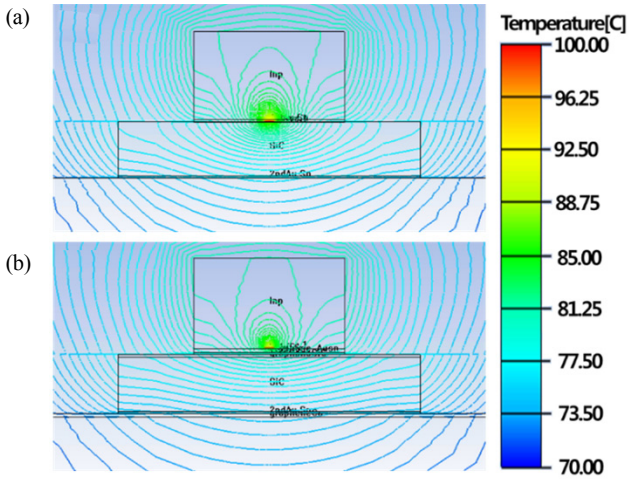

FIG. 2. Simulated temperature distribution on a cutting plane for a LD of (a) Basic LD (b) LD graphened.

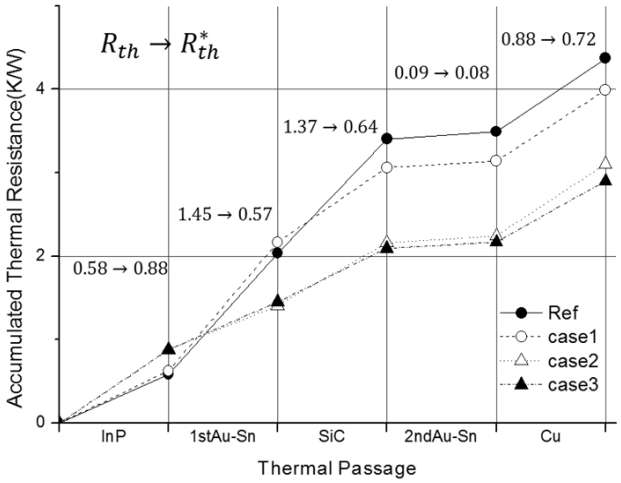

FIG. 3. Comparison of the curves for thermal resistance accumulated along the thermal passage.

알 수 있다. 이는 활성층 전체가 발열하는 것이 아니므로 열전달 유효단면적은 열원근처는 LD 띠구조 면적에 국한하고, 점차 퍼져 나가면서 유효 단면적이 넓어지는 것을 Fig. 2에서 확인 할 수 있다.

상기 구조의 광원에 대해 전산모사된 열확산된 온도분포 결과는 Fig. 2(a)에 보이고 있으며, 다음 절에 적용되는 개선책의 결과 Fig. 2(b)와 비교하여 나타내었다. Figure 2(a)의 온도 분포와 등온선의 모양에서 보듯이, 실제 열전달은 타원과 유사한 등고선으로 전달 되므로, 각 층의 전체 면적을 고려한 단순근사식과는 다르게, 유효한 열전달 단면적이 작아 유효열저항이 커지는 것으로 판단할 수 있다.

III. 그래핀 적용 LD 구조의 방열 특성 비교

앞에서 확인된 바와 같이, 기존의 고출력 반도체 광원의 발열부 근처에서는 유효단면적이 단순한 기대보다 작아지므로 유효열저항도 상승하고 최종적인 국부온도가 높아질 수 있다. 방열성능에 지장을 초래하지 않기 위해서는 발열부 근처에서의 열전달 유효단면적을 좁아지지 않도록 해야 한다. 이를 위해 이방성의 열전도도를 가진 그래핀(Graphene, k(vertical) = ~10, k(horizontal)=~1000 W/m·K)[6]을 적용하는 방안을 제시한다. 그래핀을 각 경계층의 상단부에 적용하면, 수평 방향으로 열전도도가 높으므로 등온선이 보다 평탄화될 것을 기대할 수 있고, 열전달 경로상의 유효단면적이 넓어질 것으로 기대된다. 본 전산모사에서는 편의상 그래핀의 두께를 1 um로 설정하여, 단순근사수치와 전산모사수치가 크게 차이가 나는 총 3개의 경계면 부분(InP/첫Au-Sn경계, 첫Au-Sn/SiC 경계, 2째Au-Sn/Cu경계)에 그래핀을 적용해보는 전산모사를 수행하였다.

그래핀을 모든 경계면에 적용한 패키지의 전체 열저항은 적용 전의 전체 열저항 4.37 K/W에서 2.9 K/W(66% 수준)로 줄어, 패키지의 열전달 특성이 34%(1.47 K/W 감소)나 대폭 개선된 것을 확인할 수 있다. Figure 2(a)에서 보이는 그래핀 적용 전의 열분포 등고선은 발열부 바로 하단의 SiC층에서 타원형 모양으로 나타나 있는 반면, 그래핀 적용 후의 Fig. 2(b)에서는 SiC층의 등고선이 확연히 편평하게 된 것을 볼 수 있다. 이는 열전달 경로 상의 유효단면적이 넓어진 것을 의미하며, 도출된 층별 열저항 수치도 상당히 향상되었음을 Fig. 3의 층별 누적 열저항 그래프를 통해 일목요연하게 파악할 수 있다.

기준되는 Ref 선은 그래핀 전의 전산모사 결과이고, Case1은 첫Au-Sn층과 SiC의 경계면에만 그래핀을 적용한 것, Case2는 InP와 첫Au-Sn층의 경계면에만 그래핀을 적용한 것, 그리고, Case3는 3개의 고려대상 경계면 모두에 그래핀을 적용한 것이다. 그래핀 적용 전의 층별 누적 열저항의 변화를 나타내는 Ref 선을 보면, 첫Au-Sn층의 두께를 감안할 때, $R_{Au\text{-}Sn}$~1.45 K/W나 되어 이 부분의 열저항 증가가 상당히 높은 것을 알 수 있다. 반면, InP와 첫Au-Sn층의 경계면에 그래핀을 적용한 후인 Case2와 3의 그래프를 보면 $R_{Au\text{-}Sn}$ ~ 0.57 K/W 수준으로 개선된 것을 볼 수 있다. 그래핀을 첫 Au-Sn층과 SiC의 경계면에 적용한 Case1은 당연하게도 첫 Au-Sn층 부분의 개선은 없으며, 그 이후에 나타나는 SiC 층의 R_{SiC}은 0.7 수준으로 개선된 것이 확인된다. 한편, InP 발열층 하단 부분은 InP와 첫Au-Sn층의 경계면에 그래핀이 적용되면, 열저항 R_{InP}가 오히려 다소 증가(0.58->0.88)하는 것이 흥미롭다. 이는 발열층 근처의 초반 열확산이 개선되는 반면, Fig. 2의 (a)와 (b)의 InP층 내부의 등온선 분포의 변화 비교에서 유추되듯이, 5um로 얇은 두께인 이 부분의 열전달 경로는 다소 늘어나는 듯한 효과에 의한 것으로 생각된다.

각 층에서 개선된 열저항 수치를 유효단면적의 개선으로 환산해보면, 첫Au-Sn층은 253%, SiC층은 214%, 2째Au-Sn층은 113%, Cu층은 120% 정도로 개선된 것으로서 발열부 근처에서 특히 효과가 좋은 개선책 임을 알 수 있다. InP층

은 그래핀 적용으로 인해 오히려 유효단면적이 다소 감소하였지만 그 기여가 적고, 나머지 층에서는 유효 단면적이 크게 증가하여 최종적으로 열저항이 상당히 개선되었다.

IV. 결 론

고출력 반도체 광원인 LD를 대상으로 열전달 특성을 고찰하고, 전산모사 결과를 바탕으로 단순 열저항 모델과 비교하여 병목현상이 심한 부분을 파악하여 개선안을 도출하였다. 발열부 근처일수록 열저항의 단순근사 예상치가 전산모사 결과치와 큰 차이를 보였으며, 이는 열전달 경로 상의 유효한 열단면적이 기대치보다 작아지게 되기 때문으로 파악되었다. 따라서, 그래핀을 각 층의 접합부에 적용하여 열전달 유효단면적을 개선하는 효과를 전산모사적으로 분석하였다. 전체 열저항은 기존의 4.37 K/W에서 2.9로 감소되어 34%나 개선되었으며, 유효단면적으로 환산하면 층별로 약 250~120%의 증가효과를 보였다.

고출력 반도체 광원의 발열부 근처의 경계면에 그래핀을 선택적으로 적용함으로써 방열특성을 대폭 개선하게 되므로, 광원 패키지 제작에 있어서의 경제성과 기능성을 크게 개선시키는 방안으로 널리 활용될 수 있을 것으로 기대된다. 또한 이는 고출력 광원 외에도 방열 개선이 필요한 각종 반도체 소자에도 적용이 가능한 방안으로 기대된다.

감사의 글

“이 논문은 2010년도 정부(교육부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업임(2010-0020163).”

References

1. R.-H. Horng, K.-C. Shen, Y.-W. Kuo, and D.-S. Wuu, “GaN light emitting diodes with wing-type imbedded contacts,” Opt. Express **21**, A1-A6 (2013).
2. C. Tsou and Y.-S. Huang, “Silicon-based packaging platform for light-emitting diode,” IEEE Transactions on Advanced Packaging **29**, 607-614 (2006).
3. L. Yin, L. Yang, W. Yang, Y. Guo, K. Mac, S. Li, and J. Zhang, “Thermal design and analysis of multi-chip LED module with ceramic substrate,” Solid-State Electronics **54**, 1520-1524 (2010).
4. C. Weng, “Advanced thermal enhancement and management of LED packages,” International Communications in Heat and Mass Transfer **36**, 245-248 (2009).
5. M. arik, C. Becker, S. Wever, and J. Petroski, “Thermal management of LEDs: package to system,” Proc. SPIE **5187**, 64-75 (2004).
6. E. Pop, V. Varshney, and A. K. Roy, “Thermal properties of graphene: Fundamentals and applications,” MRS BULLETIN **37**, 1273-1281 (2012).
7. D. D. L. Chung, “Materials for thermal conduction,” Applied Thermal Engineering **21**, 1593-1605 (2001).