

# 비례공진 제어기를 이용한 단상 계통연계형 인버터의 데드타임 영향과 옵셋 오차로 인한 전류맥동 저감에 관한 연구

성의석<sup>1</sup>, 황선환<sup>†</sup>

## A Study on Current Ripple Reduction Due to Offset Error and Dead-time Effect of Single-phase Grid-connected Inverters Based on PR Controller

Ui-Seok Seong<sup>1</sup> and Seon-Hwan Hwang<sup>†</sup>

### Abstract

The effects of dead-time and offset error, which cause output current distortion in single-phase grid-connected inverters are investigated this paper. Offset error is typically generated by measuring phase current, including the voltage unbalance of analog devices and non-ideal characteristics in current measurement paths. Dead-time inevitably occurs during generation of the gate signal for controlling power semiconductor switches. Hence, the performance of the grid-connected inverter is significantly degraded because of the current ripples. The current and voltage, including ripple components on the synchronous reference frame and stationary reference frame, are analyzed in detail. An algorithm, which has the proportional resonant controller, is also proposed to reduce current ripple components in the synchronous PI current regulator. As a result, computational complexity of the proposed algorithm is greatly simplified, and the magnitude of the current ripples is significantly decreased. The simulation and experimental results are presented to verify the usefulness of the proposed current ripple reduction algorithm.

**Key words:** Current ripple reduction, Dead-time effect, Offset error, Single-phase grid-connected inverter

### 1. 서 론

세계적으로 전력수요가 증가함에 따라 지속 가능한 에너지원의 활용과 전력품질 개선 등을 위한 연구개발이 이루어지고 있으며 풍력, 태양광 및 연료전지 등과 같은 신재생 에너지에 대한 관심이 높아지고 있다. 특히, 신재생 에너지의 상용화에 있어서 분산전원 시스템의 일부분으로써 계통연계형 인버터의 역할은 매우 중요하다. 그림 1은 일반적인 단상 계통연계형 인버터 시스템의 구성도이며 전력변환회로와 계통전원의 위상 검

출을 위한 위상 동기 루프제어, 전원측 전류제어, 직류단 전압제어 및 전력품질 개선을 위한 알고리즘 등으로 이루어져 있다<sup>[1]-[2]</sup>. 그림 1에서 알 수 있듯이, 단상 인버터 시스템의 전원 위상각 검출은 전역 통과필터를 사용한 가상 2상 위상 검출방식을 사용하고 있다. 또한 계통측 출력 전류의 경우, 추종된 전원각을 기준으로 좌표 변환한 후 동기 좌표계 PI 전류제어를 수행하고 있다.

일반적으로 계통연계형 인버터는 높은 전력품질을 위해 계통측 전류 정보를 기반으로 정밀한 제어가 요구된다. 이를 위하여 다양한 전류제어 기법이 적용되고 있으며, 대표적인 동기 좌표계 PI 전류제어기를 이용하면 모든 정상상태에서의 변수들이 직류성분으로 변환되어 제어의 용이성이 증가하여 널리 사용되어 오고 있다.

또한, 유니폴라 스위칭으로 제어되는 H-브릿지 인버터의 경우, 데드타임은 동일 레그 상의 두 스위칭 소자가 동시에 턴-온 될 때 발생하는 단락을 방지하기 위해 삽입된다. 이러한 데드타임으로 인해 인버터 출력전압에

Paper number: TKPE-2015-20-3-1

Print ISSN: 1229-2214 Online ISSN: 2288-6281

<sup>†</sup> Corresponding author: seonhwan@kyungnam.ac.kr, Dept. of Electrical Engineering, Kyungnam University  
Tel: +82-55-249-2744 Fax: +82-505-999-2161

<sup>1</sup> Dept. of Advanced Engineering, Kyungnam University  
Manuscript received Jan. 30, 2015; revised Feb. 22, 2015;  
accepted Mar. 19, 2015

- 본 논문은 2014년 추계학술대회 우수추천논문임

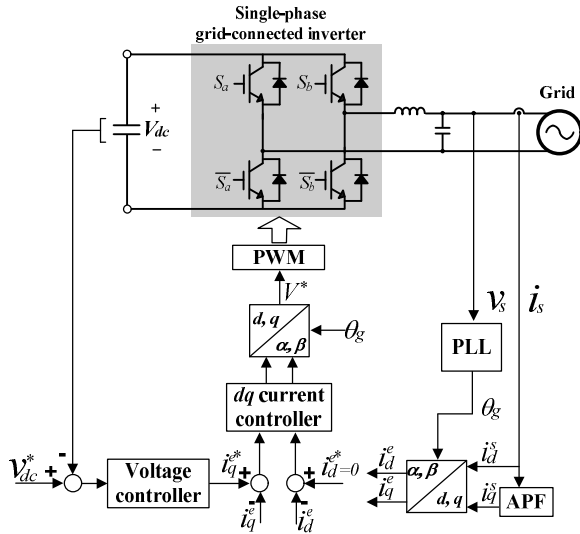


Fig. 1. Block diagram of the grid connected inverter system.

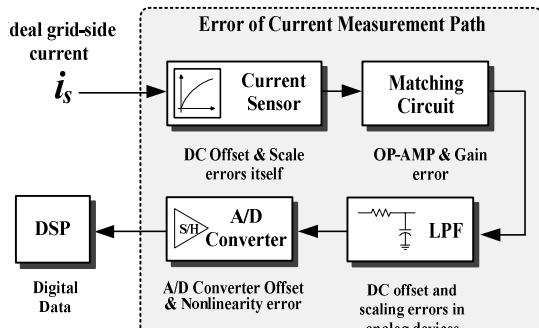


Fig. 2. Current measurement errors in analog signal processing circuits.

전원 주파수의 홀수차 고조파가 발생하며 이로 인해 계통측 상전류에 맥동을 야기하게 된다<sup>[3]-[6]</sup>. 전류측정의 경우, 그림 2와 같이 전류센서, 매칭회로, 필터회로 그리고 A/D 컨버터를 통해 이루어지는데, 측정경로상의 비선형적인 특성으로 인해 스케일 및 옵셋 오차가 발생된다<sup>[7]-[8]</sup>. 따라서 데드타임에 의해 왜곡된 전류 정보 하에서 스케일 및 옵셋 오차가 발생한 경우 출력의 왜곡이 상대적으로 커지게 되므로 시스템에 미치는 영향이 더욱 증가하게 된다.

이러한 상전류에 포함된 맥동 성분은 동기 좌표계로 좌표 변환 시  $dq$ 축에 각각 교류성분으로 나타나는데 PI 제어기의 특성상 교류성분은 보상할 수 없기 때문에 안정된 제어 성능을 위해서 추가적인 보상 알고리즘이 필요하다<sup>[9]-[10]</sup>.

본 논문에서는 데드타임과 옵셋 오차의 영향을 고려한 단상 계통연계형 인버터의 새로운 전류맥동 저감 알고리즘을 제안하였다. 또한 H-브릿지 인버터의 데드타임과 옵셋 오차의 영향을 좌표계상에서 상세히 분석하였다. 그 결과 동기 좌표계에는 전원 주파수의 1배, 2배, 3배 그리고 정지 좌표계에는 직류성분, 전원 주파수의 1배, 2배, 3배 그리고 4배 고조파가 야기됨을 확인하였다.

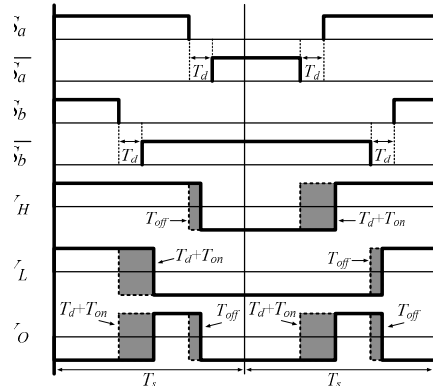
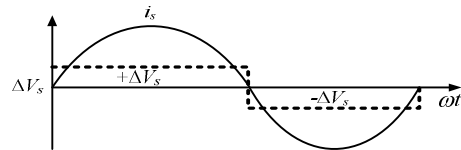
Fig. 3. Switching patterns and output voltages of the H-bridge inverter ( $i_s > 0$ ).

Fig. 4. Output current and voltage error in PWM inverter.

옵셋 오차의 영향은 동기 좌표계 PI 전류 제어기에 특정 주파수에서 무한대의 이득을 갖는 PR 제어기를 사용함으로써 개선되었다. 시뮬레이션과 실험을 통해 제안된 알고리즘의 유용성을 증명하였다.

## 2. 데드타임의 영향

전압형 인버터의 경우 동일한 레그의 두 스위치는 서로 상보적인 동작을 해야한다. 하지만 실제 게이팅 신호 전달시 발생하는 시간 지연과 스위칭 소자의 온-오프 동작시간에 의하여 두 스위치가 동시에 도통되어 단락 사고를 일으킬 위험이 있다. 그러므로 한 레그의 스위치가 턴-오프 되고 일정시간 경과 후에 동일 레그의 다른 스위치를 턴-온 하여 단락을 방지하게 되며, 이 때 지연된 시간을 데드타임이라고 한다.

그림 3은 인버터의 게이팅 시퀀스에 따른 데드타임과 스위칭 소자의 턴-온, 턴-오프 지연 시간에 의한 인버터의 전압 오차를 나타낸다.  $S_a$  턴-오프,  $\bar{S}_a$  턴-온 시 턴-오프 시간인  $T_{off}$ 로 인하여 전압 오차가 발생한다. 또한  $\bar{S}_a$  턴-오프,  $S_a$  턴-온 시 턴-온 시간  $T_{on}$ 과 데드타임  $T_d$ 에 의하여 전압 오차가 발생한다. 따라서 샘플링 주기  $T_s$ 에서 상전류  $i_s$ 의 방향에 따른 평균적인 왜곡 전압  $\Delta V_s$ 는 식 (1)과 같이 나타낼 수 있다<sup>[5]</sup>.

$$\Delta V_s = \frac{-T_d - T_{on} + T_{off}}{2T_s} V_{dc}, \quad i_s > 0$$

$$\Delta V_s = \frac{T_d + T_{on} + T_{off}}{2T_s} V_{dc}, \quad i_s < 0$$
(1)

그림 4는 상전류 파형과 데드타임 및 스위칭 소자의 턴-온, 턴-오프에 의해 왜곡된 전압의 평균값을 나타내고 있다. 푸리에 변환을 이용하여 왜곡된 전압  $V_{s\_dis}$ 을 나타내면 식 (2)와 같다.

$$V_{s\_dis} = \frac{4\Delta V_s}{\pi} \sum_{n=1,3,5,7 \dots}^{\infty} \frac{1}{n} \sin(n\omega_0 t) = \frac{4\Delta V_s}{\pi} \left[ \sin(\omega_0 t) + \frac{1}{3} \sin(3\omega_0 t) + \frac{1}{5} \sin(5\omega_0 t) + \dots \right] \quad (2)$$

식 (2)의 왜곡된 전압정보를 이용하여 부하 임피던스  $Z_{Ln}$  과 부하 임피던스각  $\psi_n$  를 고려한 상전류  $i_{s\_dis}$ 를 나타내면 식 (3)과 같다.

$$i_{s\_dis} = \frac{4\Delta V_s}{\pi} \sum_{n=1,3,5,7 \dots}^{\infty} \frac{1}{nZ_{Ln}} \sin(n\omega_0 t - \psi_n) = \frac{4\Delta V_s}{\pi} \left[ \frac{\sin(\omega_0 t - \psi_1)}{Z_{L1}} + \frac{\sin(3\omega_0 t - \psi_3)}{3Z_{L3}} \right] + \frac{4\Delta V_s}{\pi} \left[ \frac{\sin(5\omega_0 t - \psi_5)}{5Z_{L5}} + \frac{\sin(7\omega_0 t - \psi_7)}{7Z_{L7}} + \dots \right] \quad (3)$$

여기서

$$Z_L = |R + jn\omega_0 L| = \sqrt{R^2 + (n\omega_0 L)^2}$$

$$\psi_n = \tan^{-1} \frac{n\omega_0 L}{R}, (n = 1, 3, 5, 9 \dots)$$

식 (3)으로부터 데드타임의 영향에 의해 인버터 출력 전압에 왜곡이 발생하고 이로 인해 상전류에 전원 주파수의 홀수차 고조파가 야기된다.

### 3. 전류측정오차의 영향

#### 3.1 동기 좌표계에서 옵셋 오차의 영향

일반적으로 상전류는 전류센서, 아날로그 소자 그리고 A/D 컨버터의 순서에 의해서 측정되는데, 이러한 상전류 측정경로상의 비선형적인 특성으로 인하여 옵셋 및 스케일 오차가 불가피하게 발생한다. 이로 인해 상전류에 맥동이 발생하여 시스템의 성능을 저하시킨다. 그러나 단상 시스템에서 스케일 오차는 상전류 리플에 영향을 주지 않기 때문에 고려하지 않는다. 옵셋 오차와 데드타임이 상전류에 미치는 영향을 수식적으로 증명하기 위해 H-브릿지 인버터의 데드타임으로 인해 상전류에 발생하는 홀수차 고조파 성분을 1차와 3차 고조파로 나누어 나타내었으며 전역 통과필터를 통과한 정지 좌표계  $dq$ 축 전류는 식 (4)와 같다. 제 5차 고조파 이상의 홀수차 고조파에 대한 영향은 비교적 적기 때문에 고려하지 않았다.

$$\begin{bmatrix} i_{d\_dis}^s \\ i_{q\_dis}^s \end{bmatrix} = \begin{bmatrix} i_{d1}^s + i_{d3}^s \\ i_{q1}^s + i_{q3}^s \end{bmatrix} \quad (4)$$

식 (4)로부터 데드타임에 의한 1차 고조파가 포함된 정지 좌표계  $dq$ 축 전류  $i_{dq,1}^s$ 는 식 (5)와 같다.

$$\begin{bmatrix} i_{d1}^s \\ i_{q1}^s \end{bmatrix} = \begin{bmatrix} -I_{m1} \sin \theta_g \\ I_{m1} \cos \theta_g \end{bmatrix} \quad (5)$$

$\theta_g$ 는 전원 위상각이고  $\hat{\theta}_g$ 는 추정된 전원 위상각이다. 옵셋 오차  $\Delta_{dc}$ 가 포함된 데드타임에 의한 1차 고조파를 좌표변환하면 동기 좌표계  $dq$ 축 전류는 식 (6)과 같이 표현된다.

$$\begin{bmatrix} i_{d1}^e \\ i_{q1}^e \end{bmatrix} = \begin{bmatrix} \cos \hat{\theta}_g + \Delta_{dc}/2 & \sin \hat{\theta}_g + \Delta_{dc}/2 \\ -\sin \hat{\theta}_g + \Delta_{dc}/2 & \cos \hat{\theta}_g + \Delta_{dc}/2 \end{bmatrix} \begin{bmatrix} i_{d1}^s \\ i_{q1}^s \end{bmatrix} = \begin{bmatrix} I_{m1} \Delta_{dc}/2 (\cos \hat{\theta}_g - \sin \hat{\theta}_g) \\ I_{m1} + I_{m1} \Delta_{dc}/2 (\cos \hat{\theta}_g - \sin \hat{\theta}_g) \end{bmatrix} \quad (6)$$

식 (6)에서와 같이, 옵셋 오차는 동기 좌표계  $dq$ 축 전류에 옵셋 오차가 포함된 전원 주파수의 1배 고조파 성분을 야기한다. 데드타임에 의한 3차 고조파에 대한 정지 좌표계  $dq$ 축 전류는 식 (7)과 같다.

$$\begin{bmatrix} i_{d3}^s \\ i_{q3}^s \end{bmatrix} = \begin{bmatrix} -I_{m3} \sin 3\theta_g \\ I_{m3} \cos 3\theta_g \end{bmatrix} \quad (7)$$

식 (7)에서 옵셋 오차를 고려하여 좌표 변환 시 동기 좌표계  $dq$ 축 전류는 식 (8)과 같이 표현할 수 있다.

$$\begin{bmatrix} i_{d3}^e \\ i_{q3}^e \end{bmatrix} = \begin{bmatrix} \cos \hat{\theta}_g + \Delta_{dc}/2 & \sin \hat{\theta}_g + \Delta_{dc}/2 \\ -\sin \hat{\theta}_g + \Delta_{dc}/2 & \cos \hat{\theta}_g + \Delta_{dc}/2 \end{bmatrix} \begin{bmatrix} i_{d3}^s \\ i_{q3}^s \end{bmatrix} = \begin{bmatrix} I_{m3} \sin 2\hat{\theta}_g + I_{m3} \Delta_{dc}/2 (-\sin 3\hat{\theta}_g + \cos 3\hat{\theta}_g) \\ I_{m3} \cos 2\hat{\theta}_g + I_{m3} \Delta_{dc}/2 (-\sin 3\hat{\theta}_g + \cos 3\hat{\theta}_g) \end{bmatrix} \quad (8)$$

동기 좌표계에서 이상적인 전류신호가 입력되는 경우,  $d$ 축 전류에는 0A,  $q$ 축 전류에는 직류 성분만 나타는 반면, 식 (6)과 식 (8)로부터 데드타임과 옵셋 오차에 의해 동기 좌표계  $dq$ 축 전류에 1차 및 3차 고조파 성분이 발생하는 것을 알 수 있다.

#### 3.2 정지 좌표계에서 옵셋 오차의 영향

동기 좌표계  $dq$ 축 전류에 대한 PI 전류제어기의 출력은 좌표변환 후 출력전압의 기준 신호로 사용된다. PI 전류제어기의 출력을 수식적으로 나타내어 분석하기 위해 적분기의 출력 신호만을 계산함으로써 상전류에 포함된 고조파성분을 보다 간편하게 표현 가능하다. 따라서 식 (6)의 제 1차 고조파에 옵셋 오차가 포함된 동기 좌표계  $dq$ 축 전류에 대한 PI 전류제어기의 출력은 식 (9)와 같이 나타낼 수 있다.

$$\begin{bmatrix} v_{d,1}^e \\ v_{q,1}^e \end{bmatrix} = \begin{bmatrix} \frac{I_{m,1} \Delta_{dc}/2}{\omega} \sin \hat{\theta}_g + \frac{I_{m,1} \Delta_{dc}/2}{\omega} \cos \hat{\theta}_g \\ I_{m,1} + \frac{I_{m,1} \Delta_{dc}/2}{\omega} \sin \hat{\theta}_g + \frac{I_{m,1} \Delta_{dc}/2}{\omega} \cos \hat{\theta}_g \end{bmatrix} \quad (9)$$

식 (9)를 통해 좌표 변환된 정지 좌표계  $dq$ 축 출력전압은 식 (10)과 같다.

$$\begin{bmatrix} v_{d,1}^s \\ v_{q,1}^s \end{bmatrix} = \begin{bmatrix} I_{m,1} \Delta_{dc}/2 - I_{m,1} \sin \hat{\theta}_g + k(\cos \hat{\theta}_g + \sin \hat{\theta}_g) \\ + k_1(-\sin 2\hat{\theta}_g + \cos 2\hat{\theta}_g) \\ I_{m,1} \Delta_{dc}/2 + k_1 + I_{m,1} \cos \hat{\theta}_g + k(\cos \hat{\theta}_g + \sin \hat{\theta}_g) \\ + k_1 \sin 2\hat{\theta}_g \end{bmatrix} \quad (10)$$

여기서

$$k = \frac{2I_{m,1}(\Delta_{dc}/2)^2}{\omega}, \quad k_1 = \frac{I_{m,1} \Delta_{dc}/2}{\omega}$$

식 (8)의 3차 고조파에 옵셋 오차가 포함된 동기 좌표계  $dq$ 축 전류에 대한 PI 전류제어기의 출력은 식 (11)과 같이 나타낼 수 있다.

$$\begin{bmatrix} v_{d,3}^e \\ v_{q,3}^e \end{bmatrix} = \begin{bmatrix} -\frac{I_{m,3}}{2\omega} \cos 2\hat{\theta}_g + \frac{I_{m,3} \Delta_{dc}/2}{3\omega} \sin 3\hat{\theta}_g \\ + \frac{I_{m,3} \Delta_{dc}/2}{3\omega} \cos 3\hat{\theta}_g \\ \frac{I_{m,3}}{2\omega} \sin 2\hat{\theta}_g + \frac{I_{m,3} \Delta_{dc}/2}{3\omega} \sin 3\hat{\theta}_g \\ + \frac{I_{m,3} \Delta_{dc}/2}{3\omega} \cos 3\hat{\theta}_g \end{bmatrix} \quad (11)$$

식 (11)을 통해 좌표 변환된 정지 좌표계  $dq$ 축 출력전압은 식 (12)와 같다.

$$\begin{bmatrix} v_{d,3}^s \\ v_{q,3}^s \end{bmatrix} = \begin{bmatrix} -k_2 \cos \hat{\theta}_g + k_3 \cos 2\hat{\theta}_g + k_4(\sin 2\hat{\theta}_g - \cos 2\hat{\theta}_g) \\ + k_4(\sin 3\hat{\theta}_g + \cos 3\hat{\theta}_g) + k_2 \sin 4\hat{\theta}_g \\ k_2 \sin \hat{\theta}_g + k_3 \cos 2\hat{\theta}_g + k_4(\sin 2\hat{\theta}_g - \cos 2\hat{\theta}_g) \\ + k_4(\sin 3\hat{\theta}_g + \cos 3\hat{\theta}_g) + k_2 \sin 4\hat{\theta}_g \end{bmatrix} \quad (12)$$

여기서

$$k_2 = \frac{I_{m,1}}{2\omega}, \quad k_3 = \frac{I_{m,1} \Delta_{dc}/2}{3\omega}, \\ k_4 = \frac{I_{m,1} \Delta_{dc}/2}{2\omega}, \quad k_5 = \frac{2I_{m,1}(\Delta_{dc}/2)^2}{3\omega}$$

식 (10)과 식 (12)로부터 상전류에 포함된 테드타임 및 전류 측정에 따른 옵셋 오차의 영향으로 인하여 출력전압에 직류, 전원주파수의 1배, 2배, 3배 및 4배 고조파를 야기함을 확인할 수 있다. 따라서 상전류에도 계통 전압과 동일한 차수의 고조파가 발생하게 된다. 이러한 고조파로 인한 상전류 왜곡을 저감하기 위하여 본 논문에서는 옵셋 오차 성분만을 고려하여 검출 및 보상하는 연구를 수행하고자 한다.

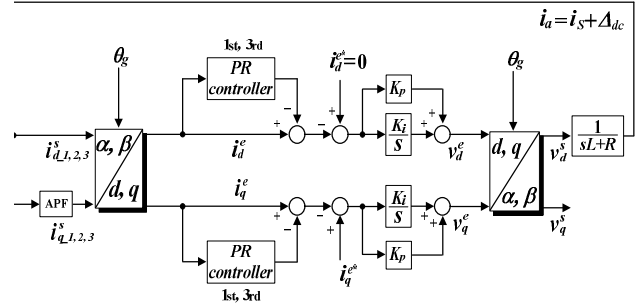


Fig. 5. Block diagram of the proposed current ripple reduction algorithm under dc offset error.

#### 4. 제안된 전류리플 저감 알고리즘

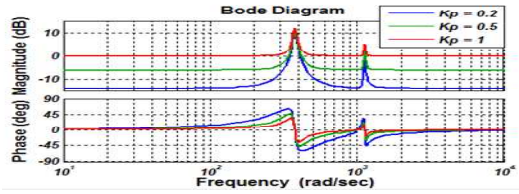
그림 5는 제안된 동기 좌표계  $dq$ 축 전류리플 저감 알고리즘의 블록도를 나타낸다. 앞서 계산된 수식에 의해 정지 좌표계에 포함된 직류, 전원 주파수의 1배, 2배, 3배 및 4배 고조파의 수와 비교해 동기 좌표계에 존재하는 옵셋 오차에 의한 고조파의 수가 상대적으로 적다는 것을 알 수 있었다. 따라서 동기 좌표계  $dq$ 축 전류를 상전류 맥동 보상을 위한 기준신호로 사용하면 연산적 복잡성을 감소할 수 있다. 동기 좌표계  $dq$ 축에 나타나는 옵셋 오차에 의한 전원 주파수의 제 1차 및 3차 고조파 성분은 동기 좌표계 PI 전류 제어기를 기반으로 한 시스템에 각 고조파에 해당되는 2개의 PR 제어기를 이용하여 다시 동기 좌표계  $dq$ 축 전류로 보상함으로써 저감된다.

PR 제어기는 특정한 주파수에서 개루프 이득이 무한대이며 위상지연이 없는 제어특성을 가지는 반면, 무한대의 이득으로 인하여 시스템의 안정성이 저하되는 단점이 존재한다. 이러한 단점을 보완하기 위하여 향상된 PR 제어기를 사용하면 특정 주파수에서의 이득을 조절할 수 있으며 옵셋 오차 및 테드타임에 의해서 동기 좌표계  $dq$ 축 전류에 발생하는 각 차수의 고조파 성분을 선택적으로 저감할 수 있다. 고조파 제거를 위해 사용된 향상된 PR 제어기의 전달함수는 식 (13)과 같다<sup>[11]-[12]</sup>.

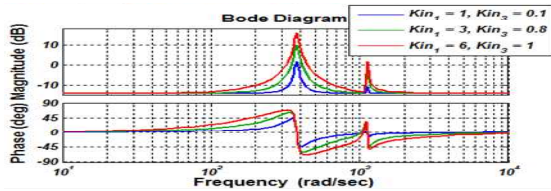
$n$ 은 보상하고자 하는 고조파의 차수,  $K_p$ 는 비례이득,  $K_{i,n}$ 은 각 고조파 차수의 공진 이득,  $\omega_c$ 는 차단 주파수에서의 대역폭 그리고  $\omega_0$ 는 계통 각주파수이다.

$$G_n(s) = K_p + \sum_n \frac{2K_{i,n}\omega_c s}{s^2 + 2\omega_c s + (n\omega_0)^2} \quad (13)$$

식 (13)에서 비례이득  $K_p$ 는 제어기의 동특성을 결정하고 공진이득  $K_{i,n}$ 은 선택된 주파수의 진폭과 대역폭을 결정한다. 옵셋 오차에 의해서 동기 좌표계  $dq$ 축 전류에 나타나는 전원 주파수의 1배 및 3배 고조파를 제거하기 위해 사용된 2개의 PR 제어기에 대한 보드선도는 그림 6과 같다.



(a)



(b)

Fig. 6. Bode diagram of improved PR controller.

(a)  $K_p = 0.2$ , (b)  $K_{m-1} = 3, K_{m-3} = 0.8$

### 5. 시뮬레이션

제안한 윗셋 오차 보상 알고리즘의 성능을 검증하기 위하여 Matlab의 Simulink를 사용하여 그림 7과 같은 단상 계통연계형 인버터 시스템을 구현하였으며 전력변환회로, 단상 PLL, 전압 및 전류 제어기 등과 같은 제어 시스템을 포함하고 있다. 그림 8은 시뮬레이션에서 사용된 전류 제어기의 내부 구성을 보여주고 있다. 주 제어기로써 PI 전류 제어기를 사용하고 있으며 동기 좌표계  $dq$ 축 전류를 기준신호로 사용한 PR 제어기를 통해 전류 맥동 성분을 보상한다. PR 제어기의 비례이득  $K_p$ 는 0.01, 공진이득  $K_{m-1,3}$ 은 각각 1로 사용되었다.

그림 9는 제안된 윗셋 오차 보상 알고리즘의 타당성을 증명하기 위한 시뮬레이션 파형이며, 상전류의 2%에 해당하는 윗셋 오차를 인가하고 제안된 알고리즘을 적용한 전후에 대하여 시뮬레이션을 수행하여 비교한 결과를 나타내었다.

그림 9(a)는 보상 전 상전류와 FFT 분석 결과로써 상전류에는 데드타임과 윗셋 오차로 인한 직류 성분과 전원 주파수의 1배, 2배, 3배 및 4배의 고조파를 포함하고 있음을 알 수 있다. 반면, 그림 9(b)에서는 제안한 전류 리플 저감 알고리즘을 통하여 상전류에 기본과 이외의 직류 및 고조파성분이 크게 감소되었고 결과적으로 THD가 1.68%에서 0.6%로 개선됨을 확인할 수 있었다.

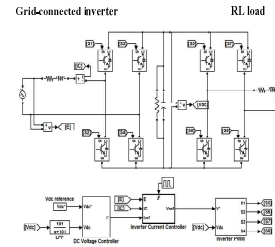


Fig. 7. Simulation block diagram of single-phase grid-connected inverter.

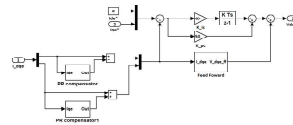
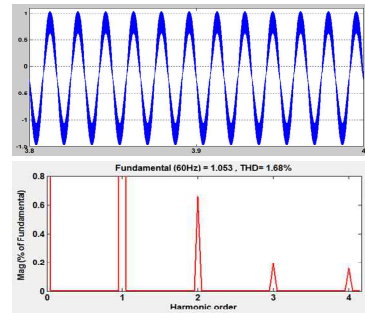
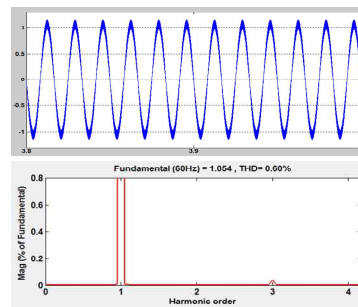


Fig. 8. Block diagram of the proposed current ripple compensation algorithm.



(a)



(b)

Fig. 9. FFT results and waveforms of phase current. (a) before compensation (b) after compensation

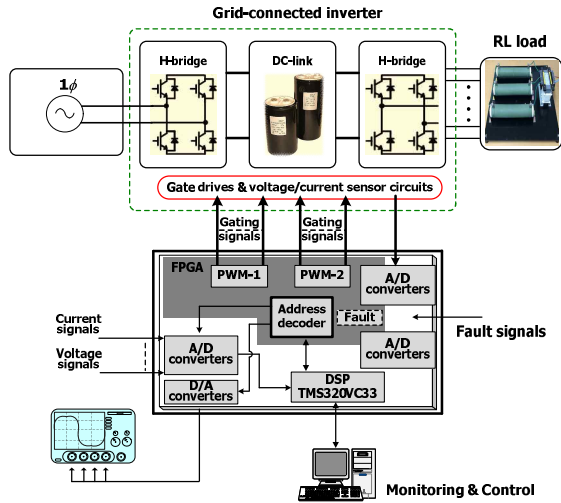


Fig. 10. Block diagram of the proposed current ripple compensation algorithm.

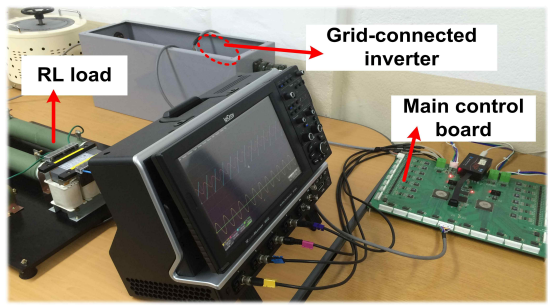


Fig. 11. Block diagram of the proposed current ripple compensation algorithm.

TABLE I

PARAMETERS OF SINGLE-PHASE GRID-CONNECTED INVERTER

Parameters	Value
Rated power	3[kW]
Grid voltage	220[V], 60[Hz]
DC link capacitance	5240[uF]
Reactor inductance	5[mH]
Sampling period	100[us]
Switching frequency	10[kHz]
Kp (PR)	1
Kin_1, 3 (PR)	150

### 6. 실험

본 논문에서 제안한 단상 계통연계형 인버터의 전류 맥동 저감 알고리즘의 효용성을 검증하기 위해 그림 10 과 같은 시스템을 구성하여 실험을 수행하였으며 제어 부는 TMS320VC33을 사용하여 구성하였다.

그림 11은 실험이 수행된 3kW급 계통 연계형 인버터의 실험세트이며 실험에 사용된 실험장치의 사양은 표

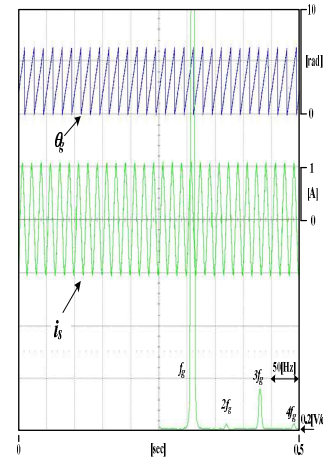


Fig. 12. Grid angle and phase current caused by dead-time effect.

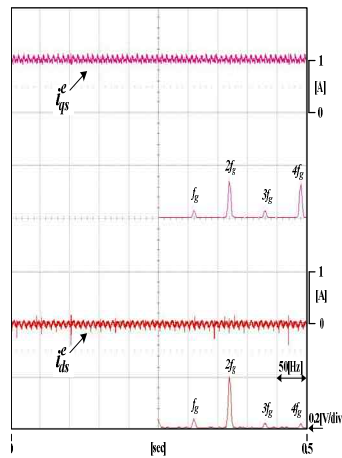


Fig. 13. Synchronous *dq*-axis currents caused by dead-time effect.

1에 나타내었다. 계통 전압 및 주파수는 220V, 60Hz로 인가하였으며, 스위칭 주파수는 10kHz로 설정하였다. 직류단 커패시터의 용량은 5240uF, 리액터 인덕턴스의 용량은 5mH로 사용하였다.

그림 12와 그림 13은 인버터 동작 시 데드타임 영향에 의해 왜곡된 상전류와 동기 좌표계 *dq*축 전류의 파형 및 FFT 분석결과를 나타내고 있다. 그림 12에서 데드타임에 의해 상전류에 전원 주파수의 홀수차 고조파가 발생하는 것을 보인다. 그림 13은 상전류를 좌표변환한 동기 좌표계 *dq*축 전류를 나타내며 상전류의 홀수차 고조파에 의한 2배 고조파가 발생하는 것을 알 수 있다.

그림 14와 그림 15는 상전류의 2%에 해당하는 옵셋 오차를 인가하여 왜곡된 전류 정보로 동기 좌표계 PI 전류제어를 수행할 경우 상전류의 파형 및 동기 좌표계 *dq*축 전류의 파형을 나타내고 있으며 각각에 대한 FFT 결과를 아래에 나타내고 있다.

그림 14는 상전류 및 FFT 분석결과이며 시뮬레이션

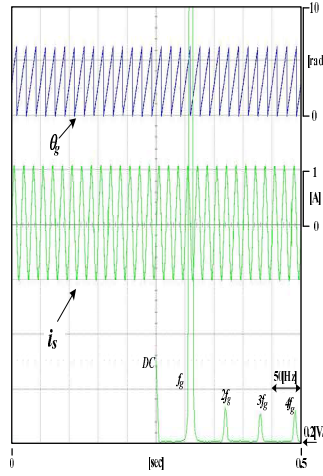


Fig. 14. Grid angle and phase current including dc offset error.

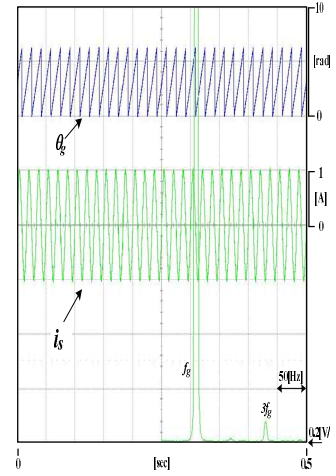


Fig. 16. Grid angle and phase current after dc offset error compensation.

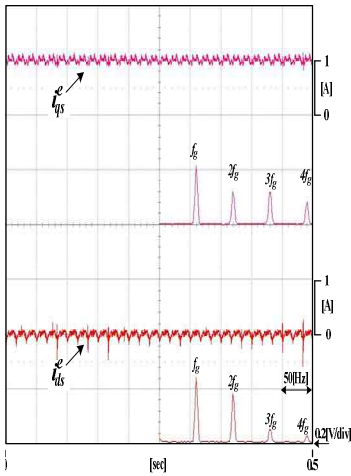


Fig. 15. Synchronous  $dq$ -axis currents including dc offset error.

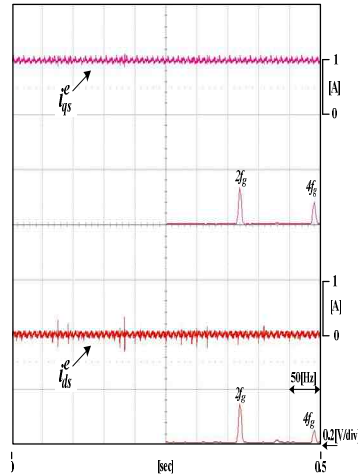


Fig. 17. Synchronous  $dq$ -axis currents after dc offset error compensation.

결과와 마찬가지로 데드타임과 옵셋 오차로 인하여 상전류에 직류 성분과 전원 주파수의 1배, 2배, 3배 및 4배 고조파가 나타나는 것을 알 수 있으며 이는 식 (10)과 식 (12)와도 동일한 결과를 나타낸다.

그림 15는 동기 좌표계  $dq$ 축 전류 및 FFT 분석결과를 보여준다. 동기 좌표계  $dq$ 축 전류에는 전원 주파수의 1배, 2배 및 3배 맥동이 존재하며 이는 식(6)과 식 (8)의 결과와 동일함을 알 수 있다.

그림 16와 그림 17은 제안된 전류맥동 저감 알고리즘을 적용한 경우 상전류 및 동기 좌표계  $dq$ 축 전류의 실험 파형이다. 그림 16의 상전류의 FFT 결과에 의해 상전류에는 보상 전과 비교하여 맥동성분이 크게 감소함을 보이고 있다. 그림 16의 동기 좌표계  $dq$ 축 전류 또한 FFT 결과를 통해 보상 전과 비교하여 고조파의 영향이 줄어들음을 알 수 있다. 옵셋 오차의 영향으로 인해 발생하는 1차 및 3차 고조파에 대한 2개의 PR 제어기를 사

용하여 보정한 결과, 동기 좌표계  $dq$ 축 전류에 데드타임에 의한 2차 고조파는 여전히 존재하고 있지만 옵셋 오차로 인한 상전류의 전류맥동은 크게 저감됨을 확인할 수 있다.

## 7. 결 론

본 논문에서는 단상 계통연계형 인버터의 데드타임 및 옵셋 오차 영향으로 인한 전류맥동 저감 알고리즘이 제안되었다. 기본적으로 데드타임은 스위칭 소자 제어시 단락을 방지하기 위해 삽입되며 옵셋 오차는 전류측정회로의 비선형적인 특성에 의해 발생된다. 그에 따라 야기되는 전류맥동 성분을 동기 좌표계와 정지 좌표계를 기반으로 수학적으로 분석되었다. 또한 동기 좌표계 PI 전류제어기 기반의 시스템에 제안된 특정 차수의 고조파를 선택적으로 제거할 수 있는 특성을 가진 PR 제

어기를 이용한 알고리즘을 적용하였으며 복잡한 연산과정을 갖지 않고 전류맥동을 쉽게 저감할 수 있었다. 제안된 알고리즘의 효용성은 시뮬레이션과 실험결과를 통해 증명하였다.

이 논문은 2013년도 정부(미래창조과학부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업(NO.NRF-2013R1A1A1013670)의 연구비 지원에 의하여 연구 되었슴

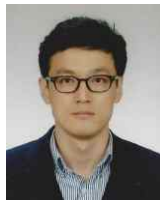
## References

- [1] S. H. Hwang, L. Liu, H. Li, and J. M. Kim, "DC offset error compensation for synchronous reference frame PLL in single-phase grid-connected converters," *IEEE Trans. on Power Electronics*, Vol. 27, No. 8, pp. 3467-3471, Aug. 2012.
- [2] C. H. Lee and J. W. Choi, "Compensation strategy to eliminate the effect of current measurement offsets in grid-connected inverters," *Journal of Power Electronics*, Vol. 14, No. 2, pp. 383-391, Mar. 2014.
- [3] T. K. Vu, B. M. Han, and H. J. Cha, "A new adaptive dead-time compensation for single-phase grid-connected PV inverter," *IEEE Applied Power Electronics Conference*, pp. 923-930, Mar. 2011.
- [4] S. H. Hwang and J. M. Kim, "Dead time compensation method for voltage-fed PWM inverter," *IEEE Trans. on Energy Conversion*, Vol. 25, No. 1, pp. 1-10, Nov. 2009.
- [5] O. S. Park, J. W. Park, C. B. Bae, and J. M. Kim, "A dead time compensation algorithm of independent multi-phase PMSM with three-dimensional space vector control," *Journal of Power Electronics*, Vol. 13, No. 1, pp. 77-85, Jan. 2013.
- [6] D. Leggate and R. Kerkman, "Pulse-based dead-time compensator for PWM voltage inverters," *IEEE Trans. Ind. Electron.*, Vol. 38, No. 2, pp. 191-197, Apr. 1997.
- [7] J. H. Park, H. G. Jeong, and K. B. Lee, "Output current ripple reduction algorithms for home energy storage systems," *Energies*, Vol. 6, No. 10, pp. 5552-5569, Oct. 2013.
- [8] H. S. Jung, S. H. Hwang, J. M. Kim, C. U. Kim, and C. Choi, "Diminution of current-measurement error for vector-controlled AC motor drives," *IEEE Trans. on Ind. Appl.*, Vol. 42, No. 5, pp. 1249-1255, Oct. 2013.
- [9] M. H. Kim, S. K. Sul, and J. G. Lee, "Compensation of current measurement error for current-controlled PMSM drives," *IEEE Trans. Ind. Appl.*, Vol. 50, No. 5, pp. 3365-3373, Jan. 2014.
- [10] S. H. Hwang, Y. G. Hwang, and S. K. Kwon, "A study on current ripple reduction due to offset error in SRF-PLL for single-phase grid-connected inverters," *JIEIE*, Vol. 28, No. 11, pp. 68-76, Nov. 2014.
- [11] N. Zhang, H. Tang, and C. Yao, "A systematic method for designing a PR controller and active damping of the LCL filter for single-phase grid-connected PV inverters," *Energies*, Vol. 7, No. 6, pp. 3934-3954, Jun. 2014.
- [12] M. Castilla, J. Miret, J. Matas, L. G. de Vicuna, and J. M. Guerrero, "Control design guidelines for single-phase grid-connected photovoltaic inverters with damped resonant harmonic compensators," *IEEE Trans. on Ind. Electronics*, Vol. 56, No. 11, pp. 4492-4501, Nov. 2009.



### 성익석(成依席)

1991년 2월 23일생. 2015년 경남대 전기공학과 졸업. 2015년~현재 동 대학원 첨단공학과 석사과정.



### 황선환(黃善煥)

1978년 7월 15일생. 2004년 부산대 전기공학과 졸업. 2006년 동 대학원 전기공학과 졸업(석사). 2011년 동 대학원 전기공학과 졸업(공학박). 2011년~2012년 플로리다 주립대 CAPS 박사후연구원. 2012년~현재 경남대 전기공학과 조교수. 당 학회 편집위원.