

# BCD Platform과의 집적화에 적합한 고성능 Lateral Super Barrier Rectifier의 연구

김덕수, 이희덕<sup>a</sup>

충남대학교 전자전파정보통신공학과

## A Study on High Performance Lateral Super Barrier Rectifier for Integration in BCD (Bipolar CMOS DMOS) Platform

Duck-Soo Kim and Hi-Deok Lee<sup>a</sup>

Department of Electronic Engineering, Chungnam National University, Daejeon 305-764, Korea

(Received December 4, 2014; Revised April 20, 2015; Accepted May 24, 2015)

**Abstract:** This paper suggests a high performance lateral super barrier rectifier (Lateral SBR) device which has the advantages of both Schottky diode and pn junction, that is, low forward voltage and low leakage current, respectively. Advantage of the proposed lateral SBR is that it can be easily implemented and integrated in current BCD platform. As a result of simulation using TCAD,  $BV_{dss} = 48$  V,  $V_F = 0.38$  V @  $I_F = 35$  mA,  $T_j = 150^\circ\text{C}$  were obtained with very low leakage current characteristic of 3.25  $\mu\text{A}$

**Keywords:** BCD, Power rectifier, SBR, High performance rectifier

### 1. 서론

아날로그 시스템 IC를 설계하기에 적합한 상용 BCD (Bipolar CMOS DMOS) 공정 [1]에서는 다양한 MOSFET이나 bipolar junction transistor 소자 외에도 부가적인 기능을 위해 Schottky 다이오드 [2] 또는 P-N junction 다이오드를 [3] 포함한다. 그러나 일반적으로 P-N Junction 다이오드는 0.7 V 수준의 높은 순방향 전압 강하(forward voltage drop)의 단점을 가지고 있고 Schottky 다이오드는 상대적으로 낮은 순방향 전압 강하의 장점을 갖고 있지만 높은 역방향

누설 전류 (reverse leakage current)의 단점을 가지고 있다 [4]. 하지만 아날로그 시스템 IC 제품은 낮은 소비 전력 및 효율 향상을 위해 낮은 순방향 전압 강하와 낮은 역방향 누설 전류를 갖는 고성능 다이오드가 요구 되고 있으나 지금까지 다이오드 소자에 대한 연구는 discrete 형태의 소자에 국한되어 특성 개선을 위한 활발하고 꾸준한 연구가 진행되고 있는 실정이다.

지금까지 연구된 고성능 discrete 형태의 다이오드로는 FRD (fast recovery diode) [5], MPS (merged Pin & Schottky) [6], TMBS (trench MOS barrier Schottky) [7], SBR (super barrier rectifier) [8] 등으로 출시되고 있다. 기존의 고성능 다이오드는 chip의 표면 (surface)에서 바닥 (bottom)면으로 current가 흐르는 vertical 소자로 discrete 형태로만 사용가능하다는 한계가 있다. 즉 고성능 다이오드를 IC와 함께 하나의 chip에서 만들 수 있는 집적화를 위한 연구

a. Corresponding author; [hlee@cnu.ac.kr](mailto:hlee@cnu.ac.kr)

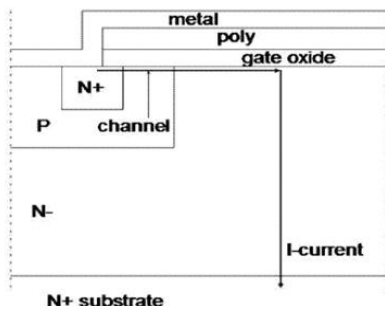


Fig. 1. Vertical structure of conventional SBR [9].

는 되지 않고 있었다. IC chip과의 집적화를 위해서는 lateral 소자에 대한 연구가 필요하였다. IC chip 제조를 위한 공정에서 낮은 순방향 전압 강하 특성을 갖는 다이오드의 부재는 IC 설계에 큰 걸림돌로 작용하며 순방향에서 역방향으로 swing하는 입력을 받는 고속 CAN (controller area network) transceiver와 [9] 같은 제품에서는 isolation 구조의 다이오드가 필요하나 SOI (silicon on insulator) 기반의 높은 단가의 공정을 제외하고는 상용 BCD 공정에서 isolation되는 고성능의 다이오드를 제공하지 않아 IC 제품에 별도로 실장 해야 하므로 시스템 크기 증가 및 제품 가격 상승의 단점이 있다.

현 시대의 요구 사항에 부합하는 아날로그 시스템 IC 설계에 필요한 BCD 공정을 구현하기 위해서는 MOSFET과 같은 스위칭 소자뿐만 아니라 고성능의 집적화가 가능한 다이오드 소자의 연구도 반드시 필요하다고 할 수 있다. 낮은 순방향 전압 강하( $V_F$ )와 낮은 역방향 누설 전류 ( $I_R$ ) 특성을 확보하며 BCD platform에 집적이 용이한 소자를 구현하기 위해 lateral super barrier rectifier를 연구하고자 하였다. SBR은 구조적으로 Schottky 다이오드나 P-N 접합 다이오드와 다르게 MOSFET의 형태이며 소스(Source), 바디(Body), 게이트(Gate) 전극을 하나로 연결하여 양극(Anode)으로 사용하며 드레인(Drain) 전극을 음극(Cathode)으로 사용한다. 순방향 동작 시에는 채널을 통하여 전류를 흐르게 하고 역방향 동작 시에는 채널이 형성되지 않아 전류가 흐르지 않게 된다 [8]. 이러한 동작 특성 때문에 SBR은 channel diode나 MOS controlled diode로 소개가 되기도 한다 [10,11].

상용 BCD platform에서는 lateral 방향으로 전류가 흐르는 lateral 소자를 제공하며 기존 소자들과 집적화하기 위해서는 SBR도 lateral 타입을 가져야 한다. 기

존의 vertical 소자를 lateral 소자와 집적하기 위해서는 BL (buried layer)와 SNK (sinker layer)를 이용하여 vertical current path를 lateral path로 전환했다가 다시 vertical current path로 변환해 주어야 하므로 Mask 및 공정 복잡화로 인해 매우 비효율적이다. 따라서 본 논문에서는 공정 단순화 및 가격 경쟁력을 확보하기 위해서 상용 BCD platform을 이용하는 IC 제품과 낮은 순방향 전압을 갖는 고성능 다이오드를 하나의 chip에 집적화가 가능하도록 lateral SBR 소자를 제안하였고, 시뮬레이션을 이용한 소자 특성을 분석을 통해 제안한 구조가 적합함을 증명하였다.

## 2. 실험 방법

그림 2에서는 상용 BCD platform에 집적이 가능한 lateral SBR을 보여준다. 일반적으로 discrete 소자는 N-type의 에피(epitaxy)를 사용하지만 BCD platform과 집적화하기 위해서 일반적인 BCD platform에서 사용하는 P-type의 에피(epitaxy)에서 구현이 되어야 한다.

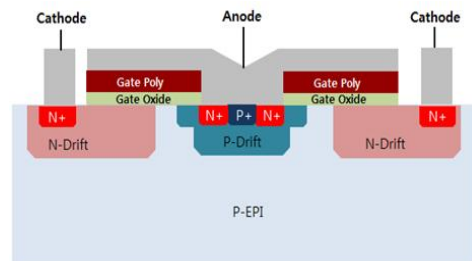


Fig. 2. Vertical structure of lateral SBR.

Lateral SBR은 channel을 형성하여 lateral 방향으로 전류를 흐르게 하는 lateral LDMOS와 유사한 구조이며 SBR로 동작하기 위해서 LDMOS (lateral double diffused MOSFET)의 소스(Source), 바디(Body), 게이트(gate)를 묶어서 양극으로 드레인(Drain)을 음극으로 설정해야 한다. Process integration 시 소자간 isolation을 위해 BCD platform에서 제공하는 NBL (N-Barreid Layer)과 N-SNK(N-Sinker)를 이용할 수 있다. SBR의 주요 전기적 특성 중 하나인  $V_F$ 와  $I_R$ 은 채널 길이와 채널 형성을 위한 임플란트 도즈 (implant dose)로 결정할 수 있다. 채널을 형성하여 전류를 흐르게 하는 소자이므로 우수한  $V_F$  특성을 확보하기 위해서는 short channel length가 되어야 한다.

```

contact name=gate n.poly workfunction=4.1
contact name=gate common=source short
contact name=body common=source short

interface qf=2e10

method newton
solve init

log outf=lsbr-nsub.log master
solve vsource=0 vstep=0.02 vfinal=1.0 name=source
    
```

Fig. 3. Contact parameter definition.

본 논문에서 제안하는 소자의 공정 정보는 다음과 같다.

- 1) Starting material : P-EPI 8  $\mu\text{m}$  / 7  $\Omega\text{-cm}$
- 2) N-Drift 농도 : N /  $1.5 \times 10^{16} \text{ cm}^{-3}$
- 3) Gate oxide thickness : 100  $\text{\AA}$
- 4) Channel length : 0.23 ~ 0.38  $\mu\text{m}$  split

일반적으로 discrete 형태의 vertical SBR은 N-EPI를 이용하며 40 V의 BV와 Low VF를 확보하기 위해 4 ~ 4.5  $\mu\text{m}$  두께와 0.5 ~ 0.6  $\Omega\text{-cm}$ 의 EPI 사용이 적절하다 [12]. 그러나 본 논문에서 제안하는 소자는 BCD platform에서 구현해야 하므로 상용 BCD platform에서 사용하는 P-EPI와 동일한 농도와 두께인 P-EPI 8  $\mu\text{m}$  / 7  $\Omega\text{-cm}$ 로 설계하였다. 40 V 이상의 항복전압 (breakdown voltage, BV)를 확보하는 N-Drift와 P-Drift 설계가 필요하며 P-Drift는  $V_F$ 도 함께 고려하여 설계해야 한다. Gate oxide는 절연내압을 만족하는 범위에서 최소한 얇게 설계하여야  $V_F$  특성 확보에 유리하므로 gate 절연내압 40 V를 고려하여 100  $\text{\AA}$ 으로 설계하였다.

제안한 소자는 TCAD tool을 이용하여 평가를 진행하였으며 BV는 누설 전류가 10  $\mu\text{A}$ 인 조건에서 측정하며 40 V 이상,  $V_F$ 는  $I_F = 35 \text{ mA}$ 에서 측정하며 0.4 V 이하가 되도록 설계하였다.  $V_F$  특성평가를 위해 채널 길이를 split하여 하였으며 시뮬레이션 진행 시 소스, 바디, 게이트를 각각 형성하였다.

그림 3에서 표현한 것과 같이 게이트와 소스 그리고 바디를 단락시켰다.

### 3. 결과 및 고찰

소자평가 결과 그림 4와 같이 0.26  $\mu\text{m}$  gate length

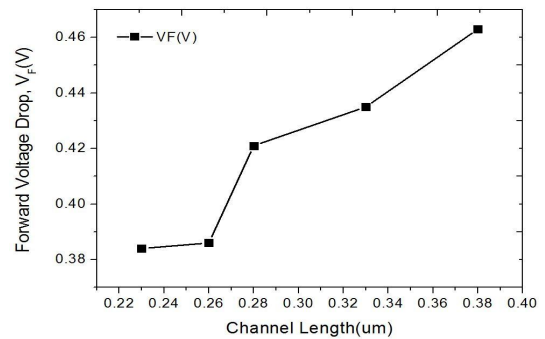


Fig. 4. Simulation result of forward voltage drop ( $V_F$ ) versus channel length( $\mu\text{m}$ ).

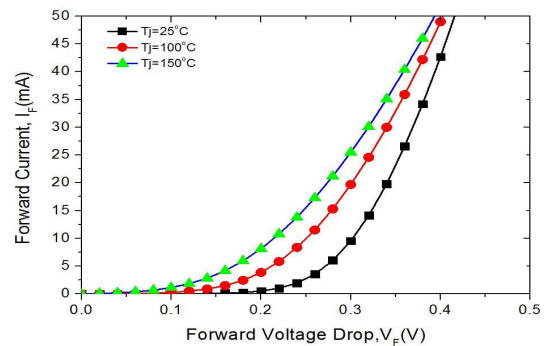


Fig. 5. Simulation result of forward current versus forward voltage ( $I_F$ - $V_F$ ).

이상에서는 채널 길이 (channel length) 증가에 대해  $V_F$  특성이 Linear하게 증가하는 것을 알 수 있다. 우선 채널 길이가 작은 영역을 살펴보면, 채널 길이가 0.23  $\mu\text{m}$ 와 0.26  $\mu\text{m}$ 인 경우에는 유사한  $V_F$  특성을 나타낸다. 따라서 0.23  $\mu\text{m}$ 의 채널 길이인 경우에 더 낮은  $V_F$  특성을 얻기 위해서는 gate oxide 두께 변화와 channel dose 변화가 수반되어야 할 것으로 보인다. 그러나 보다 안정적인 항복전압 특성을 확보하기 위해서는 채널 길이를 0.26  $\mu\text{m}$ 로 가져가야 할 것으로 판단된다. 채널 길이에 따른  $V_F$ 의 선형 특성으로 비추어 볼 때 lateral SBR 소자를 안정적으로 양산하기 위해서는 소자 제작 공정 시에 채널 길이를 균일하게 관리하는 것이 매우 중요할 것으로 판단된다.

그림 5와 그림 6에서는 온도에 따른  $V_F$  특성과 BV 및 leakage current 특성을 나타내었다. 특성 목표치인  $I_F = 35 \text{ mA}$ 을 기준으로 살펴보면, 접합 온도 (junction temperature,  $T_j$ )가  $25^\circ\text{C}$ 에서  $V_F = 0.38 \text{ V}$ 를 확보하였으며  $T_j = 150^\circ\text{C}$ 에서는  $V_F = 0.33 \text{ V}$ 를 확보하였다.

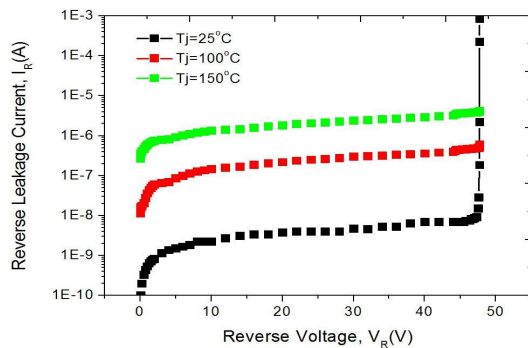


Fig. 6. Simulation result of reverse current versus reverse voltage ( $I_R$ - $V_R$ ).

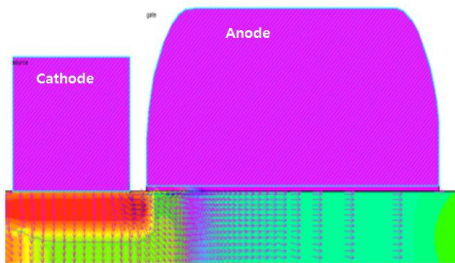


Fig. 7. On state current flow vector under forward bias.

누설 전류는 일반적인 다이오드 특성과 같이 온도에 따라 증가하는 특성을 나타내고 있지만,  $T_j = 150^\circ\text{C}$ 에서  $3.25 \mu\text{A}$ 의 낮은 값을 나타내고 있다. 따라서 고온 동작에서도 충분히 사용할 수 있을 정도의 특성을 확보하였다고 할 수 있다. 역방향 내압인 BV (breakdown voltage)는 48 V를 확보하였다.

그림 7에서는 TCAD 시뮬레이션에서 순방향 동작 상태의 conduction current flow를 나타내었다. 양극(Anode)로 사용되는 게이트(Gate) 전극 아래에서 channel이 형성되어 음극(Cathode)으로 current가 흐르는 것을 확인할 수 있다.

#### 4. 결론

본 논문에서는 일반적인 discrete 형태의 vertical 소자가 아닌 lateral SBR 소자를 제안하였으며, 제안한 소자는 상용 BCD platform에 집적이 용이한 장점을 가지고 있다고 할 수 있다.

시뮬레이션 평가 결과 48 V의 역방향 내압 ( $V_R$ )과 35 mA의 순방향 전류( $I_F$ ) 조건에서 0.38 V의 낮은 순방향 전압 강하( $V_F$ )의 특성을 확보하였다.  $150^\circ\text{C}$ 의 접합 온도에서 역방향 누설전류( $I_R$ )는  $3.25 \mu\text{A}$  수준을 확보하였다. 제안한 lateral SBR은 discrete 형태의 vertical SBR에서 사용되는 낮은 저항의 N-type의 EPI wafer가 아닌 BCD 공정에서 사용되는 P-Type EPI wafer에 구현하였고 우수한 순방향 전압 강하 특성뿐만 아니라 낮은 역방향 누설전류 특성, 그리고 고온 동작 안정성을 확보하였다. 이러한 특성은 상용 BCD 공정에서 제공하는 P-N 접합 다이오드와 Schottky 다이오드의 단점을 극복하기에 충분한 것으로 사료된다.

또한 상용 BCD 공정의 원자재 wafer와 동일한 조건에서 시뮬레이션을 통해 특성을 검증하였으므로 BCD 공정에 집적하기에 적합하며 NBL과 SNK를 활용하여 isolated nLDMOS와 유사한 구조를 이용하여 타 소자와는 isolation이 되는 lateral SBR을 구현 가능할 것으로 사료된다.

#### REFERENCES

- [1] B. Murara, F. Bertotti, and G. A. Vignola, *Smart Power ICs* (Springer, 2002) p. 9-15.
- [2] J. Baliga, *Fundamentals of Power Semiconductor Devices*, (Springer, 1999) p. 167-177.
- [3] J. Baliga, *Fundamentals of Power Semiconductor Devices*, (Springer, 1999) p. 203-211.
- [4] J. P. Colinge and C. A. Colinge, *Physics of Semiconductor Devices*, 95 (2002).
- [5] [www.ixys.com/Documents/AppNotes/IXAN0044.pdf](http://www.ixys.com/Documents/AppNotes/IXAN0044.pdf)
- [6] Baliga and B. Jayant, *Analysis of a High-voltage Merged p-i-n/Schottky (MPS) Rectifier*, 407 (1987).
- [7] TMBS-<http://www.vishay.com/diodes/rectifiers/schottky-tmbs>
- [8] Rodov, V. Super Barrier Rectifier - *A New Generation of Power Diode* (APD Semiconductor Inc, 2007 IEEE)
- [9] [http://onsemi.com/pub\\_link/Collateral/AMIS-30663-D.PDF](http://onsemi.com/pub_link/Collateral/AMIS-30663-D.PDF)
- [10] Q. Huang and G.A.J. Amaratunga, *Sol. St. Elec.*, **38**, 977 (1995).
- [11] P. Chang, G. C. Chern, W.Y.W. Hsueh, and V. Rodov, US Patent 6448160; September 10, 2002
- [12] J. Baliga, *Fundamentals of Power Semiconductor Devices*, (Springer, 1999) p. 91-113.