

논문 2015-52-5-5

2개의 증폭기를 이용한 가변 구조 형의 4차 델타 시그마 변조기

(A Design of a Reconfigurable 4th Order $\Sigma\Delta$ Modulator Using Two Op-amps)

양 수 훈*, 최 정 훈*, 윤 광 섭**

(Su-Hun Yang, Jeong-Hoon Choi, and Kwang Sub Yoon[©])

요 약

본 논문에서는 생체 신호 처리를 위한 14비트 이상의 고 해상도를 갖는 A/D 변환기 설계를 위하여 공급 전압이 1.8V인 CMOS 델타-시그마 변조기를 설계하였다. 본 논문에서 제안하는 4차 델타 시그마 변환기는 타임 인터리빙 기술을 이용하여 회로를 시간에 따라 재구성해 연산증폭기를 재사용하는 구조를 통해 차수에 따라 4개의 연산증폭기가 필요한 회로를 2개의 연산증폭기만으로 구동 시켰다. 또한 스위치드 커패시터 적분기 구조상의 특징인 샘플링 시간과 적분 시간의 동작에 따라 샘플링 커패시터의 크기를 조절함으로써 저항 성분으로부터 발생하는 열잡음인 KT/C 잡음을 감소시킬 수 있는 회로를 제안하였다. 제안한 델타-시그마 변조기는 Magna 0.18um CMOS n-well 1 폴리 6메탈 공정을 이용하여 제작되었으며 제작된 칩의 측정 결과 전력소모는 1.8V 전원 전압에서 828 μ W이고 샘플링 및 입력 주파수가 256KHz, 1KHz일 때 최대 SNDR은 75.7dB, DR은 81.3dB로 측정되었다. KT/C 잡음 저감 회로가 적용되지 않은 회로에서는 최대 SNDR이 72.1dB로 측정되어 KT/C 잡음 저감 회로가 적용되었을 때 약 3dB정도의 성능 향상을 나타내었다. 회로의 FOM은 41pJ/step 과 142dB로 계산되었다.

Abstract

In this paper, in order to design the A / D converter with a high resolution of 14 bits or more for the biological signal processing, CMOS delta sigma modulator that is a 1.8V power supply voltage - were designed. we propose a new structure of The fourth order delta-sigma modulator that needs four op amps but we use only two op amps. By using a time -interleaving technique, we can re-construct the circuit and reuse the op amps. Also, we proposed a KT/C noise reduction circuit to reduce the thermal noise from a noisy resistor. We adjust the size of sampling capacitor between sampling time and integrating time, so we can reduce almost a half of KT/C noise. The measurement results of the chip is fabricated using a Magna 0.18um CMOS n-well1 poly 6 metal process. Power consumption is 82 μ W from a 1.8V supply voltage. The peak SNDR is measured as a 75.7dB and 81.3dB of DR at 1kHz input frequency and 256kHz sampling frequency. Measurement results show that KT/C noise reduction circuit enhance the 3dB of SNDR. FOM of the circuit is calculated to be 142dB and 41pJ / step.

Keywords: Bio signal, $\Sigma\Delta$ modulator, low power, reuse, KT/C noise

* 학생회원, ** 평생회원, 인하대학교

(Department of Electronic Engineering, Inha University)

※ 본 연구는 미래창조과학부 및 정보통신기술진흥센터의 ICT융합고급인력과정지원사업의 연구결과로 수행되었음 (IITP-2015-H8601-15-1003)

※ 이 논문은 2010년도 정부(교육부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업임 (2010-0020163)

※ 이 논문은 인하대학교의 지원에 의해서 연구되었음.

© Corresponding Author(E-mail: ksyoon@inha.ac.kr)

Received ; December 29, 2014 Revised ; March 25, 2015 Accepted ; April 23, 2015

I. 서 론

생체 신호는 현대 첨단 과학기술의 발전과 함께 생체 신호 측정 및 자극 분야가 활발히 연구되면서 휴대형 측정 장비개발에 필요한 저 전력 고해상도 A/D 변환기에 대한 요구가 증가하였다.

$\Sigma\Delta$ 변조기는 높은 해상도의 A/D 변환기 설계에 적합한 설계방법으로 14비트 이상의 높은 해상도를 갖는 A/D 변환기의 설계를 위해 변조기의 차수를 높이는 방법을 사용하게 되면 차수만큼 증폭기의 수가 늘어나 전력소모가 증가한다. 때문에 전력소모를 줄이기 위하여 구동전압을 1V 이하로 낮추고 새로운 형태의 증폭기 또는 스위치를 도입하거나^[1-2] 3차의 델타 시그마 변조기를 두 개 또는 한 개의 증폭기만을 이용하여 설계함으로써 소모전류량을 급감시켜 전력을 낮추는 방식을 이용하고 있다^[3-4].

본 논문에서는 저 전력 고해상도 A/D 변환기의 설계를 목표로 2개의 증폭기만을 이용하여 구성된 4차 델타 시그마 변조기와 변조기의 성능을 향상시키기 위한

KT/C 잡음 저감 회로를 제안한다.

본 논문의 섹션 II에서는 변조기 및 KT/C 잡음 감쇄 회로의 설계에 대해 설명하고 섹션 III에서는 모의실험 결과에 대해 살펴본 뒤 섹션 IV에서 본 논문에 대한 결론을 내리도록 한다.

II. 제안된 회로 설계

전력 소모를 최소화 하기 위해서는 4차의 변조기를 1개의 증폭기만으로 구성하여야 하지만 1개의 증폭기만을 사용하게 되면 일반적인 구조에서 사용되는 클럭의 4배 빠른 클럭이 요구된다. 특히 델타 - 시그마 변조기의 경우 오버샘플링을 하는 변환기 이므로 클럭 주파수가 4배가되면 증폭기의 성능에도 부담이 될 뿐 아니라 동적 전력 소모량이 증가하게 되어 성능이 저하되는 문제가 발생한다. 따라서 본 논문에서는 증폭기를 2개 사용하여 4차의 변조기를 구성하였고 기존 구조에서 사용되는 클럭 주파수의 2배속도의 클럭을 사용하였다.

저 전력 설계의 경우 각 단의 적분기의 출력 스윙폭

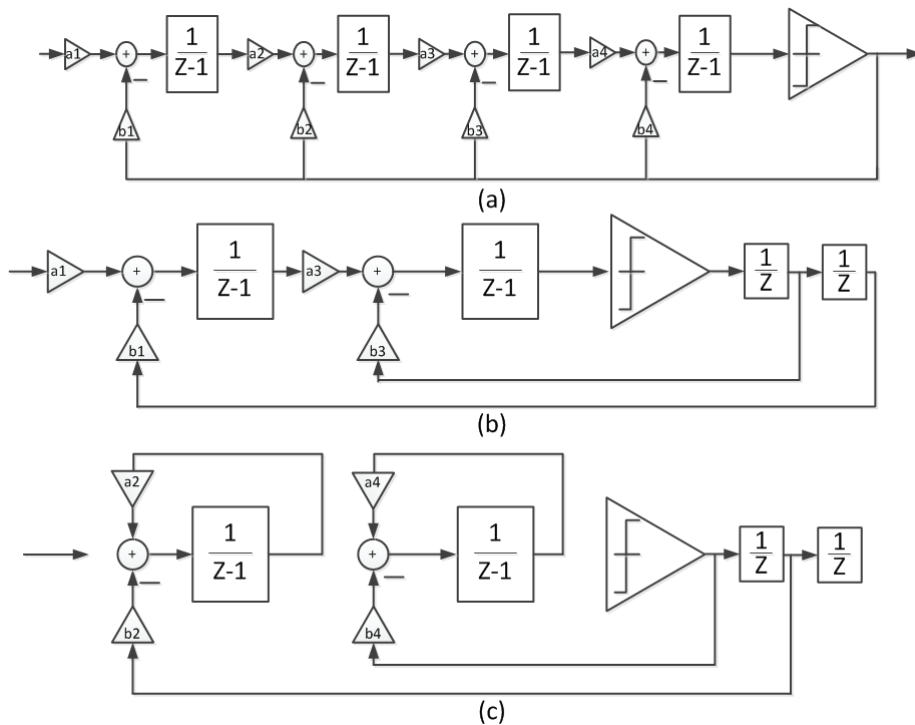


그림 1. (a) 일반적인 피드백 구조 4차 변조기 (b) 제안하는 4차 변조기의 페이즈1 (c) 제안하는 4차 변조기의 페이즈2

Fig. 1. (a) conventional feedback topology modulator (b) proposed modulator topology phase 1 (c) proposed modulator topology phase 2.

을 최소화 하고자 일반적으로 피드 포워드 방식을 채택한다^[5]. 하지만 본 논문에서는 증폭기 수를 감소시키는 데서 발생하는 회로의 복잡성 및 추가 회로 구성으로 인한 전력소모, 성능 감소를 배제하기 위하여 가장 간단한 피드백 방식의 변조기 구조를 채택 하였다. 피드백 구조를 사용하는 경우 DAC에서 발생하는 잡음이 성능에 영향을 줄 수 있기 때문에 단일비트 비교기를 사용하였다.

제안하는 변조기는 타임 인터리빙 방식을 이용하여 그림 1(a)의 일반적인 구조의 변조기 동작을 동일하게 모사하여 신호가 전달된다. 하나의 증폭기당 2개의 적분 캐패시터를 사용하여 각 단의 결과를 저장하며 첫 번째 증폭기는 첫 번째 단과 두 번째 단, 그리고 두 번째 증폭기는 세 번째 단과 네 번째 단의 역할을 맡아 신호를 처리하게 된다. 각 증폭기는 2개의 적분 캐패시터를 가지며 각 단의 처리결과를 저장하게 된다. 각각의 적분 캐패시터가 증폭기에서 떨어진 시간 동안 신호의 변화를 막기 위하여 그림 2에서와 같이 플로팅된 단자를 공통 모드 단자에 연결하였다.

그림 1은 각 증폭기가 첫 번째 단과 세 번째 단을 처리하는 시간을 페이즈1 (b), 두 번째 단과 네 번째 단을 처리하는 시간을 페이즈2 (c)로 하여 신호처리 과정을

나타내었다. 피드백 캐패시터의 수를 줄이기 위하여 첫 번째와 두 번째 단의 루프 필터 계수를 동일하게 구성하였고 세 번째 네 번째 단 역시 하나의 피드백 캐패시터를 이용하여 두 단을 처리할 수 있도록 계수를 조정하였다. 계수 구현을 위하여 250fF의 단위 캐패시터를 정수배로 사용하였다. 증폭기의 성능은 표 1과 같다. 델타 시그마 변조기의 동작 모델 모의실험을 통해 설계된 연산 증폭기의 성능이 필요 성능을 만족하는 것을 확인하였다.

델타시그마 변조기의 구조를 피드백 구조를 사용하기 때문에 KT/C 잡음에 가장 큰 영향을 받는 첫 번째 적분단의 계수를 키우기 어렵다. 이 때문에 KT/C 잡음

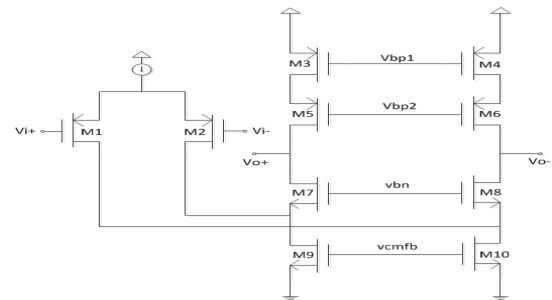


그림 3. 회로에 사용된 연산증폭기
Fig 3. Proposed Operational Amp.

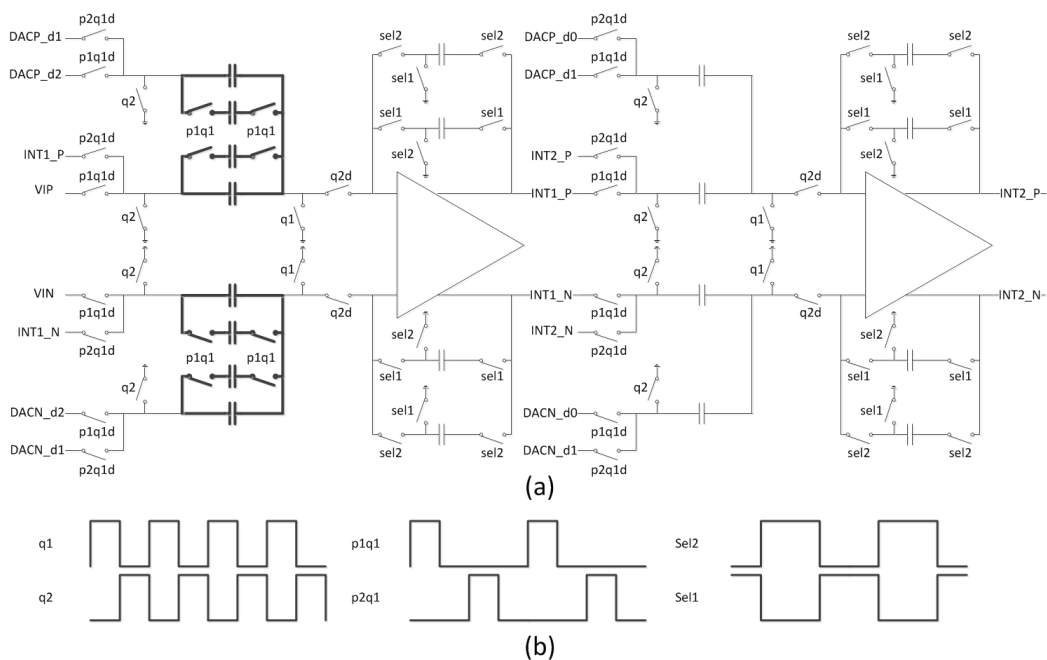


그림 2. (a) 제안하는 4차 델타 시그마 변조기 (b) 회로에 사용된 클럭 신호
Fig. 2. (a) Proposed 4th order delta-sigma modulator (b) Clock signal of apply to the circuit.

표 1. 연산증폭기 성능
Table 1. Performance of Op-amp.

설계 항목	연산 증폭기
이득[dB]	80
위상 마진[deg]	88
단일 이득 주파수 [MHz]	5.2
부하 커패시턴스 [pF]	10
소비 전류 [uA]	180

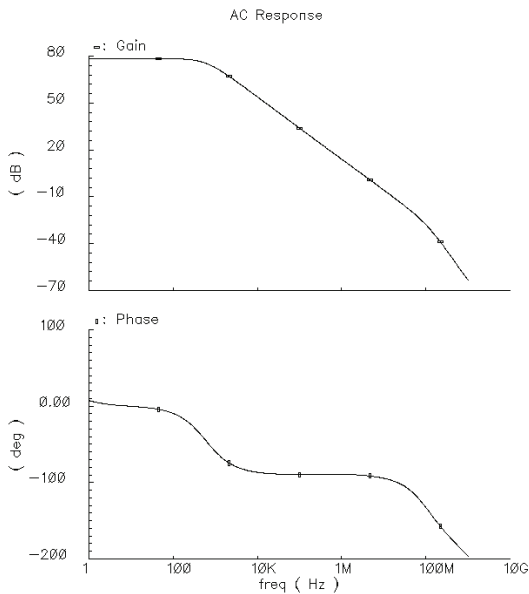


그림 4. 연산증폭기 SPICE 시뮬레이션 결과
Fig 4. SPICE simulation of OP-amp.

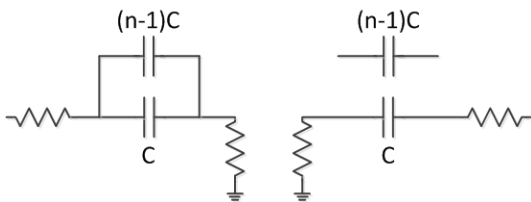


그림 5. KT/C 잡음 저감 회로 동작 원리
Fig. 5. Operation of KT/C noise reduction circuit.

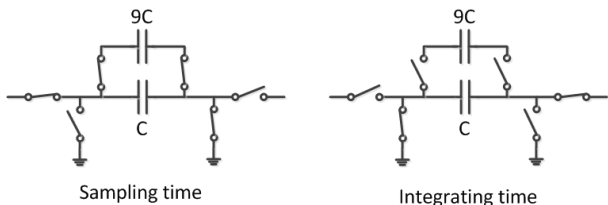


그림 6. KT/C 잡음 저감 회로
Fig. 6. KT/C noise reduction circuit.

을 감쇄시키기 위하여 그림 6과 같은 잡음 감쇄회로를 추가하였다.

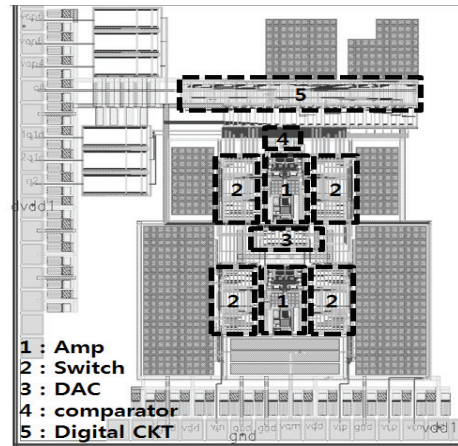


그림 7. 제작된 칩의 레이아웃
Fig. 7. Layout of fabricated chip.

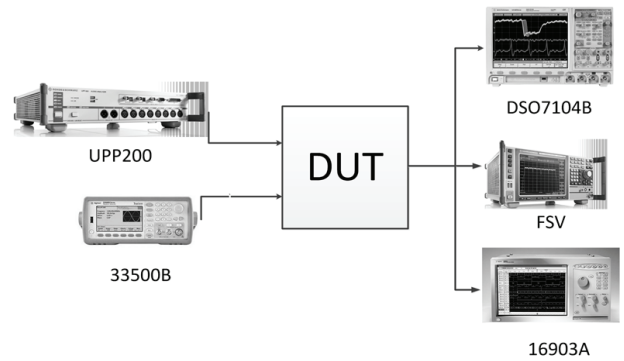


그림 8. 제작된 칩의 측정환경
Fig. 8. Measurement environment.

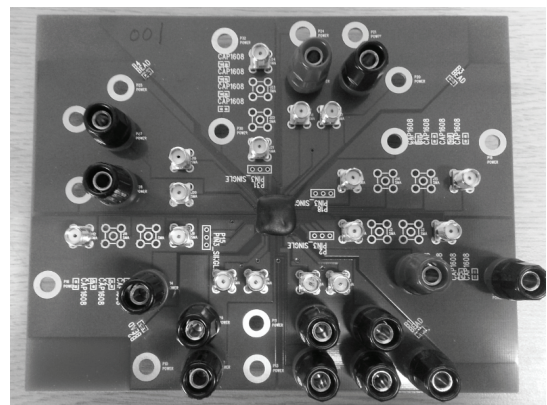


그림 9. 제작된 칩의 보드
Fig. 9. Chip board.

KT/C 잡음은 적분기가 샘플링 동작때와 적분 동작 때 한 번씩 누적되어 1회 적분이 진행되는 동안 축적되는 잡음의 양은 $2KT/C$ 이다^[6]. 따라서 샘플링 시간에서의 캐패시터의 크기를 기존 샘플링 캐패시터의 크기의 n배로 증가시키고 적분시간의 캐패시터는 기존의 값

을 유지시키게 되면 누적되는 잡음의 양은 식(1)와 같고 n의 크기를 충분히 키우면 KT/C 잡음의 양이 기존에 비해 절반으로 감소하게 된다. 본 논문에서는 샘플링 시간동안의 캐패시터 크기는 10pF 적분시간동안의 캐패시터 크기는 1pF를 사용하였다.

$$V_N = \frac{KT}{nC} + \frac{KT}{C} = \frac{(n+1)KT}{nC} \approx \frac{KT}{C} \quad (1)$$

III. 측정 결과

제안한 델타-시그마 변조기는 Magna 0.18um CMOS n-well 1 폴리 6메탈 공정을 이용하여 제작되었으며 제작된 칩의 레이아웃은 그림 7과 같고 그림 8과 같은 측정환경에서 측정 되었다. 동작 클럭 주파수는 OSR이 128이 되도록 512kHz를 입력하여 샘플링 클럭 주파수가 256kHz가 되도록 하였다. 그림 10은 출력되는 신호를 스펙트럼분석기로 측정한 파형이고 그림 11은 출력 파형을 로직 분석기로 비트 스트림을 추출하여 FFT를 수행한 파형이다. 비트 스트림의 샘플 수는 262144개로 hanning 윈도우를 통해 신호누설을 억제하여 FFT를 진행하였다. 그림 11(a)는 KT/C 잡음저감회로를 적용했을 때의 파형이고 그림 12(b)는 잡음저감회로를 적용하지 않은 회로의 출력 FFT파형이다. DR의 측정은 최대 입력 주파수인 1kHz 사인파 입력 신호의 크기를

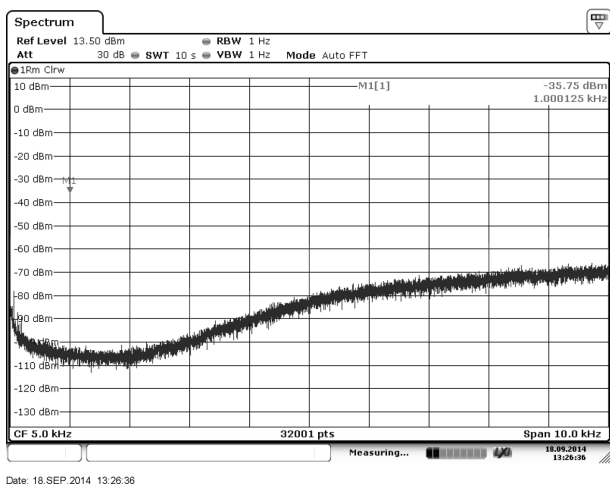
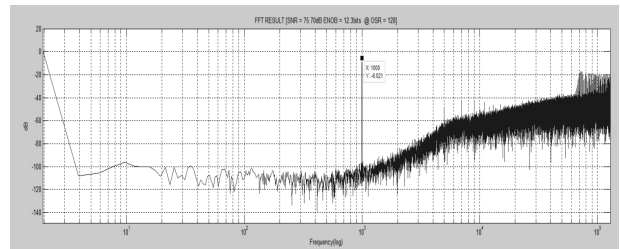
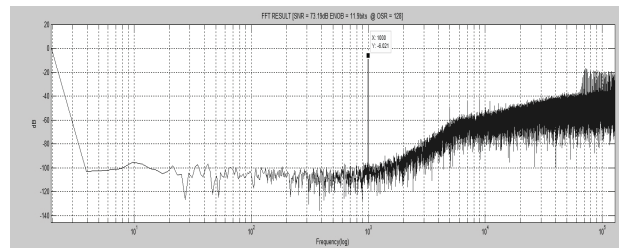


그림 10. 스펙트럼 분석기에서 측정된 출력신호 스펙트럼

Fig 10. Spectrum of output signal from spectrum analyzer.



(a)



(b)

그림 11. 제작된 칩의 출력 파형 FFT결과

Fig. 11. Output FFT results.

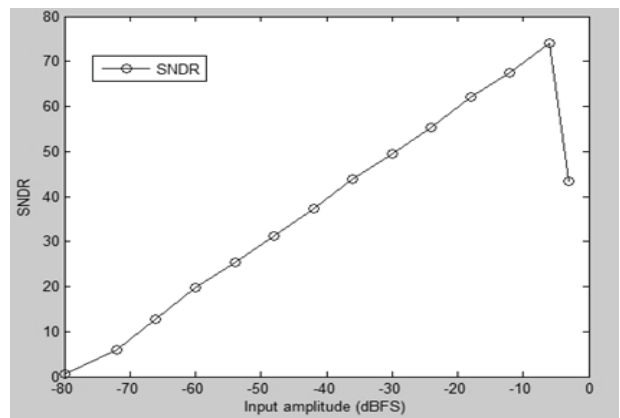


그림 12. 입력신호 크기에 따른 SNDR

Fig. 12. SNDR versus input amplitude.

IV. 결론

본 논문에서는 생체 신호 처리를 목적으로 1kHz의 입력주파수 범위를 갖고 OSR이 128인 4차 델타 시그마 변조기 설계를 제안했다. 저 전력을 달성하기 위해 재사용증폭기를 이용하여 증폭기의 수를 반감 시켰으며 KT/C잡음을 감소시키기 위한 회로를 제안하여 도입하였다. 측정결과 최대 SNDR은 75.7dB로 12.3bit의 유효 비트수를 나타내었고 입력신호의 크기를 가변 하여 측정한 결과 최대 분해능을 나타내는 DR은 81.3dB로 측정되었다. 소모전류량은 460uA로 측정되어 전체 소모

표 2. 성능 비교 표

Table 2. Performance comparison table.

Specification	[1](2009)	[1](2010)	[2](2012)	[3](2012)	[8](2014)	this work
Number of orders	4	5	4	3	3	4
OSR	80	48	256	16	32	128
bandwidth	20kHz	20kHz	1kHz	100kHz	10MHz	1kHz
SNDR	88.7dB	81dB	81dB	84dB	68.6	75.7dB
ENOB	14.7	13.45	13.45	13.66	11	12.3
supply voltage	3	0.6	0.5	1.5	1.1	1.8
power consumption	5.6mW	34uW	35.2uW	140uW	1.82mW	828uW
FOM(Walden)	5.2 pJ/step	78.6fJ/step	79fJ/step	54fJ/step	41.4fJ/step	41pJ/step
FOM(Schreier)	161.5dB	167dB	172dB	176.5dB	166dB	142.4dB
Process(CMOS)	0.18um	0.13um	0.13um	0.18um	65nm	0.18um

$$FOM(walden) = \frac{P}{2^{ENOB} \cdot f_s}$$

$$FOM(Schreier) = DR + 10 \log\left(\frac{BW}{P}\right)$$

전력은 828 μ W로 측정되었다.

KT/C잡음 저감회로를 사용한 회로와 사용하지 않은 회로의 성능 차이는 약 3dB 차이로 잡음 저감회로를 적용한 쪽이 0.5bit 정도의 성능향상을 보이고 있다. FOM(Walden)은 41pJ/step, FOM(Schreier)는 142.4dB로 계산되었다. 설계는 0.18um n-well 1 폴리 6메탈 공정을 사용하여 진행하였다.

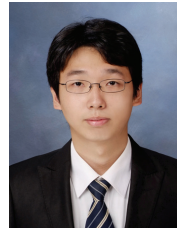
REFERENCES

- [1] Zhenglin Yang, Libin Yao, Yong Lian, "A 0.5-V 35- μ W 85-dB DR Double-Sampled $\Delta\Sigma$ Modulator for Audio Applications" JSSC, vol.47, pp. 722-735, 2012.
- [2] H.D. Roh, H. J. Kim, Y. K. Choi, J. J. Roh, Y. G. Kim, J. K. Kwon, "A 0.6-V Delta Σ Modulator With Subthreshold-Leakage Suppression Switches" Circuits and Systems II, vol. 56, pp. 825-829, 2010.
- [3] Bonizzoni, E. ; Perez, A.P. ; Maloberti, F. ; Garcia-Andrade, M. "Third-order $\Sigma\Delta$ modulator with 61-dB SNR and 6-MHz bandwidth consuming 6 mW", analog Integr.Circuits Signal Process, vol. 66, no. 3, pp. 381-388, Sep. 2010.
- [4] Pena-Perez, A, Bonizzoni, E, Maloberti, F. "A 88-dB DR, 84-dB SNDR Very Low-Power Single Op-Amp Third-Order $\Sigma\Delta$ Modulator" JSSC, vol. 47, pp. 2107-2118.
- [5] R. Schreier, G. C. Temes. "Understanding Delta-Sigma Data Converters" New-York, Wiley-IEEE Press 2005.
- [6] P. J. Quinn, Arthur H.M.Van Roermund "Switched-Capacitor Techniques for High-Accuracy Filter and ADC design" Dordrecht, Springer 2007.
- [7] Y.K. Choi, J.J. Roh, H. D. Roh, H. S. Nam, S. J. Lee, "A 99-dB DR Fourth-Order Delta Σ Modulator for 20-kHz Bandwidth Sensor Applications", Instrumentation and Measurement , vol. 58, pp. 2264-2274, 2009.
- [8] Zeller, S. ; Muenker, C. ; Weigel, R. ; Ussmueller, U., "A 0.039 mm² Inverter-Based 1.82 mW 68.6~dB-SNDR 10 MHz-BW CT- $\Sigma\Delta$ -ADC in 65 nm CMOS Using Power- and Area-Efficient Design Techniques", JSSC, vol.49, pp. 1548 - 1560

저 자 소 개



양 수 훈(학생회원)
2013년 인하대학교 전자공학과
학사 졸업.
2015년 인하대학교 전자공학과
석사 졸업.
<주관심분야 : 전자공학, 혼성신
호 회로설계>



최 정 훈(학생회원)
2014년 인하대학교 전자공학과
학사 졸업.
2016년 인하대학교 전자공학과
석사 졸업 예정.
<주관심분야 : 전자공학, 혼성신
호 회로설계>



윤 광 섭(평생회원)
1981년 인하대학교 전자공학과
학사 졸업.
1983년 Georgia Institute Inc,
Technology 전자공학과
석사 졸업.
1989년 Georgia Institute Inc,
Technology 전자 공학과
박사 졸업.

1984년 3월~1989년 2월 Georgia Institute of
Technology Research Assistant.
1989년 3월~1992년 2월 Silicon Systems Inc,
Tustin Calif. U.S.A Senior Design
Engineer
1992년 3월~현재 인하대학교 전자공학과 교수
<주관심분야 : 전자공학, 혼성신호 회로설계>