

## Al Doped ZnO층 적용을 통한 ZnO 박막 트랜지스터의 전기적 특성과 안정성 개선

엄기윤<sup>1</sup>, 정광석<sup>2</sup>, 윤호진<sup>2</sup>, 김유미<sup>2</sup>, 양승동<sup>2</sup>, 김진섭<sup>2</sup>, 이가원<sup>2,a</sup>

<sup>1</sup> 충남대학교 차세대기판학과

<sup>2</sup> 충남대학교 전자전파정보통신공학과

### Improvement of Electrical Performance and Stability in ZnO Channel TFTs with Al Doped ZnO Layer

Ki-yun Eom<sup>1</sup>, Kwang-seok Jeong<sup>1</sup>, Ho-jin Yun<sup>1</sup>, Seung-dong Yang<sup>1</sup>, Jin-seop Kin<sup>1</sup>, and Ga-won Lee<sup>1,a</sup>

<sup>1</sup> Department of Electronics Engineering, Chungnam University, Daejeon 305-764, Korea

(Received March 20, 2015; Revised April 1, 2015; Accepted April 7, 2015)

**Abstract:** Recently, ZnO based oxide TFTs used in the flexible and transparent display devices are widely studied. To apply to OLED display switching devices, electrical performance and stability are important issues. In this study, to improve these electrical properties, we fabricated TFTs having Al doped Zinc Oxide (AZO) layer inserted between the gate insulator and ZnO layer. The AZO and ZnO layers are deposited by Atomic layer deposition (ALD) method. I-V transfer characteristics and stability of the suggested devices are investigated under the positive gate bias condition while the channel defects are also analyzed by the photoluminescence spectrum. The TFTs with AZO layer show lower threshold voltage ( $V_{th}$ ) and superior sub-threshold slop. In the case of  $V_{th}$  shift after positive gate bias stress, the stability is also better than that of ZnO channel TFTs. This improvement is thought to be caused by the reduced defect density in AZO/ZnO stack devices, which can be confirmed by the photoluminescence spectrum analysis results where the defect related deep level emission of AZO is lower than that of ZnO layer.

**Keywords:** TFT, ZnO, AZO, Stability

### 1. 서론

ZnO 기반의 산화물 반도체를 이용한 박막트랜지스터(TFTs)는 디스플레이의 스위칭 소자로 널리 연구되고 있다. 특히 모바일 및 모니터 분야에서의 OLED 시

장의 비약적인 성장과 차세대 유연/투명 디스플레이 개발 필요성에 따라 IGZO 등 산화물 반도체를 이용한 TFT소자에 대한 연구가 집중되고 있다 [1,2]. 기존의 다결정/비정질 Si을 이용한 박막트랜지스터에 비해 산화물 반도체를 이용한 박막트랜지스터는 우수한 이동도(mobility)를 가지며 공정 시 균일도가 높아 대면적 공정으로 제조 원가를 절감할 수 있다. 또한 저온공정이 가능하고 넓은 밴드갭으로 투명한 특성을 가지고 있어 투명/유연 소자에 적용할 수 있다 [3,4]. OLED 구동용 트랜지스터로서 ZnO 기반의 소자는  $10^3$ 에서

a. Corresponding author; [gawon@cnu.ac.kr](mailto:gawon@cnu.ac.kr)

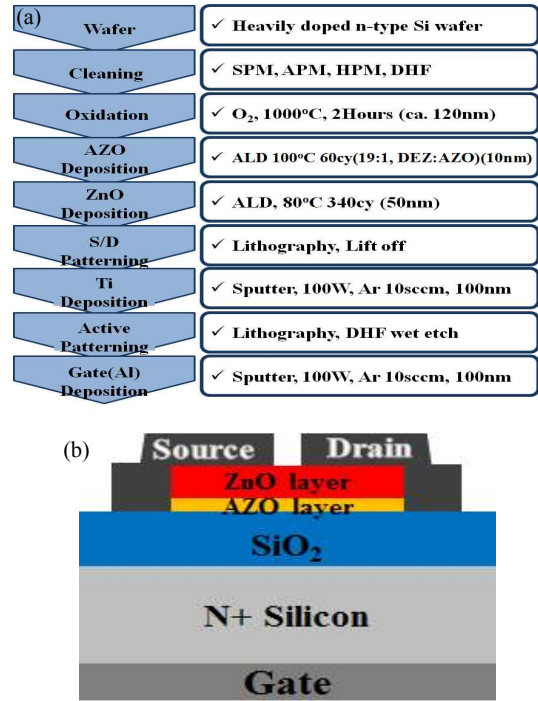
Copyright ©2015 KIEEME. All rights reserved.  
 This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

10<sup>7</sup> 정도의 on/off ratio와 0.01에서 7 cm<sup>2</sup>/Vs의 높은 이동도를 보이면서 전기적 성능은 만족하지만 전압 또는 환경적인 영향에서 특성변화 없이 동작해야 하는 안정성 면에서는 아직까지 해결해야 하는 문제들이 남아있다. 특히 게이트 전압이나 외부 환경적인 요인에 의한 문턱전압의 변화에 대해서는 많이 보고되고 있다 [5,6]. 이는 실제 회로 동작에서 출력 전류값이 게이트 전압에 따라 지속적으로 변하게 되어 디스플레이에 잔상이 남는 문제를 야기한다. ZnO 내부에는 반송자 농도에 직접적인 영향을 미치는 Zn, O의 vacancy(V<sub>O</sub>, V<sub>Zn</sub>) 또는 interstitial(O<sub>i</sub>, Zn<sub>i</sub>) 등의 결함이 존재하는데 이러한 결함은 동시에 반송자의 trapping site로 작용할 수 있다 [7]. 앞서 언급한 문턱 전압 변화는 주로 ZnO 박막 채널층 내부의 결함 또는 게이트 절연체와 채널층 사이의 계면에 존재하는 결함에 전자가 trapping되어 발생하는 것으로 알려져 있다. 이러한 ZnO의 특성에 의해 In, Ga 등의 원소를 도핑하여 안정성 및 전기적 성질을 변화시키는 연구가 활발히 진행 중이다 [8]. 특히 Al은 ZnO 도핑 시 Zn와 치환되어 N형 도펀트로 작용하여 반송자 농도를 높이고 낮은 면저항 값을 보여 태양 전지 등의 투명전극으로서 연구되고 있다 [9-11].

본 논문에서는 이러한 큰 반송자 농도를 가지는 AZO를 박막트랜지스터를 채널층으로 사용하여 소자의 출력값과 전기적 안정성을 향상시키려 했다. 하지만 AZO층 단독으로 채널층을 형성했을 시 높은 반송자 농도에 의해 전달 특성을 나타나지 않으므로 AZO/ZnO의 적층 채널 구조의 박막트랜지스터를 제작하여 특성을 비교 분석하였다.

### 2. 실험 방법

SPM, HF 클리닝을 진행한 N+ Si 웨이퍼에 100 nm의 SiO<sub>2</sub>를 형성하여 게이트 절연층으로 사용하였다. 원자층 증착법 (ALD)으로 AZO와 ZnO 층을 각각 100°C, 80°C 조건에서 형성하였다. ZnO의 precursor로 DEZ (diethylzinc)와 H<sub>2</sub>O를 사용하였고, purging gas로 99.95%의 N<sub>2</sub> 가스를 사용하였다. 각각의 pulse와 purging 시간은 0.5, 10초이다. AZO의 precursor로 DEZ (diethylzinc)와 H<sub>2</sub>O, TMA (trimethylaluminum)을 사용하였고, DEZ와 TMA의 사이클을 19:1로 5%의 도핑 농도로 형성하였다. 이 후 소오스/드레인 lift-off 공정을 진행하기 위해 사진식각 공정으로 패턴을 형성한 후



**Fig. 1.** (a) The process flow of the TFT fabrication and (b) The cross section schematic of the thin film transistor structure. Here, the TFT has bottom gate structure, and the channel length is 10 μm, and width is 100 μm.

100 nm의 Ti를 스퍼터 증착하였다. 채널층 또한 사진식각 공정을 통해 width/length 100 μm, 10 μm의 패턴을 형성한 후 0.1% HCl용액으로 에칭하였다. 게이트로 Si 기판 뒷면에 스퍼터를 통해 100 nm의 Al을 증착하였다. 이 후 250°C O<sub>2</sub> 분위기에서 1시간 열처리를 진행하였다.

본 실험에서는 비교 소자로 ZnO 60 nm를 채널층으로 갖는 박막트랜지스터를 같은 방법으로 제작하였으며 그림 1에 process flow와 완성된 박막 트랜지스터의 구조를 나타내었다.

### 3. 결과 및 고찰

그림 2는 제작된 박막트랜지스터의 전달 특성(V<sub>G</sub>-I<sub>D</sub>) 곡선이다. 측정은 HP4155B semiconductor parameter analyzer를 이용하여 starting gate voltage = -4 V; step V<sub>G</sub> = 0.4 V; stop V<sub>G</sub> = +4 V의 조건으로 하였고, 소자의 모든 전지적 측정은 대기 중에서 이루어 졌다.

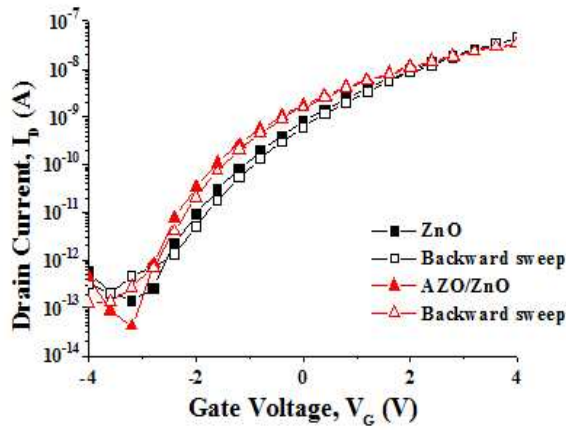


Fig. 2. The electrical transfer characteristics of TFTs with different channel later.

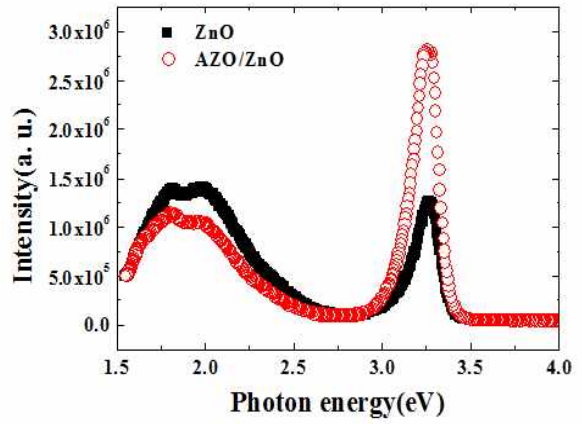


Fig. 4. The photoluminescence spectra of ZnO and AZO/ZnO double active layer.

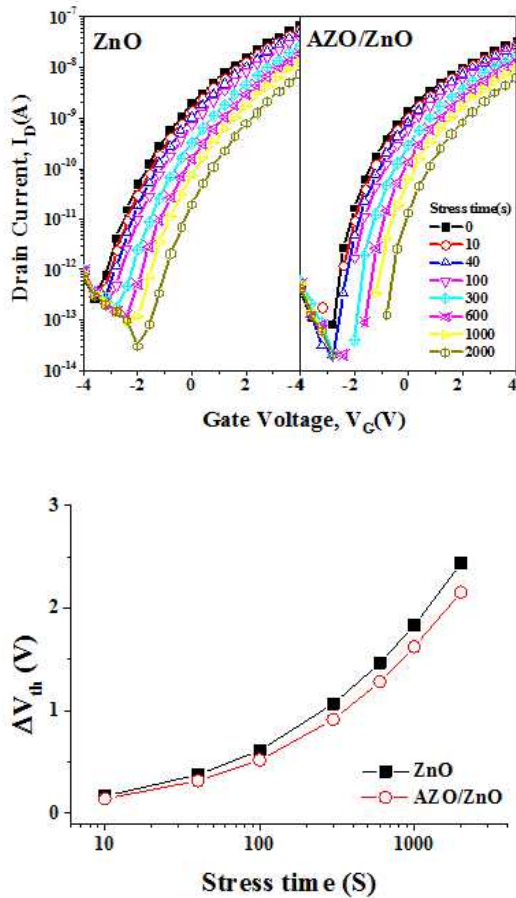


Fig. 3. (a) The electrical transfer characteristics of TFTs after 10 V positive gate bias stress 2,000 s and (b) The threshold voltage shift after 2,000 s in positive gate bias stress.

ZnO채널 박막트랜지스터는  $-1.09$  V의 문턱 전압을 보이는데 반해 AZO층을 적용한 소자는  $-1.61$  V의 문턱 전압을 보였다. ZnO는 n type 물질로 ZnO를 채널층으로 사용한 박막 트랜지스터는 accumulation mode에서 동작한다. 따라서 소자가 off되기 위해서는 채널이 충분히 depletion되어야 하고, 이를 위해 음전압이 필요하다. AZO 소자가 음전압 방향으로 더 큰 문턱전압을 갖는 이유는 ZnO 소자에 비해 더 큰 전하 농도에 기인한다. SS (subthreshold slope)의 경우 AZO층 적용을 통해  $0.59$  V/decade에서  $0.44$  V/decade로 개선되었다. SS는 채널 내의 트랩 농도에 영향을 받으므로 개선된 SS는 채널층 내부의 트랩량이 감소한 것으로 볼 수 있다. 하지만 AZO 소자의 축적 상태에서 전하 이동도는 기존의  $0.016$   $\text{cm}^2/\text{Vs}$ 에서  $0.01$   $\text{cm}^2/\text{Vs}$ 로 감소하였고, 온/오프 전류비율 또한  $3.36 \times 10^5$ 에서  $2.85 \times 10^5$ 로 소폭 감소하였다. 이러한 전하 이동도 감소는 AZO 박막 내의 Al-Al, Al-O와 같은 cluster들에 의한 scattering의 영향 때문이다 [10].

그림 3은 게이트에 지속적인 양전압을 인가했을 때의 소자의 전기적 전달 특성과 문턱전압 변화량을 나타내었다. 2,000초 동안  $10$  V ( $V_g - V_{th}$ )의 bias를 인가하였을 때 전압 인가시간의 증가에 따라 각 소자의 전달 곡선은 양전압 방향으로 이동하였다. 하지만 문턱전압 이하 전류 기울기는 일정하였다. 2,000초 이후의 ZnO 소자의 문턱전압 변화량 ( $\Delta V_{th}$ )은  $2.43$  V였지만 AZO층을 적용한 소자는  $2.15$  V로 감소하였다. 이러한 gate bias에 의한 문턱전압 변화는 채널/유전체의 계

면 또는 채널 내부에 트랩핑에 의한 고정전하가 생성되어 발생한다고 알려져 있다 [5]. 따라서 문턱전압 변화량 감소는 AZO층에 의해 채널 내부 트랩의 감소에 의한 결과로 볼 수 있다.

그림 4는 AZO 적용을 통한 트랩 감소를 직접 확인하기 위해 측정된 Photoluminescence Raman 분석 결과이다. 3.28 eV의 피크는 ZnO의 band to band emission에 의한 피크이고 1.8~2.0 eV 근처의 피크는 ZnO 내부의 O 또는 Zn의 빈 격자점(vacancy), 격자간 원자(interstitial) 등 결함에 의한 deep level emission에 의한 피크이다 [12,13]. AZO/ZnO 이중구조 층이 ZnO층에 비해 더 작은 deep level emission을 갖는 것을 확인하였다. 이는 Al doping의 영향으로 deep level emission에 영향을 주는 채널 내의 결함 감소로 볼 수 있는데, 기존에 보고된 문헌에서는 ZnO 내에 deep level emission에 영향을 주는 산소 vacancy의 양이 Al doping으로 감소한다고 설명하고 있다 [14]. 따라서 AZO층이 적용된 소자의 안정성 개선은 채널 내부에 산소 vacancy 감소에 의한 트랩량 감소에 의한 결과이다.

#### 4. 결론

본 논문에서는 ZnO 채널층 박막 트랜지스터에 Al doping ZnO층을 삽입하여 AZO/ZnO 이중 채널 구조를 갖는 박막 트랜지스터를 제작하였다. 높은 반송자 농도를 가진 AZO 층으로 인해 소자의 문턱전압은 -1.09 V에서 -1.61 V로 감소였다. AZO층 내부의 Al-Al, Al-O 등의 cluster에 의한 scattering의 영향으로 소자의 전자 이동도는  $0.016 \text{ cm}^2/\text{Vs}$ 에서  $0.01 \text{ cm}^2/\text{Vs}$ 로 감소한 것으로 보였다. SS는 0.59 V/decade에서 0.44 V/decade로 개선되고 2,000초의 10 V의 positive gate bias에 의한 문턱전압 변화량 또한 2.44 V에서 2.15 V로 감소하였다. Photoluminescence spectra를 통해 AZO/ZnO 이중 채널층의 deep level emission 피크가 감소함을 확인하였다. 따라서 SS와 양전압에 의한 문턱전압 변화량의 개선은 채널 내의 결함 감소의 결과로 보인다.

본 연구를 통해 ZnO 채널 박막 트랜지스터에 Al을 doping함으로써 채널 내의 산소 vacancy를 감소시켜 내부 트랩량을 줄이고 소자 특성을 개선시킬 수 있음을 확인하였다.

#### 감사의 글

본 연구는 산업통상자원부 및 한국산업기술평가관리원의 산업핵심기술개발사업의 일환으로 수행하였음 [10049270, 웨어러블 스마트 기기를 위한 컴퓨터비전 기반 UI/UX용 SoC 및 SW 플랫폼 연구]. 또한 2014년도 정부(미래창조과학부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업임[2014-2331-01].

#### REFERENCES

- [1] K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono, *Nature*, **432**, 488 (2004).
- [2] S. Masuda, K. Kitamura, Y. Okumura, S. Miyatake, H. Tabata, and T. Kawai, *J. Appl. Phys.*, **93**, 1624 (2003).
- [3] Ü. Özgür, Y. I. Alivov, C. Liu, A. Teke, M. A. Reshchikov, S. Doğan, V. Avrutin, S. J. Cho, and H. Morkoc, *J. Appl. Phys.*, **98**, 041301 (2005).
- [4] Y. Ohya, T. Niwa, T. Ban, and Y. Takahashi, *Jpn. J. Appl. Phys.*, **40**, 297 (2001).
- [5] R.B.M. Cross, and M. M. De Souza, *Appl. Phys. Lett.*, **89**, 263513 (2006).
- [6] P. T. Liu, Y. T. Chou, and L. F. Teng, *Appl. Phys. Lett.*, **95**, 233504 (2009).
- [7] A. Janotti and C. G. Van de Walle, *Rep. Prog. Phys.*, **72**, 126501 (2009).
- [8] J. S. Park, W. J. Maeng, H. S. Kim, and J. S. Park, *Thin Solid Films*, **520**, 1679 (2012).
- [9] D. J. Lee, H. M. Kim, J. Y. Kwon, H. Choi, S. H. Kim, and K. B. Kim, *Adv. Func. Mater.*, **21**, 448 (2011).
- [10] J. G. Lu, Z. Z. Ye, Y. J. Zeng, L. P. Zhu, L. Wang, J. Yuan, B. H. Zhao, and Q. L. Liang, *J. Appl. Phys.*, **100**, 073714 (2006).
- [11] T. Minami, H. Nanto, and S. Takata, *Jpn. J. Appl. Phys.*, **23**, L280 (1984).
- [12] K. H. Tam, C. K. Cheung, Y. H. Leung, A. B. Djurišić, C. C. Ling, C. D. Beling, S. Fung, W. M. Kwok, W. K. Chan, D. L. Phillips, L. Ding, and W. K. Ge, *J. Phys. Chem. B*, **110**, 20865 (2006).
- [13] C. H. Ahn, Y. Y. Kim, D. C. Kim, S. K. Mohanta, and H. K. Cho, *J. Appl. Phys.*, **105**, 013502 (2009).
- [14] S. W. Xue, X. T. Zu, W. G. Zheng, M. Y. Chen, and X. Xiang, *Phys. B: Cond. Matt.*, **382**, 201 (2006).