

논문 2015-52-4-16

고속신호 무결성 분석을 통한 PCI Express Gen3 시스템 설계

(PCI Express Gen3 System Design using High-speed Signal Integrity Analysis)

권 원 옥*, 김 영 우*

(Wonok Kwon[©] and Youngwoo Kim)

요 약

PCI Express는 고속 차동신호를 사용한 점대점(point-to-point) 프로토콜로 시스템 설계 시 Eye Diagram을 통한 신호의 손실(Loss)과 지터(Jitter) 분석이 필요하다. 특히 PCI Express Gen3 물리 신호는 8Gbps의 고속 직렬신호로 고속신호분석에 의한 시스템 설계가 반드시 요구된다. 본 논문은 PCI Express Gen3 서버 연결망 스위치카드 시스템 제작을 통하여 고속 직렬신호의 토폴로지 추출, 채널분석, 채널의 S-파라미터 추출 및 송수신 버퍼를 포함한 시스템의 신호분석 시뮬레이션을 다룬다. 채널의 손실을 보완하기 위해 수신단 Eye diagram 분석을 통하여 송신 버퍼의 이퀄라이저 파라미터를 조정하여 송신단 최적의 De-emphasis와 Preshoot 파라미터 값을 시뮬레이션을 통하여 찾고 있다.

Abstract

PCI Express is high-speed point-to-point serial protocol, the system is designed by analysing loss and jitter through Eye Diagram. It is necessarily analyzing high speed serial signals when the PCI Express Gen3 which has 8Gbps physical signal speed is designed especially. This paper deals with topology extraction, channel analysis, extraction of s-parameters and system signal integrity simulation within transceiver buffer models through PCI Express Gen3 server connecting switch system design. Optimal parameters of transmitter buffer equalizer are found through solution space simulation of de-emphasis and preshoot parameters to compensate channel loss.

Keywords : Signal Integrity, Eye diagram, PCI Express, 고속직렬신호, 신호분석

I. 서 론

컴퓨터 I/O 인터페이스로 널리 사용되는 PCI Express(PCIe) 프로토콜은 2005년 2.5Gbps 속도의

PCIe 규격 1.1 이 발표된 이후 2007년 속도가 2배가 향상된 5Gbps PCIe 2.0이, 2010년에는 8Gbps 속도의 PCIe 3.0 규격이 발표되었다.

PCIe 프로토콜은 클록이 임베디드된 LVDS (low-voltage differential signaling) 신호를 사용하며, 링크당 x1, x4, x8, x16, x32의 다중 레인을 지원하여 자유롭게 대역폭을 조절 할 수 있다. PCIe 1.0/2.0/3.0 데이터 속도는 각각 250MB/s, 500MB/s, 1000MB/s 이며 16레인(x16) 기준으로 각각의 대역폭은 8GB/s, 16GB/s, 32GB/s 이다. 임베디드된 클록의 동작속도는 각각 2.5GHz, 5GHz, 8GHz 이다^[1]. 이러한 고속 직렬링크 신호는 아날로그 RF 디자인과 유사한 신호무결성

* 정회원, 한국전자통신연구원 (ETRI)

© Corresponding Author(E-mail: happy@etri.re.kr)

※ 본 연구는 미래창조과학부 및 정보통신기술진흥센터의 정보통신·방송 연구개발 사업의 일환으로 수행하였음. [2014044075002, 클라우드 인프라를 위한 초절전형 고집적 마이크로 서버 시스템 기술 개발]

Received ; February 11, 2015 Revised ; March 10, 2015

Accepted ; March 26, 2015

(Signal Integrity: SI) 문제를 발생시키고 있다^[2~3].

PCIe는 칩의 송수신 버퍼의 전기적 규격은 물론 채널(channel)에 대한 전기규격을 제시하고 있으며 이는 Eye Diagram 분석을 통한 해석이 가능하다. 채널이란 직렬링크에서 송수신 버퍼 사이에 존재하는 수동소자 즉 커넥터, 전송로(Transmission Line: TL), 비어(Via) 등의 집합으로 정의할 수 있다^[2]. 채널의 각 소자들의 파라미터는 서로 밀접한 연관성을 지니며 고속 직렬신호에 대한 무결성을 검증하는 중요한 요소이다. 특히 8Gbps 속도의 PCIe Gen3 시스템을 설계 시 채널분석을 통한 보드준위, 시스템 준위의 SI 분석이 반드시 뒤따라야 안정된 시스템을 만들 수 있다^[4].

본 논문은 고속 서버 시스템연결망으로 PCIe Gen3 스위치카드(PCIeLink 카드) 제작을 통하여 고속 신호분석을 위해 토폴로지 추출, 채널분석, S-파라미터추출, 송수신버퍼를 포함한 채널의 Eye diagram 시뮬레이션과 분석, 송신버퍼 이퀄라이저(Equalizer) 파라미터 조정에 의한 고속채널 보정 방법에 대해서 다루고 있다.

II. PCIe 신호특징과 분석

1. PCIe Gen3 신호 및 채널 특징

PCIe Gen3는 8Gbps 비트속도에 128B/130B 인코딩 기법을 사용하여, 8B/10B 인코딩을 사용하는 5Gbps 비트속도의 PCIe Gen2 보다 두 배의 대역폭을 지원하고 있다. 10Gbps 비트속도로 시스템 채널을 설계할 경우 채널 손실로 인한 SI 문제가 심각하게 대두되기 때문에 코딩 손실을 줄이는 방법을 택했다^[5].

PCIe Gen3 시스템은 고속의 직렬 신호를 PCB, 커넥터, 케이블 등의 채널을 거쳐 올바르게 수신 칩 까지 신호 전달이 필요하며, 이때 가장 핵심은 채널의 Inter-Symbol Interference(ISI) 영향을 줄이는 것이다^[6]. 채널에 발생하는 ISI 영향을 송수신 버퍼에서 보완하기 위해 Equalizer(EQ)가 사용된다. PCIe Gen3 송신버퍼 EQ는 3 탭 기반의 Finite Impulse Response(FIR) 필터로 구현되며, 필터 계수를 조정하여 De-emphasis와 Preshoot 기능을 구현해 정교한 송신단 EQ를 수행한다^[7].

그림 1은 PCIe Gen3 전송 전압레벨 및 EQ 비율을 나타내고 있다^[7]. De-emphasis는 식 (1), Preshoot은 식 (2), Boost는 식(3)과 같이 각각 나타낼 수 있다. Boost

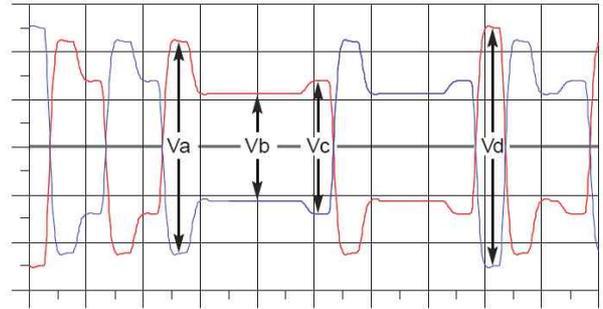


그림 1. PCIe Gen3 전송 전압레벨 및 이퀄라이저 비율
Fig. 1. Definition of Tx voltage levels and equalization ratios in PCIe Gen3.

는 De-emphasis와 Preshoot이 동시에 적용될 경우며, 신호가 한 비트 마다 변동 시 발생한다.

$$De-emphasis = 20\log_{10} Vb / Va \tag{1}$$

$$Preshoot = 20\log_{10} Vc / Vb \tag{2}$$

$$Boost = 20\log_{10} Vd / Vb \tag{3}$$

이렇게 전송된 신호는 채널을 거쳐 수신 칩에 전달된다. PCIe Gen3 규격은 수신 칩이 인식 가능한 신호의 범위를 Eye 패턴의 최소높이 및 너비로 규정하고 있다. BER=10⁻¹²에서 Eye의 높이는 최소 25mV, Eye의 너비는 최소 0.3UI(37.5ps) 이상을 요구하고 있다^[7].

2. 고속 채널 신호분석 방법과 도구

그림 2는 PCIe Gen3 채널 신호분석 방법을 나타내고 있다. 송수신 버퍼(Tx, Rx)는 각 칩 제조사에서 제공되는 SPICE 모델이 사용된다. 특히 출력버퍼의 경우 이퀄라이저 파라미터로 De-emphasis와 Preshoot 레벨을 조정하여 채널에 따른 신호 미세조정 효과를 얻을 수 있다. 입출력 버퍼 사이는 PCB, 커넥터, 케이블 등의

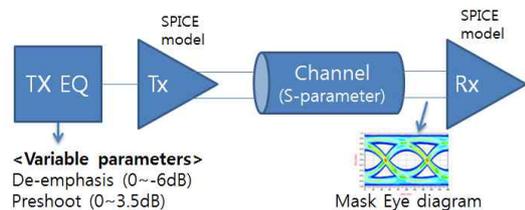


그림 2. PCIe Gen3 채널 신호분석 방법
Fig. 2. Signal integrity analysis of PCIe Gen3 channel.

수동소자들이 있으며 이들은 모두 S-파라미터로 전환 가능하다. 신호분석은 송신단 파라미터가 적용된 8Gbps의 랜덤패턴을 생성한 후, 수신단 앞에 Eye diagram을 분석하여 토폴로지의 SI를 측정할 수 있다. PCIe Gen3 Eye 마스크를 사용하여 SI의 이상이 있을 경우, 일차적으로 송신버퍼의 De-emphasis와 Preshoot 레벨 조정으로 디버깅을 수행하며 불가능 할 경우, 채널 설계 변경을 수행한다. 채널에는 TL 길이, 커넥터 개수 및 위치, 케이블 종류 및 길이, PCB 구조 등 다양한 변수들이 있으며 이를 조정하여 시뮬레이션이 가능하다. 변경된 채널은 상기 방법을 반복하여 최적의 송신버퍼 설정 값과 채널 구조를 확정할 수 있다.

고속신호분석에는 다수의 소프트웨어들이 사용되어지고 있으며, 본 논문의 경우, PCB 아트웍 파일에서 S-파라미터 추출은 Ansys Siwave, 3D 커넥터 모델에서 S-파라미터 추출은 Ansys HFSS, SPICE 모델과 S-파라미터가 혼재된 채널의 Eye diagram 분석은 Ansys Nexxim Transient solver를 각각 이용하였다^[8].

3. Eye diagram 파라미터와 분석방법

SI 분석을 위한 Eye diagram 파라미터 정의를 그림 3을 통해 살펴본다. 열린(opening) Eye 정도를 높이(H)와 너비(W)로, Eye 신호 중 중첩되는 시간을 지터(Jitter)라 정의한다. Eye 마진은 Eye 높이(H)에서 수신단 Eye 마스크 최소높이 25mV 뺀 값에서 상하 마진 중 작은 값으로 정의되며, Min(a, b)로 나타내었다. 지터마진은 Eye 너비(W)에서 수신단의 Eye 마스크 최소너비 즉 0.3UI를 뺀 값에서 좌우 마진 중 작은 값으로 정의되며, Min(c, d)로 나타낸다^[7]. 그림 3의 Eye 마스크는 수신 단에서 최소 Eye 마스크로 높이

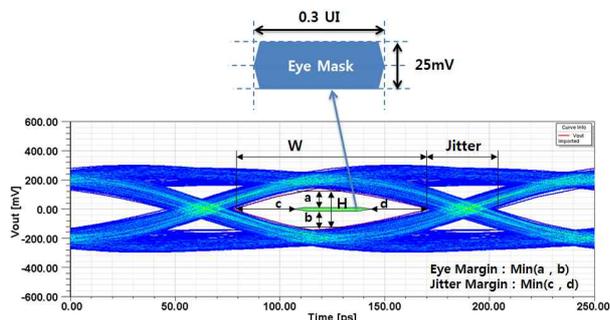


그림 3. Eye diagram SI 파라미터 정의
Fig. 3. Definition of eye diagram SI parameters.

25mV, 너비 0.3UI로 Eye diagram이 Eye 마스크와 중첩이 되지 않으며 Eye 마진과 지터 마진이 여유를 가져야 안정된 신호전달이 가능하다.

III. PCIeLink 시스템 신호분석

1. PCIeLink 시스템 구성

PCIeLink 카드는 PCIe Gen3 지원하는 시스템 연결망 스위치 카드로 PLX사의 PEX8725 칩을 사용한다. PEX8725 칩은 24레인, 10포트 PCIe Gen3을 지원하는 멀티루터(Station0, 1) 스위치로 기본모드, 가상모드의 다양한 포트 구성방법을 제공한다^[9].

그림 4는 PCIeLink 시스템 인터페이스를 나타내고 있다. PCIeLink 카드는 PCIe 라이저(Riser) 커넥터를 거쳐 제온(Xeon) 호스트 서버에 장착되며, 두 개의 QSFP+ 채널은 서로 다른 PCIeLink 카드와 InfiniBand (IB) 케이블로 연결된다. 설계된 PCIeLink 카드의 PEX8725 칩 구성방법은 그림 4와 같이 x8 호스트인터페이스(station0), x4 QSFP+ 인터페이스(Station0, 1), x4 루프백(Loopback) 인터페이스(Station 0, 1)가 있다.

루프백 인터페이스(①), 호스트 인터페이스(②), 연결망 인터페이스(③) 모두 8Gbps 속도의 PCIe Gen3 로 연결되어 시스템 설계 시 반드시 고속신호분석을 통한 검증이 필요하다. 표 1은 PCIeLink 카드가 장착되는 호스트 서버 및 Riser 카드, QSFP+ 용 IB 케이블의 규격을 나타내고 있다. 호스트서버는 PCIe Gen3 x16 이 지원되는 Xeon E5-2670 기반의 서버로 칩셋을 통하지 않

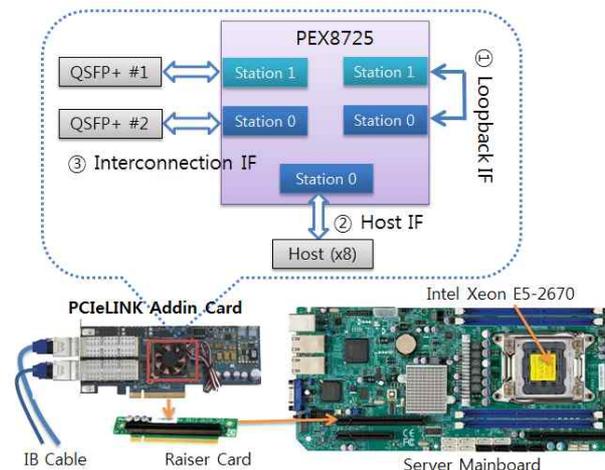


그림 4. PCIeLink 시스템 인터페이스
Fig. 4. PCIeLink system interface.

표 1. PCIeLink 시스템 구성
Table 1. PCIeLink system configuration.

항목	제품명 및 규격	제조사
PCIeLink 스위치 칩	PEX8725 PCIe Gen3 x24 Switch	PLX
서버	CPU : Intel Xeon E5-2670 Motherboard: X9DRG-HTF 서버명: 1027GR-TRFT	Supermicro
Riser Card	RSC-R1UG-E16R-X9	Supermicro
IB 케이블	MC2207130-003 (passive copper cable, 3m)	Mellanox

고 PCIeLink 카드와 PCIe x8 으로 연결된다^[10].

2. 루프백 인터페이스 신호분석

가. 토폴로지 및 파라미터 추출

신호 분석이 필요한 세 가지 인터페이스 중 가장 신호 분석이 간단한 루프백 인터페이스부터 분석을 시작한다. 그림 5는 루프백 인터페이스의 토폴로지를 나타내고 있다. PEX8725 송신버퍼와 패키지, 송수신버퍼를 연결하는 채널(Ch#1) 즉 PCB의 TL, 수신버퍼와 패키지로 구성되어 있다. 송수신 버퍼를 연결하는 채널은 x4 PCIe 인터페이스로 구성되며, 각각 S-파라미터를 Ansys Siwave 툴을 사용하여 추출 하였으며, 이 중 가장 특성이 나쁜(Worst case) 토폴로지를 사용하였다.

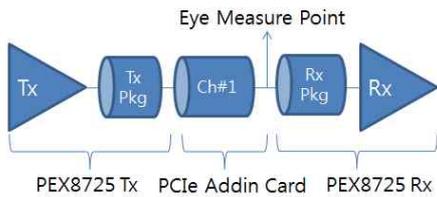


그림 5. 루프백 인터페이스 토폴로지
Fig. 5. Loopback interface topology.

나. SI 시뮬레이션

SI 시뮬레이션은 설계된 PCB 파일에서 채널(Ch#1) 차동라인의 S-파라미터 추출 후 송수신 HSPICE 모델을 사용해 수행된다. 표 2는 시뮬레이션 결과를 나타내고 있다. 송신 버퍼의 De-emphasis와 Preshoot을 조정하여 다섯 가지 다른 조건의 시뮬레이션을 수행하여 수신 단에서 Eye diagram을 측정 한 후 중요 SI 파라미터 값을 추출하였다.

표 2. 루프백 인터페이스 SI 시뮬레이션 결과
Table 2. Loopback interface SI simulation results.

	Case1	Case2	Case3	Case4	Case5
De-emphasis (dB)	-6	-3.5	0	-6	-3.5
Preshoot (dB)	0	0	0	3.5	3.5
H(mV)	260.5	264.3	201.8	208.8	193.6
W(ps)	92.7	99.5	78.8	92.0	97.0
Jitter(ps)	33.5	26.7	48.8	34.5	29.5
Eye Margin(ps)	108.8	114.2	87.7	89.9	76.8
Jitter Margin(ps)	26.8	30.6	20.7	26.5	30.9

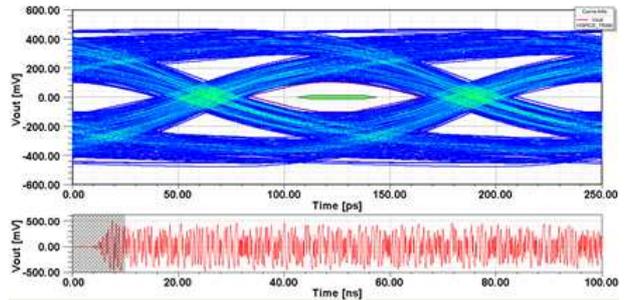


그림 6. 루프백 인터페이스에서 De-emphasis=0dB, Preshoot=0dB 경우 Eye diagram
Fig. 6. Eye diagram in case De-emphasis=0dB and Preshoot=0dB in loopback interface.

모든 경우 Eye 마진과 지터마진이 여유 있는 결과를 나타내고 있다. 이는 송수신 버퍼 사이의 채널이 PCB 패턴으로 연결된 단순한 구조이기 때문이다. 그림 6은 결과 중 SI가 가장 나쁜, De-emphasis=0dB, Preshoot=0dB 조건의 Eye diagram을 나타내고 있다. Eye 마진은 87.7mV, 지터마진은 20.7ps로 여유 있게 Eye 마스크를 통과한다. 즉 루프백 인터페이스의 경우 설계된 채널에서 어떠한 송신버퍼 설정도 SI의 문제가 없음을 확인 할 수 있다.

3. 호스트 인터페이스 신호분석

가. 토폴로지 및 S-파라미터 추출

그림 7은 호스트 인터페이스 토폴로지 즉, PEX8725와 CPU간 채널 구성을 나타내고 있다. 토폴로지는 PEX8725칩 PCIe 송신버퍼(Tx)와 패키지(Tx Pkg), PCIeLink 카드 채널(Ch#1), PCIe Riser 커넥터(Con#1), Riser 카드 채널(Ch#2), 메인보드 PCIe 커넥터(Con#2),

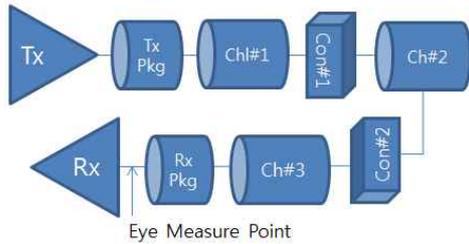


그림 7. 호스트 인터페이스 토폴로지
Fig. 7. Host interface topology.

메인보드 채널(Ch#3)을 거쳐 최종 Intel Xeon E5-2670 PCIe 입력 패키지(Rx Pkg)와 수신버퍼(Rx)로 구성된다.

SI 측정을 위해서 입출력 버퍼의 경우 각각의 HSPICE 모델을 사용한다^[11~12]. 채널 및 커넥터는 직접 S-파라미터를 추출해야 한다. PEX8725와 CPU간 세 개의 PCB 채널이 존재하며 각각의 채널은 다음과 같은 방법으로 S-파라미터 추출을 수행한다. PCIeLink 카드 채널의 경우 설계된 PCB 파일에서 송수신 차동신호 네트의 S-파라미터를 각각 추출하여 사용한다. x8 인터페이스로 총 8개 네트의 S-파라미터가 추출되며 가장 특성이 나쁜 네트의 S-파라미터를 시뮬레이션에 사용한다. 그러나 상용제품인 Riser 카드 및 메인보드 채널의 경우 PCB 파일을 구할 수 없으므로 다음과 같은 방법으로 최악의 조건에서의 S-파라미터를 추출한다.

최악의 조건은 최대한 긴 TL의 길이와 가장 복잡한 PCB 라우팅 구조를 가정해 설정할 수 있다. 그림 8은 서버 메인보드의 신호 경로를 3가지 형태로 구분하여 나타내고 있다. Type1은 커넥터에서 Microstripline을 통해 바로 CPU와 연결되는 구조, Type2는 Via-Stripline-Via 구조, Type3는 Via-microstrip line-Via

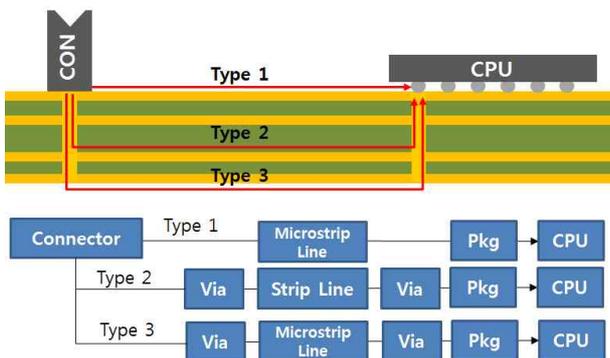


그림 8. 서버 메인보드의 신호 경로
Fig. 8. Server mainboard signal path.

표 3. 호스트 인터페이스 SI 모델 및 파라미터
Table 3. Host interface SI models and parameters.

		Model	Parameter
PEX 8725	IC	TXDRV_Model RXRCV_Model	HSPICE model
	Pkg	Pkg_pex	
Add-in card		S-parameter	TX0~TX7
Riser card	CON	topentry_62mil	-
	TL	S-parameter	Length 2 inch
Main Board	CON	pcie_conn	-
	Via	Via_model	-
	TL	S-parameter	Length 12 inch
	Via	Via_model	-
Intel Xeon E5-2670	Pkg	Pdg_pxp3_rev1p0	HSPICE model
	IC	RXRCV_Model TXDRV_Model	

구조이다. 본 논문에서는 Riser 카드 경우 길이 2인치 Microstripline으로부터 S-파라미터를 추출하였고, 서버 메인보드 경우 12인치 길이의 Type3 구조의 토폴로지 에서 S-파라미터를 추출하였다. 표 3은 호스트 인터페이스에서 송수신버퍼, 채널, 커넥터 등의 SI 모델과 파라미터를 나타내고 있다.

나. SI 시뮬레이션

호스트 인터페이스 신호분석은 앞선 루프백 인터페이스와 동일하게 PLX사에서 제공하는 PEX8725 모델 송신부의 De-emphasis와 Preshoot 레벨 제어를 통해 표 4와 같이 다섯 가지 경우의 신호분석을 수행하여 최적의 송신부 EQ 설정 값을 찾을 수 있다^[11].

표 4는 호스트 인터페이스 SI 시뮬레이션 결과를 나타내고 있다. Case 3, 5 경우 즉 De-emphasis와 Preshoot이 각각 0dB, 0dB 혹은 -3.5dB, 3.5dB 일 경

표 4. 호스트 인터페이스 SI 시뮬레이션 결과
Table 4. Host interface SI simulation results.

	Case1	Case2	Case3	Case4	Case5
De-emphasis (dB)	-6	-3.5	0	-6	-3.5
Preshoot (dB)	0	0	0	3.5	3.5
H(mV)	85.7	52.9	-	69.7	19.8
W(ps)	89.5	65.3	-	88.3	37.5
Jitter	38.0	63.0	-	39.3	93.0
Eye Margin	26.3	10.4	-	17.9	-
Jitter Margin	24.1	12.0	-	22.8	-

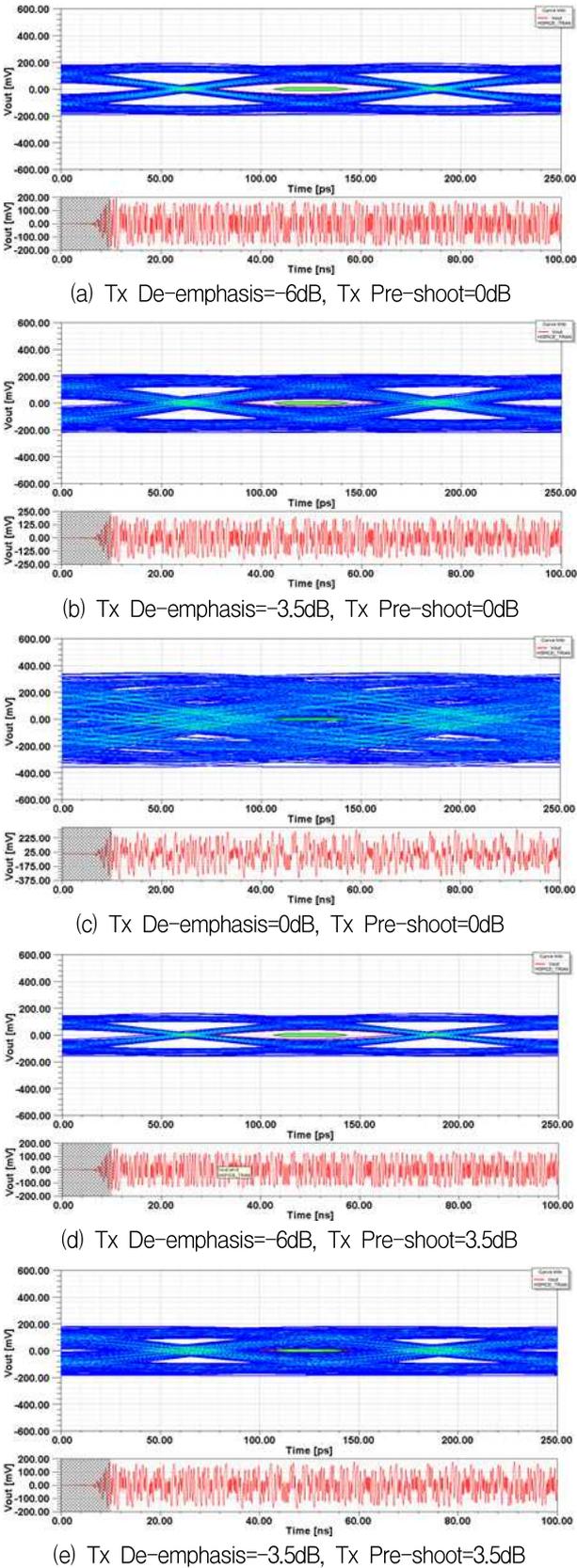


그림 9. 호스트 인터페이스의 Eye diagram
Fig. 9. Eye diagram in host interface.

우 Eye 마진과 지터마진이 없어 SI 문제가 발생함을 알 수 있다. Case1은 De-emphasis만 -6dB로 적용할 경우로 Eye 마진이 26.3mV, 지터마진이 24.1ps로 가장 우수한 SI 결과를 얻을 수 있었다. 또한 Preshoot을 송신단에 적용할 경우 수신단 SI가 더 나빠지는 것을 알 수 있다. 그림 9는 표 4의 다섯 가지 SI 시뮬레이션의 Eye diagram을 나타내고 있다. 그림 9(c), (e) 즉 Case3, 5의 경우 Eye 패턴이 Eye 마스크를 침범하고 있음을 확인할 수 있다.

4. 연결망 인터페이스 신호분석

가. 토폴로지 및 S-파라미터 추출

그림 10은 연결망 인터페이스 토폴로지 즉, QSFP+ 커넥터를 통한 PCIe 연결망 채널 구성을 나타내고 있다. 토폴로지는 PEX8725칩, PCIe 송신버퍼(Tx)와 패키지(Tx Pkg), PCIeLink 카드 채널(Ch#1), QSFP+ 커넥터(Con), IB 케이블, 연결 서버 QSFP+ 커넥터(Con), 연결 서버 PCIeLink 카드 채널(Ch#2)을 거쳐 최종 PEX8725 칩 패키지(Rx Pkg)와 수신버퍼(Rx)로 구성된다.

PCIeLink 카드의 채널(Ch#1, 2)은 제작된 PCB 파일에서 직접 S-파라미터를 추출한다. IB 케이블의 S-파라미터는 케이블 제조사에서 제공된 데이터를 사용하였으며, 케이블 모델은 3m 길이의 Mellanox 제품이다. QSFP+ 커넥터의 경우 데이터북에서 제공되는 2D 커넥터의 구조를 Ansys HFSS 툴을 사용하여 3D 모델링하여 S-파라미터를 추출하였다.

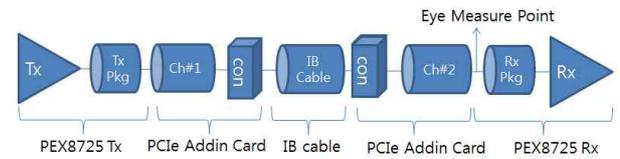


그림 10. 연결망 인터페이스 토폴로지
Fig. 10. Interconnection interface topology.

나. SI 시뮬레이션

연결망 인터페이스 신호분석 역시 송신부의 De-emphasis와 Preshoot 레벨 제어를 통해 표 5와 같이 다섯 가지 경우의 신호분석을 수행하여 최적의 송신부 EQ 설정 값을 찾을 수 있다.

표 5는 연결망 인터페이스 SI 시뮬레이션 결과를 나

타내고 있다. Case 3, 즉 De-emphasis와 Preshoot이 각각 0dB 일 경우 Eye 마진과 지터마진이 없어 SI 문제가 발생함을 알 수 있다. Case 5, 즉 De-emphasis와 Preshoot이 각각 -3.5dB, 3.5dB 일 경우 Eye 마진이

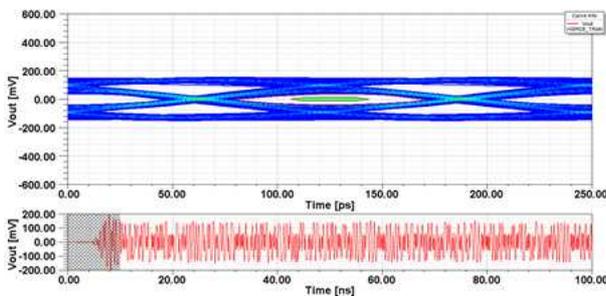
표 5. 연결망 인터페이스 SI 시뮬레이션 결과
Table 5. Interconnection interface SI simulation results.

	Case1	Case2	Case3	Case4	Case5
De-emphasis (dB)	-6	-3.5	0	-6	-3.5
Preshoot (dB)	0	0	0	3.5	3.5
H(mV)	77.4	48.7	-	63.7	42.6
W(ps)	90.3	78.0	-	87.3	83.3
Jitter(ps)	36.5	50.3	-	39.8	44.3
Eye Margin(ps)	22.9	11.8	-	17.3	7.1
Jitter Margin(ps)	26.5	20.6	-	23.2	22.3

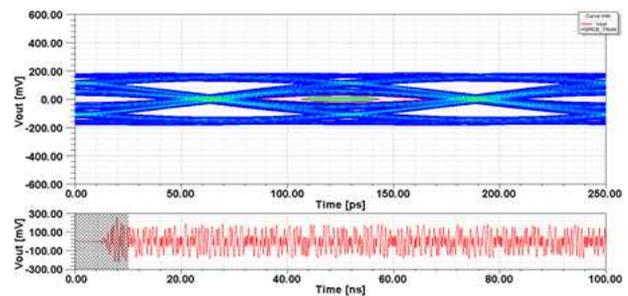
7.1mV에 불과해 SI 문제가 발생할 수 있다. 호스트 인터페이스와 동일하게 연결망 인터페이스 역시 De-emphasis만 -6dB로 적용할 경우 Eye 마진이 22.9mV, 지터마진이 26.5ps로 가장 우수한 SI 결과를 얻을 수 있었다. 그림 11은 표 5의 다섯 가지 SI 시뮬레이션의 Eye diagram 결과를 나타내고 있다. 그림 11(c), Case3의 경우 Eye 패턴이 Eye 마스크를 침범하고 있음을 확인 할 수 있다.

4. PCIeLink SI 시뮬레이션 정리

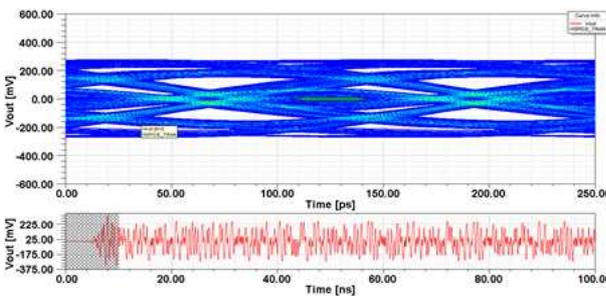
앞선 시뮬레이션을 통해 PCIeLink 시스템의 세 가지 인터페이스 즉 루프백 인터페이스, 호스트 인터페이스, 연결망 인터페이스에 대한 신호분석을 수행하였다. 채널분석 시 가장 나쁜 조건의 S-파라미터를 추출한 후



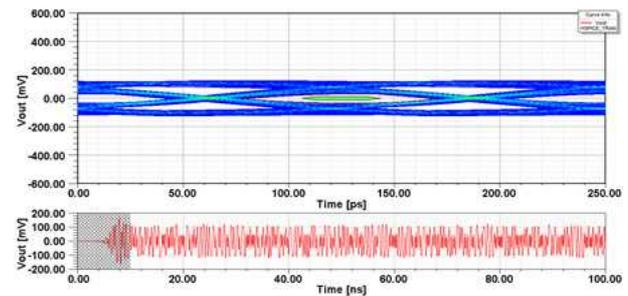
(a) Tx De-emphasis=-6dB, Tx Pre-shoot=0dB



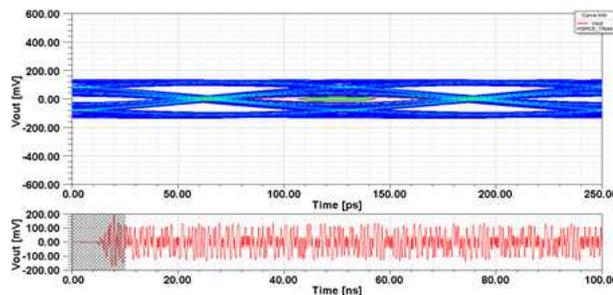
(b) Tx De-emphasis=-6dB, Tx Pre-shoot=-3.5dB



(c) Tx De-emphasis=0dB, Tx Pre-shoot=0dB



(d) Tx De-emphasis=-6dB, Tx Pre-shoot=3.5dB



(e) Tx De-emphasis=-3.5dB, Tx Pre-shoot=3.5dB

그림 11. 연결망 인터페이스의 Eye diagram

Fig. 11. Eye diagram in interconnection interface.

송신버퍼의 De-emphasis, Preshoot 파라미터를 조정하여 시뮬레이션을 수행하였다. 각 토폴로지에서 가장 우수한 SI 결과를 제공하는 값으로는 De-emphasis=-6dB, Preshoot=0dB로 설정 할 수 있었다. 만약 상기 실험과 같은 단순한 파라미터 변경을 통한 SI 향상이 불가능할 경우 채널 설계변경 즉 커넥터, TL, 케이블, Via 등의 변경을 수행해야 되며 이후 시뮬레이션을 통해 SI 검증 절차가 필요하다.

IV. 결 론

본 논문은 PCIe Gen3 프로토콜용 서버 연결망 호스트 카드인 PCIeLink 제품을 개발에서 8Gbps 급 PCIe 신호 연결 인터페이스에 대한 신호무결성 분석을 통한 시스템 설계에 대해 다루었다. 고속 직렬신호 분석을 위해서 각 인터페이스의 채널에 대한 S-파라미터 추출 및 시뮬레이션을 통한 Eye diagram 분석을 수행하여 송신단 최적의 De-emphasis와 Preshoot 파라미터 값을 설정하여 안정된 고속 연결망 시스템을 구성할 수 있었다. 이러한 고속 신호분석을 통한 시스템 설계방법은 하드웨어 제작 이전 시뮬레이션을 통해 안정된 하드웨어 설계가 가능하도록 도와준다.

앞으로 PCIeLink 카드 연결형상이 서버와 서버의 일대일 연결구조가 아닌 랙 장착형 통합 스위치 연결 형태로 변경 될 경우 랙 시스템 전체의 SI 분석을 수행할 예정이다.

REFERENCES

[1] M. Jackson and R. Budruk, PCI Express technology, MindShare Technology Press, Sep. 2012.
 [2] J. Boh, "Signal integrity simulation of PCI express Gen2 channel," Agilent Technologies, Jan. 2009.
 [3] Changho Choi, "Performance Analysis of High-Speed Transmission Line for Terabit Per Second Switch Fabric Interface", IEIE Journal, Vol 51, no. 12, pp.46~55 2014.
 [4] D. Warnakulasuriyarachchi, "Design and simulation of a PCI express gen 3.0 communication channel," Massachusetts Institute of technology, May. 2010.

[5] PCI Express 3.0 characterization, compliance and debug for signal integrity engineers, David Li, Lecory, 2013.
 [6] Understanding the pre-emphasis and linear equalization features in Stratix IV GX devices, Altera application note, AN-602-1.0, Nov. 2010
 [7] PCI Express base specification revision 3.0, PCI-SIG, Nov. 2010.
 [8] DesignerSI, SIwave, HFSS user document, ANSYS, Inc. 2011.
 [9] ExpressLane PEX 8725-BA/CA 24-Lane, 10-Port PCI Express gen3 multi-root switch with DMA data book v1.1, June 2012.
 [10] Superserver 1027GR-TRF, 1027GR-TRFT, User manual, Supermicro, Feb. 2014.
 [11] PEX 87xx consolidated SERDES transceiver & package HSPICE model user guide, PLX technology, Inc. 2011.
 [12] Intel Xeon Processor E5-1600, E5-2600, and E5-4600 product families HSPICE signal integrity model user guide for PCI Express and DMI2 interfaces, Intel, Inc. 2012.

저 자 소 개



권 원 옥(정회원)
 1996년 경북대학교 전자공학과 학사 졸업.
 2001년 경북대학교 전자공학과 석사 졸업.
 2011년 경북대학교 전자공학과 공학박사.

2001년~2002년 LG전자
 2002년~현재 한국전자통신연구원
 <주관심분야 : 서버 하드웨어, 고속신호분석 및 회로설계 >



김 영 우(정회원)
 1994년 고려대학교 전자공학과 학사 졸업.
 1996년 고려대학교 전자공학과 석사 졸업.
 2001년 고려대학교 전자공학과 박사 졸업.

2001년~현재 한국전자통신연구원, 책임연구원
 <주관심분야 : 컴퓨터 구조, 반도체 회로설계, 고속 시스템 인터커넥트>