

논문 2015-52-4-8

SiGe p-FinFET의 C-V 특성을 이용한 평균 계면 결함 밀도 추출과 Terman의 방법을 이용한 검증

(Extraction of Average Interface Trap Density using
Capacitance-Voltage Characteristic at SiGe p-FinFET and Verification
using Terman's Method)

김 현 수*, 서 영 수*, 신 형 철**

(Hyunsoo Kim[Ⓞ], Youngsoo Seo, and Hyungcheol Shin)

요 약

고주파에서 이상적인 커패시턴스-전압 곡선과 결함이 존재하여 늘어진 커패시턴스-전압 곡선을 SiGe p-FinFET 시뮬레이션을 이용하여 보였다. 두 곡선이 게이트 전압 축으로 늘어진 전압 차이를 이용하여 평균적인 계면 결함 밀도를 구할 수 있었다. 또한 같은 특성을 이용하는 Terman의 방법으로 에너지에 따른 계면 결함 밀도를 추출하고, 동일한 에너지 구간에서 평균값을 구하였다. 전압 차이로 구한 평균 계면 결함 밀도를 Terman의 방법으로 구한 평균값과 비교하여, 두 방법의 결과가 거의 비슷한 평균 계면 결함 밀도를 나타낸다는 것을 검증하였다.

Abstract

Ideal and stretch-out C-V curve were shown at high frequency using SiGe p-FinFET simulation. Average interface trap density can be extracted by the difference of voltage axis on ideal and stretch-out C-V curve. Also, interface trap density(D_{it}) was extracted by Terman's method that uses the same stretch-out of C-V curve with interface trap characteristic, and average interface trap density was calculated at same energy level. Comparing the average interface trap density, which was found by method using difference of voltage, with Terman's method, it was verified that the two methods almost had the same average interface trap density.

Keywords: 전압 차이, 계면 결함 밀도, SiGe, Terman의 방법, p-FinFET

I. 서 론

CMOS의 동작 성능을 높이기 위하여 채널 영역에 스트레스를 주거나 새로운 물질을 도입함으로써 높은 캐리어 이동도를 갖도록 하여 구동 속도를 높이기 위한

많은 연구가 진행되고 있다.^[1~4] 그 중에서 좋은 구동 전류 특성을 갖는 p형 반도체를 만들기 위해서는 채널에 높은 정공 이동도가 필요하다. 높은 정공 이동도를 갖는 여러 물질 중에서도 SiGe이 Si과 비교하여 뛰어난 구동 전류 특성을 보이기 때문에 Si을 대체할 수 있는 물질로 각광받고 있다. 그러나 최적화되지 않은 산화막과 기판 사이의 계면은 더욱더 성능을 향상시키기 위해 극복해야 될 장애로 남아있다.^[5] 이러한 이유로, 현재 산화막과 SiGe기판 사이의 계면 특성을 향상시키기 위하여 많은 연구가 진행 중이다.^[6~7]

계면 결함 밀도(Interface Trap Density, D_{it})는 계면

* 학생회원, ** 평생회원, 서울대학교 전기·정보공학부
(School of Electrical Engineering and Computer Science, Seoul National University)

Ⓞ Corresponding Author(E-mail: samu0@snu.ac.kr)

Received ; December 11, 2014 Revised ; March 11, 2015

Accepted ; March 30, 2015

의 상태를 파악하고, 소자 특성을 향상시키기 위하여 사용되는 중요한 수치이다. 이러한 계면 결함 밀도(D_{it})를 추출하기 위해 사용하는 여러 가지 방법이 존재하며, 저주파와 고주파 커패시턴스의 차이를 이용하는 방법과 컨덕턴스 방법이 대표적으로 커패시턴스-전압 곡선의 특성을 이용하는 방법이다. 커패시턴스-전압 곡선을 이용하는 방법 중에서도 고주파의 커패시턴스-전압 곡선을 이용하는 Terman의 방법은 금지 대역 안의 에너지 대역에서 전도 대역과 가전자 대역의 가까운 부분에 존재하는 계면 결함 밀도(D_{it})를 구할 수 있는 방법이다.^[8]

본 연구에서는 채널 물질을 SiGe으로 사용하는 소자들은 매우 높은 계면 결함 밀도(D_{it})를 가질 수 있다는 점에 주목하였다. 높은 밀도의 계면 결함은 고주파에서 커패시턴스-전압 곡선의 공핍과 반전 구간이 이상적인 커패시턴스-전압 곡선과 비교하였을 때 육안으로 구별이 가능할 정도로 전압 축에서 늘어지는 현상을 보여준다. 늘어진 커패시턴스-전압 곡선과 이상적인 커패시턴스-전압 곡선과 비교하여 상대적으로 늘어난 정도를 전압의 차이로 구할 수 있고, 이렇게 구한 전압 차이를 이용하여 에너지 대역에서 평균 계면 결함 밀도(D_{it})를 추출할 수 있었다. 이상적인 그리고 계면 결함의 영향으로 늘어난 커패시턴스-전압 곡선의 전압 차이로 추출한 평균 계면 결함 밀도(D_{it})의 타당성을 검증하기 위하여, 동일하게 커패시턴스-전압 곡선이 늘어지는 현상을 이용하는 Terman의 방법으로 계면 결함 밀도(D_{it})를 추출하고, 추출한 계면 결함 밀도(D_{it})의 평균값을 구하였다. 두 가지 방법으로 구한 평균 계면 결함 밀도(D_{it})를 비교함으로써 두 곡선의 전압차이로 구한 평균적인 계면 결함 밀도(D_{it})가 타당함을 증명하였다.

II. 소자 구조와 시뮬레이션

Sentaurus 3D TCAD를 이용하여 SiGe p-FinFET 구조를 시뮬레이션하였다.^[9] Density-gradient 모델을 이용하여 채널의 양자 효과를 고려하였고, 진성 캐리어 농도는 band gap narrowing 효과와 fermi 통계 모델이 사용되었다. Hydrodynamic 모델과 shockley-read-hall 모델이 전류 밀도와 generation-recombination을 고려하기 위하여 포함되었다. 이동도(mobility)는 philips unified mobility 모델과 high-field saturation 모델이 고려되었다.

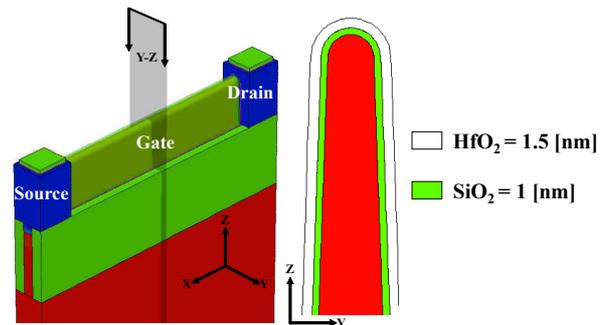


그림 1. (a) $Si_{0.75}Ge_{0.25}$ p-FinFET 구조 (b) fin 구조
Fig. 1. (a) $Si_{0.75}Ge_{0.25}$ p-FinFET structure (b) fin structure.

표 1. $Si_{0.75}Ge_{0.25}$ p-FinFET 구조의 제원
Table 1. Date of $Si_{0.75}Ge_{0.25}$ p-FinFET structure.

Gate Length [nm]	200
Channel Doping [cm^{-3}]	1×10^{17}
S/D Doping [cm^{-3}]	1×10^{20}
EOT [nm]	1.25
Work function [eV]	4.6
Channel Si/Ge rate [%]	75/25

표 2. $Si_{0.75}Ge_{0.25}$ 의 시뮬레이션 파라미터
Table 2. Simulation parameter of $Si_{0.75}Ge_{0.25}$

Parameter ($Si_{0.75}Ge_{0.25}$)	Data
Energy Band Gap [eV]	0.94
Electron Affinity [eV]	4.054
n_i [cm^{-3}]	3×10^{11}

그림 1은 연구에서 사용한 시뮬레이션 구조이며, 구조에 대한 제원은 표 1에 그리고 SiGe 물질에 대한 파라미터는 표 2에 나타나 있다. 그림 2는 그림 1 구조의 시뮬레이션 Split C-V 곡선이다.^[10] Split C-V 곡선에서 전자와 정공에 의한 각각의 커패시턴스는 분리될 수 있다. 전자와 정공의 농도가 급격하게 변하는 축적영역과 강한 반전영역에서는 게이트 전압에 따라 급격하게 증가하는 모습을 보이지만, 그 이외의 부분에서는 게이트 전압에 대하여 반응성이 작다. 그림 2의 실선은 이상적인 커패시턴스-전압 곡선으로 산화막과 채널 사이의 계면 결함이 없는 순수한 상태의 곡선이다. 점선으로 된 곡선은 산화막과 채널 사이의 계면에 계면 결함 밀도

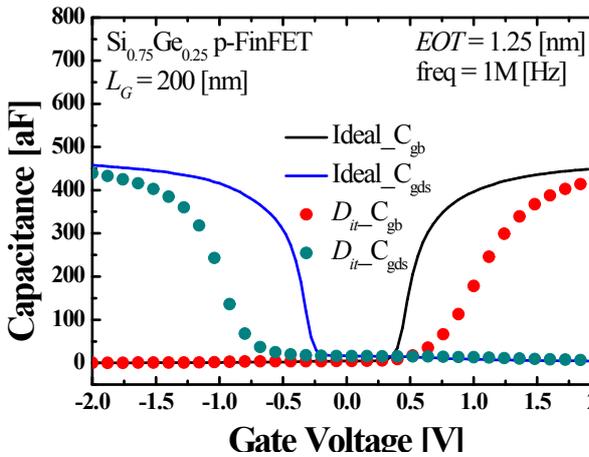


그림 2. Si_{0.75}Ge_{0.25} p-FinFET 시뮬레이션 커패시턴스-전압 곡선

Fig. 2. Si_{0.75}Ge_{0.25} p-FinFET simulation C-V curve.

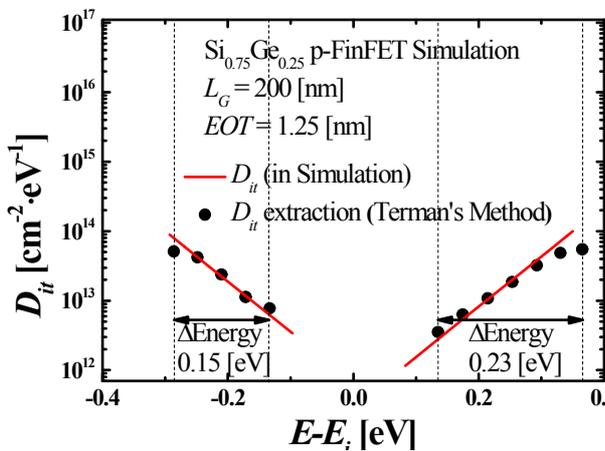


그림 3. 시뮬레이션에 입력된 계면 결함 밀도(D_{it})와 Terman의 방법으로 추출된 계면 결함 밀도(D_{it})

Fig. 3. Interface trap density(D_{it}) inputted in simulation and extracted by Terman's method.

(D_{it})를 그림 3의 붉은색 선과 같이 시뮬레이션 상에 분포시킨 커패시턴스-전압 곡선이다.

그림 2의 이상적인 커패시턴스 곡선의 최댓값을 산화막 커패시턴스(C_{ox})의 값으로 볼 수 있다. 소자가 3차원 구조로 고려되었지만 유전율과 산화막 두께와의 관계인 이론적인 산화막 커패시턴스의 값이 4.6×10^{-16} F으로 그림 2의 이상적인 커패시턴스 곡선의 최댓값인 4.5×10^{-16} F과 비교하였을 때 거의 비슷한 값을 가진다는 것을 확인할 수 있다. 계면 결함 밀도(D_{it})의 분포 또한 3차원 구조이므로 공간적으로 변할 수 있지만, 본 논문에서는 공간적인 계면 결함 밀도(D_{it})의 분포보다는 평균 계면 결함 밀도(D_{it})를 구하는 것이므로 그림 1의

FinFET 구조에 그림 3의 빨간색 실선과 같은 계면 결함 밀도(D_{it})의 분포가 공간적으로 균일하게 들어가 있음을 가정하였다.

III. 계면 결함 밀도(D_{it}) 추출 방법

계면 결함은 게이트에 인가해주는 교류 신호의 주파수가 낮을 때 계면 결함에 전자가 포획되거나 방출되는 특성으로 인하여 추가적인 커패시턴스 성분으로 작용한다. 위와 같은 이유 때문에 커패시턴스-전압 곡선에 혹(hump)이 생성된다. 그러나 충분히 높은 주파수의 교류 신호를 게이트에 인가해 주면, 계면 결함은 교류 신호에는 반응하지 않고 직류 게이트 전압에 반응하게 된다. 직류 게이트 전압은 표면 전위(surface potential)를 바꾸고, 이러한 표면 전위의 변화는 페르미 준위(fermi level)의 위치를 변화시킨다. 계면 결함은 페르미 준위보다 낮은 위치에서 전자를 포획하는데, 고주파의 교류 신호에서는 계면 결함에 전자가 포획되는 양이 페르미 준위의 위치에 따라 변하게 되고, 계면 결함에 포획된 전자들은 표면 전위에 영향을 주어서 그림 2에서와 같이 이상적인 커패시턴스-전압 곡선보다 늘어지게 되는 현상이 나타나게 된다. 고주파의 교류 신호에서 커패시턴스-전압 곡선을 확인하게 되면, 저주파 교류 신호와는 다르게 계면 결함의 반응성에 의존하지 않기 때문에 느린 계면 결함도 전자를 포획하는 현상에 충분히 기여할 수 있다는 점이다. 따라서 고주파의 커패시턴스-전압 곡선의 늘어지는 특성을 이용하면 다른 방법들보다 높은 계면 결함 밀도(D_{it})를 추출할 수 있다.

1. Terman의 방법으로 계면 결함 밀도(D_{it}) 추출

Terman의 방법^[11~12]은 고주파 커패시턴스-전압 방법(high frequency C-V method)이라고도 불리며, 위에 설명한 바와 같이 고주파의 커패시턴스-전압 곡선이 계면 결함 때문에 늘어지는 현상을 이용한다. 계면 결함에 전자가 채워지게 되면 채워진 전자는 표면 전위에 영향을 주게 된다. 그림 2에서 이상적인 커패시턴스-전압 곡선과 계면 결함으로 인하여 늘어난 커패시턴스-전압 곡선을 비교해보면, 커패시턴스의 값이 같다면 전압은 다르더라도 표면 전위는 같다. 이러한 점을 이용하여 이상적인 그리고 늘어난 커패시턴스-전압 곡선에서 커패시턴스가 같은 부분의 전압 차이를 식 (2)처럼 구

할 수 있다.

$$\psi_s = \int_{V_{G1}}^{V_{G2}} (1 - C/C_{ox}) dV_G + D \quad (1)$$

$$\Delta V_G = V_{G, D_{it}} - V_{G, ideal} \quad (2)$$

$$\begin{aligned} D_{it, Terman} &= \frac{C_{ox}}{q} \left(\frac{dV_G}{d\psi_s} - 1 \right) - \frac{C_s}{q} \\ &= \frac{C_{ox}}{q} \frac{d\Delta V_G}{d\psi_s} \end{aligned} \quad (3)$$

게이트 전압에 따라 변하는 표면 전위는 식 (1)과 이상적인 커패시턴스 전압 곡선을 이용하여 구할 수 있다. 식 (1)의 D는 적분 상수이며, 평탄 전압을 고려하면 0으로 만들 수 있다. 이렇게 구한 표면 전위를 이용하여 에너지 밴드 갭의 안에 존재하는 계면 결함 밀도 (D_{it})의 분포를 에너지 대역에 따라 나타낼 수 있다. 그리고 식 (2)로 구한 게이트 전압의 차이를 식 (3)과 같은 표면 전위의 함수로 나타낼 수 있게 되고, 식 (3)을 이용하여 계면 결함 밀도(D_{it})를 구할 수 있다. 그림 3은 에너지 밴드 갭(E_g) 안의 진성 페르미 준위(E_f)를 기준으로 나타낸 그림이며 음의 방향은 가전자 대역(E_v)에 가까우며, 양의 방향은 전도 대역(E_c)에 가깝다는 것을 나타낸다. 그림 3의 검은색 점선은 식 (3)으로 추출한 계면 결함 밀도(D_{it})이다. 금지 대역 안의 에너지 대역의 계면 결함 밀도(D_{it})를 도식하였을 때, 시뮬레이션 상에 입력된 계면 결함 밀도(D_{it})와 매우 잘 일치한다는 것을 확인할 수 있다.

2. 전압 차이를 이용한 평균 계면 결함 밀도(D_{it}) 추출

전압 차이를 이용하여 평균 계면 결함 밀도(D_{it})를 추출하는 방법도 이전에 언급되었던 Terman의 방법과 마찬가지로, 계면 결함이 존재하는 커패시턴스-전압 곡선이 이상적인 커패시턴스-전압 곡선보다 반전, 공핍 영역에서 전압 축으로 늘어진다라는 현상을 이용하였다. 그림 4. (a)는 $Si_{0.75}Ge_{0.25}$ p-FinFET의 반전 영역으로 게이트와 드레인/소스 사이의 커패시턴스-전압 곡선이며, 그림 4. (b)는 공핍 영역으로 게이트와 기판 사이의 커패시턴스-전압 곡선이다. Terman의 방법과 비교하기 위하여 동일한 에너지 대역에서 평균 계면 결함 밀도

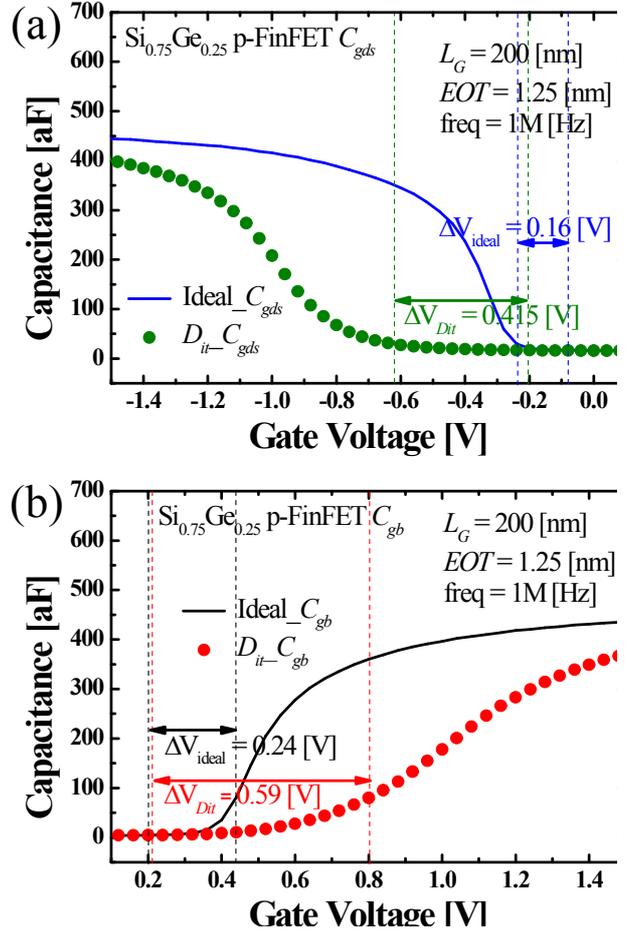


그림 4. 이상적인 커패시턴스-전압 곡선과 늘어진 커패시턴스-전압 곡선을 이용한 전압 차이 비교 (a) C_{gds} (b) C_{gb}

Fig. 4. Difference voltage using ideal and stretch-out C-V curve (a) C_{gds} (b) C_{gb} .

(D_{it})를 추출하였다. 전압 차이를 이용하는 방법도 Terman의 방법과 마찬가지로 동일한 커패시턴스 값에서는 동일한 표면 전위를 갖는다는 점을 이용하였다.

그림 4. (a)와 (b)의 ΔV_{ideal} 은 Terman의 방법으로 계면 결함 밀도(D_{it})를 구한 에너지 대역의 전압 구간이다. 식 (1)을 이용하여 이상적인 커패시턴스-전압 곡선의 C_{gds} 는 -0.24 V부터 -0.08 V의 전압 구간에서 에너지

$$D_{it, \Delta V} = \frac{C_{ox}}{q} \left(\frac{\Delta V_{D_{it}} - \Delta V_{ideal}}{\Delta Energy} \right) \quad (4)$$

대역의 -0.28 eV부터 -0.13 eV와 일치하고 C_{gb} 는 0.2 V부터 0.44 V의 전압 구간에서 에너지 대역의 0.135 eV부터 0.365 eV와 일치함을 확인할 수 있다.

늘어난 커패시턴스-전압 곡선의 ΔV_{Dit} 는 이상적인 커패시턴스-전압 곡선에서 구한 -0.24 V와 -0.08 V의 C_{gds} 의 값, 그리고 0.2 V와 0.44 V의 C_{gb} 의 값과 일치하는 커패시턴스 값을 이용하여 구할 수 있다. 이러한 방법으로 C_{gds} 의 ΔV_{ideal} 와 ΔV_{Dit} 의 크기는 0.16 V와 0.415 V, 그리고 C_{gb} 의 ΔV_{ideal} 와 ΔV_{Dit} 의 크기는 0.24 V와 0.59 V라는 것을 그림 4. (a)와 (b)에서 확인할 수 있다. 같은 커패시턴스 값을 갖는 전압의 구간이 이상적인 커패시턴스-전압 곡선의 전압 구간보다 더 넓어졌다는 것은 에너지 대역 내에 존재하는 계면 결함 밀도(D_{it})로 인하여 커패시턴스-전압 곡선이 늘어났다는 것을 의미하고, 이와 같은 현상을 이용하는 식 (4)로 에너지 대역에 존재하는 평균 계면 결함 밀도(D_{it})를 구할 수 있다. 식 (4)에서 $\Delta Energy$ 는 평균 계면 결함 밀도(D_{it})를 구하려는 에너지 대역의 구간을 의미하고, 산화막 커패시턴스(C_{ox})는 유전율과 산화막 두께로 구할 수 있으며, 계면 결함 밀도(D_{it})에 의한 영향으로 커패시턴스-전압 곡선이 늘어지는 현상의 크기는 ΔV_{Dit} 와 ΔV_{ideal} 차이로 구할 수 있다.

IV. 결과 분석

식 (4)를 이용하여 금지 대역 내의 에너지 대역에 존재하는 평균 계면 결함 밀도(D_{it})를 구하였으며, 전압 차이로 구한 평균 계면 결함 밀도(D_{it})를 비교하기 위하여 Terman method로 구한 계면 결함 밀도(D_{it})의 평균값을 구하였다. 금지 대역 내의 에너지 대역에서 계면 결함 밀도(D_{it})를 적분하여 평균값을 구하였고 두 가지 방법으로 구한 평균 계면 결함 밀도(D_{it})를 표 3에 나

표 3. Terman의 방법과 전압 차이를 이용한 방법으로 구한 평균 계면 결함 밀도(D_{it}) 비교
Table 3. Average interface trap density(D_{it}) extracted by Terman's method and method using difference of voltage.

	C_{gds}	C_{gb}
$\Delta Energy$ (E-E _i) [eV]	0.15 (-0.28 ~ -0.13)	0.23 (0.135 ~ 0.365)
$D_{it, \Delta V}$ [cm ⁻² · eV ⁻¹]	2.9×10^{13}	2.6×10^{13}
$D_{it, Terman(average)}$ [cm ⁻² · eV ⁻¹]	3×10^{13}	2.9×10^{13}

타내었다. 표 3의 결과에서 보는 바와 같이 단순히 전압 차이만으로도 금지 대역 내의 동일한 에너지 대역에서 Terman의 방법과 매우 비슷한 결과 값을 가지는 평균 계면 결함 밀도(D_{it})를 구할 수 있음을 확인하였다.

V. 결론

고주파의 이상적인 커패시턴스-전압 곡선과 늘어난 커패시턴스-전압 곡선의 서로 다른 모양을 이용하여 계면 결함 준위를 구할 수 있음을 보였다. SiGe은 현재 계면 상태가 매우 나쁘고, 이렇게 나쁜 계면 상태는 고주파의 커패시턴스-전압 곡선을 늘어지게 하는 현상을 보이게 된다. 높은 계면 결함 밀도(D_{it})를 구함에 있어서 Terman의 방법은 에너지에 따른 계면 결함 밀도(D_{it}) 분포를 보다 정확하게 구할 수 있지만, 이상적인 커패시턴스-전압 곡선과 늘어난 커패시턴스-전압 곡선의 전압 차이와 이에 따른 표면 전위의 변화를 반복적으로 수행해야 된다는 번거로움이 있다. 반면에 두 곡선의 동일한 커패시턴스를 갖는 전압 차이를 이용하면 에너지 구역에 분포하는 평균 계면 결함 밀도(D_{it})를 보다 간단하고 정확하게 구할 수 있었다.

Terman과 전압 차이를 이용하는 방법 모두 이상적인 커패시턴스-전압 곡선이 필요하다. 하지만 실제 소자에서는 이러한 이상적인 곡선을 얻기 매우 어렵다. 이러한 상황에서 실제 소자와 매우 근사한 구조를 시뮬레이션을 이용하여 만들고 이상적인 커패시턴스-전압 곡선을 추출하여 소자 특성 분석에 이용한다면 위와 같은 어려움에 훌륭한 대안이 될 수 있을 것이다.

이번 연구에서는 측정값을 시뮬레이션으로 대체하였다. 그러나 차후 과제로는 실제 측정 자료와 시뮬레이션으로 추출한 이상적인 커패시턴스-전압 곡선을 이용해서 분석하여도 타당한 결론을 도출할 수 있음을 보여야 하겠다.

REFERENCES

- [1] Kyong Taek Lee, Min Sang Park, Chang Yong Kang, Yoon-Ha Jeong, "A Study on Carrier Injection Velocity in sub-100nm SiGe Channel pMOSFETs Using RF C-V Measurement," *2010 IEIE Sumer Conference*, pp. 597-598, June 2010.
- [2] Muhammad Nawaz, Mikael Ostling, "A Design

Evaluation of Strained Si-SiGe on Insulator (SSOI) Based Sub-50 nm nMOSFETs," *JOURNAL OF SEMICONDUCTOR TECHNOLOGY AND SCIENCE*, Vol. 8, No. 3, pp. 136-147, June 2005.

[3] Paek Seung Hyuck, Shim Tae Hun, Moon Joon Seok, Cha Won Jun, and Paek Jae Gun, "Effect of Ge mole fraction and Strained Si Thickness on Electron Mobility of FD n-MOSFET fabricated on Strained Si/Relaxed SiGe/SiO₂/Si," *Journal of The Institute of Electronics Engineers of Korea*, Vol. 41-SD, No. 10, pp. 1-7, October 2004.

[4] Jakub Walczak, Bogdan Majkusiak, "Theoretical Study of Electron Mobility in Double-Gate Field Effect Transistors with Multilayer (strained-)Si/SiGe Channel," *JOURNAL OF SEMICONDUCTOR TECHNOLOGY AND SCIENCE*, Vol. 8, No. 3, pp. 264-275, September 2008.

[5] Y-J Song, J-W Lim, S-H Kim, H-C Bae, J-Y Kang, K-W Park, K-H Shin, "Effects of Si-cap layer thinning and Ge segregation on the characteristics of Si/SiGe/Si heterostructure pMOSFETs," *Solid-State Electronics*, 46, pp. 1983-1989, 2002.

[6] I. Ok, K. Akarvardar, S. Lin, M. Baykan, C. D. Young, P. Y. Hung, M. P. Rodgers, S. Bennett, H. O. Stamper, D. L. Franca, J. Yum, J. P. Nadeau, C. Hobbs, P. Kirsch, P. Majhi, R. Jammy, "Strained SiGe and Si FinFETs for High Performance Logic with SiGe/Si stack on SOI," *IEEE IEDM*, pp. 776-779, 2010.

[7] T. Ngai, X. Chen, J. Chen, and S. K. Banerjee, "Improving SiO₂ / SiGe interface of SiGe p-metal - oxide - silicon field-effect transistors using water vapor annealing," *Appl. Phys. Lett.*, Vol. 80, No. 10, pp. 1773-1775, 11 March 2002.

[8] D. Veksler, G. Bersuker, L. Morassil, J. H. Yum, G. Verzellesi, Wei-E Wang, P. D. Kirsch, "Extraction of interfacial state density in high-k/III-V gate stacks: problems and solutions," *IEEE NMDC*, National Cheng Kung Univ., Tainan, Taiwan, October 2013.

[9] Synopsys Inc., Mountain View, CA, Version I-2013. 12, 2013.

[10] Sasa Mileusnic, Milos Zivanov and Predrag Habas, "MOS Transistors Characterization by Split C-V Method," in *Proc. of CAS2001*, Vol. 2, pp. 503-506, October 2001.

[11] L. M. Terman, "An investigation of surface states at a silicon/silicon oxide interface employing metal-oxide-silicon diodes," *Solid-State Electronics*, Vol. 5, pp. 285-299, 1962.

[12] D. K. Schroder, *Semiconductor material and device characterization*, John Wiley & Sons, Inc., pp. 350-352, 2006.

— 저 자 소 개 —



김 현 수(학생회원)
2011년 국민대학교 전자공학부
공학사.
2014년~현재 서울대학교 전기·
정보공학부 석사과정.
<주관심분야 : FinFET>



서 영 수(학생회원)
2013년 성균관대학교 전자·전기
공학부 공학사.
2013년~현재 서울대학교 전기·
정보공학부 석·박사통합
과정.
<주관심분야 : FinFET, DRAM>



신 형 철(평생회원)-교신저자
1985년 서울대학교 전자공학과
공학사.
1987년 서울대학교 전자공학과
공학석사.
1993년 California Berkely
전기공학 공학박사.
1994년~1996년 Motorola Laboratories.
1996년~2001년 KAIST 전기·전자공학부 교수.
2001년~2002년 Qualcomm Staff Scientist.
2003년~현재 서울대학교 전기·정보공학부
교수.
2010년, 2014년 삼성 반도체 자문교수.
2012년~2013년 서울대학교 반도체공동연구소
소장.
<주관심분야 : FinFET, DRAM, NAND 플래시
메모리, 나노스케일 CMOS소자>