

# SRF-PLL을 이용한 계통연계형 단상 인버터의 전원 위상각 검출시 오프셋 오차 영향에 관한 연구

(A Study on Effects of Offset Error during Phase Angle Detection in Grid-tied  
Single-phase Inverters based on SRF-PLL)

권 영\* · 성의석 · 황선환\*\*

(Young Kwon · Ui-Seok Seong · Seon-Hwan Hwang)

## Abstract

This paper proposes an ripple reduction algorithm and analyzes the effects of offset and scale errors generated by voltage sensor while measuring grid voltage in grid-tied single-phase inverters. Generally, the grid-connected inverter needs to detect the phase angle information by measuring grid voltage for synchronization, so that the single-phase inverter can be accurately driven based on estimated phase angle information. However, offset and scale errors are inevitably generated owing to the non-linear characteristics of voltage sensor and these errors affect that the phase angle includes 1st harmonic component under using SRF-PLL(Synchronous Reference Frame - Phase Locked Loop) system for detecting grid phase angle. Also, the performance of the overall system is degraded from the distorted phase angle including the specific harmonic component. As a result, in this paper, offset and scale error due to the voltage sensor in single-phase grid connected inverter under SRF-PLL is analyzed in detail and proportional resonant controller is used to reduce the ripples caused by the offset error. Especially, the integrator output of PI(Proportional Integral) controller in SRF-PLL is selected as an input signal of the proportional resonant controller. Simulation and experiment are performed to verify the effectiveness of the proposed algorithm.

Key Words : Grid-Tied Single-Phase Inverter, Offset Error, Scale Error, PR Controller, SRF-PLL

## 1. 서 론

\* Main author : Team Leader, R&D Headquarters,  
Precede the Development Team, C&G, Korea  
\*\* Corresponding author : Professor, Dept. of  
Electrical Eng., Kyungnam Univ., Korea  
Tel : 055-249-2744, Fax : 0505-999-2161  
E-mail : seonhwan@kyungnam.ac.kr  
Received : 2015. 8. 5  
Accepted : 2015. 9. 14

최근 무정전 전원장치, 신재생 에너지 및 분산전원 시스템의 계통연계와 디젤 및 동기발전기의 출력제어 등과 같은 운전에 적용되는 전력변환장치의 경우 전력품질 및 안전 등의 신뢰성 향상을 위한 기술을 바탕으로 활발한 연구개발이 이루어지고 있다. 특히 계통

연계형 인버터의 경우 계통측 전원과의 크기 및 위상 차로 인하여 시스템의 성능저하를 야기할 수 있으며, 이를 방지하기 위해 계통전압의 위상 및 크기정보를 정확하게 추정하여 동기화하는 것이 필요하다[1-2].

기존의 단상 인버터 시스템에서 계통 위상각을 추종하기 위한 기법으로는 영점 검출법, EPLL(Enhanced Phase Locked Loop), SOGI(Second Order Generalized Integrator) 등이 사용되어 왔다. 하지만 영점 검출법의 경우 계통전압에 고조파가 포함되면 영점을 여러 번 지나게 되어 위상검출에 오류가 발생하는 단점이 있다. 또한 EPLL은 2개의 페루프를 사용함으로 인하여 시스템의 동특성이 불안정하며, SOGI는 계통 주파수의 변동 및 고조파에 대해 안정적으로 동작하는 반면, 시스템 구성이 비교적 복잡한 특징이 있다 [3-5]. 따라서 본 연구에서는 SRF-PLL 기법을 사용한 계통 위상각 추종기법을 기반으로 해석하였으며, 이는 동기 좌표계 PI제어기를 사용함으로써 정상상태 변수들이 직류성분으로 변환되기 때문에 제어가 비교적 용이한 장점이 있다[6-8].

그림 1은 일반적인 계통연계형 단상 인버터 시스템의 구성도를 보여주고 있으며 전력변환회로와 계통전원의 위상검출을 위한 위상 동기 루프제어, 전원측 전류제어, 직류단 전압제어를 위한 알고리즘 등으로 구성되어 있다.

이 중 계통 전원 위상각 추정을 위한 위상 동기 루프 제어의 입력신호로 사용되는 계통전압의 측정은 전압 센서, 매칭회로, 필터회로 그리고 A/D 컨버터를 통해 이루어지는데, 측정경로상에 존재하는 아날로그 소자의 비선형적인 특성으로 인하여 윗셋 및 스케일 오차가 불가피하게 발생된다. 이러한 오차 성분이 포함된 전압정보를 이용하여 제어를 수행하는 경우, 추종된 전원 위상각과 출력전류에 맥동을 야기하며 그 결과 전체 시스템의 성능을 저하시킨다[9].

기존의 연구에서는 SRF-PLL 제어 루프내의 동기 좌표계  $dq$ 축 전압 성분에 대한 윗셋 오차의 영향을 RMS(Root Mean Square)기법을 통해서 보상하였다. 하지만 이러한 방법의 경우, 실제 전압센서에서 발생한 윗셋 오차와 RMS연산을 통해 출력되는 값의 오차로 인하여 윗셋 오차를 정확하게 검출하지 못할 수

있다[10].

본 논문에서는 계통전압의 측정시 발생하는 윗셋 및 스케일 오차가 SRF-PLL 시스템에 미치는 영향을 동기 좌표계 상에서 상세히 분석하였으며, 왜곡된 위상각이 상전류에 미치는 영향도 함께 살펴보았다.

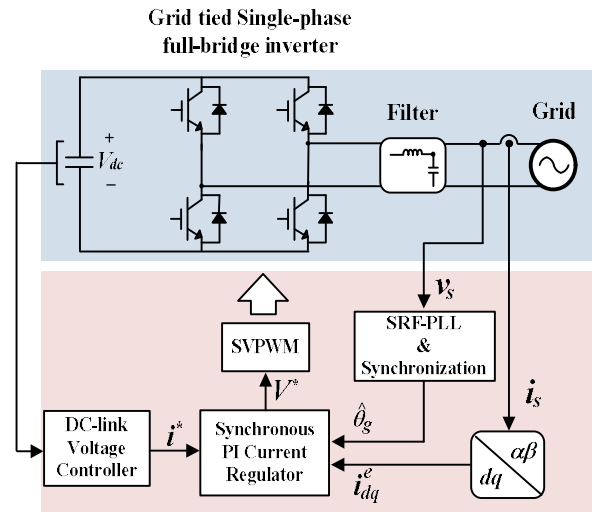


Fig. 1. Configuration of conventional grid-tied single-phase inverter system

또한 비례공진 제어기를 이용하여 SRF-PLL의 동기 좌표계 전압에 포함된 고조파 성분을 저감하는 알고리즘을 제안하였다. 비례공진 제어기는 특정한 주파수에서 개루프 이득이 무한대인 특성을 가진다 [11-12]. 따라서 윗셋 및 스케일 오차에 의해 동기 좌표계  $d$ 축 전압에 발생하는 고조파를 저감함으로써 오차 성분의 영향을 저감하였다. 시뮬레이션 및 실험을 통하여 제안된 알고리즘의 타당성을 검증하였다.

## 2. 전원전압 측정오차의 영향분석

### 2.1 SRF-PLL 시스템

계통연계형 인버터의 경우 계통위상각 정보를 통해 인버터와 계통간의 위상을 동일하게 제어하기 위하여 계통측 전압 정보를 통한 위상각 추정이 요구된다. 그림 2는 일반적인 SRF-PLL의 구조를 나타낸다.

단상 인버터는 3상 인버터와는 달리 정지 좌표계

$dq$ 축 전압을 생성하기 위하여 가상의 전압을 발생시켜야 한다.

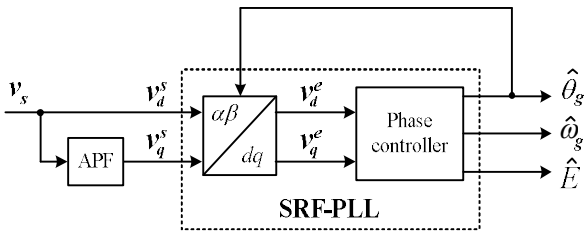


Fig. 2. Block diagram of single-phase SRF-PLL system

따라서 전역통과 필터를 이용하여 계통전압과  $90^\circ$ 의 위상차가 존재하는 가상의 전압을 발생하며, 그 결과 정지 좌표계  $dq$ 축 전압을 좌표변환을 통하여 동기 좌표계  $dq$ 축 전압으로 만든다[9]. 이 중 기준신호를 '0'으로 제어하는 동기 좌표계  $d$ 축 전압을 이용하여 PI 제어를 통해 추정된 계통 각주파수를 연산 가능하며, 이를 적분하여 추정된 위상각을 얻을 수 있다.

### 2.2 SRF-PLL에서 옵셋 및 스케일 오차의 영향

그림 3은 일반적인 전압센서를 이용한 전원 전압의 측정경로를 나타낸다. 전압센서의 입력 신호는 아날로그 회로 및 A/D 컨버터를 통해 디지털 신호로 변환된다. 하지만 측정 경로상에 포함된 여러 아날로그 소자와 전압센서 자체의 불평형으로 인하여 옵셋 및 스케일 오차가 필연적으로 발생된다.

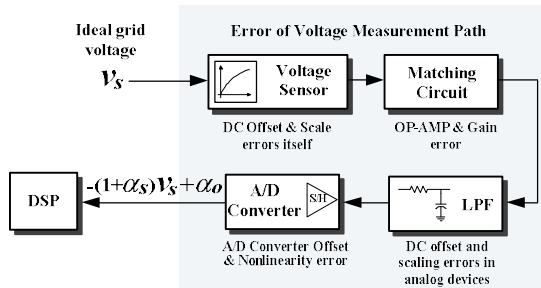


Fig. 3. Measurement path of grid voltage using voltage sensor

옵셋 및 스케일 오차가 포함된 계통전압은 식 (1)과 같이 나타낼 수 있다.

$$v_s = -(1 + \alpha_s) V_m \sin \theta_g + \alpha_o \quad (1)$$

여기서  $\alpha_s$ 는 스케일 오차,  $\alpha_o$ 는 옵셋 오차,  $V_m$ 은 전원 전압의 최대값,  $\theta_g$ 는 전원 위상각을 나타낸다.

하지만 계통연계형 단상 인버터 시스템에서 스케일 오차의 경우, 3상 인버터 시스템과는 달리 위상각 연산에 영향을 주지 않는다. 식 (2)는 전역통과 필터를 통해 생성된 가상의 전압을 포함한 정지 좌표계  $dq$ 축 전압  $v_{dq\_error}^s$ 을 나타낸다.

$$\begin{bmatrix} v_{d\_error}^s \\ v_{q\_error}^s \end{bmatrix} = \begin{bmatrix} -(1 + \alpha_s) V_m \sin \theta_g + \alpha_o \\ (1 + \alpha_s) V_m \cos \theta_g \end{bmatrix} \quad (2)$$

식 (2)에서 스케일 오차만을 고려한 정지 좌표계  $dq$ 축 전압을 좌표변환을 이용하여 나타낸 동기 좌표계  $dq$ 축 전압  $v_{dq\_error}^e$ 은 식 (3)과 같다.

$$\begin{bmatrix} v_{d\_error}^e \\ v_{q\_error}^e \end{bmatrix} = \begin{bmatrix} \cos \hat{\theta}_g & \sin \hat{\theta}_g \\ -\sin \hat{\theta}_g & \cos \hat{\theta}_g \end{bmatrix} \begin{bmatrix} -(1 + \alpha_s) V_m \sin \theta_g \\ (1 + \alpha_s) V_m \cos \theta_g \end{bmatrix} \quad (3)$$

$$= \begin{bmatrix} 0 \\ (1 + \alpha_s) V_m \end{bmatrix}$$

식 (3)으로부터 좌표변환에 사용되는 추정된 위상각  $\hat{\theta}_g$ 과 계통 위상각  $\theta_g$ 이 동일하다는 가정 하에, 위상각을 추정하기 위한 기준신호인 정지 좌표계  $d$ 축 전압에는 스케일 오차의 영향이 없음을 알 수 있다. 또한 계통측 전압의 크기가 변동하는 경우 스케일 오차와 동일한 영향을 미치므로 추정된 위상각에 맥동을 야기하지 않는다.

따라서 스케일 오차를 제외한 옵셋 오차의 영향만을 살펴보기 위하여 정지 좌표계  $dq$ 축 전압을 이용한 좌표변환 식은 식 (4)와 같다.

$$\begin{bmatrix} v_{d\_error}^e \\ v_{q\_error}^e \end{bmatrix} = \begin{bmatrix} \cos \hat{\theta}_g & \sin \hat{\theta}_g \\ -\sin \hat{\theta}_g & \cos \hat{\theta}_g \end{bmatrix} \begin{bmatrix} -V_m \sin \theta_g + \alpha_o \\ V_m \cos \theta_g + \alpha_o \end{bmatrix} \quad (4)$$

$$= \begin{bmatrix} \alpha_o \cos \hat{\theta}_g + \alpha_o \sin \hat{\theta}_g \\ V_m - \alpha_o \sin \hat{\theta}_g + \alpha_o \cos \hat{\theta}_g \end{bmatrix}$$

식 (4)로부터 동기 좌표계  $d$ 축 전압은 '0', 동기 좌표계  $q$ 축 전압은 직류성분만 존재하는 이상적인 경우와는 달리, 윽셋 오차에 의해서 동기 좌표계  $d$ 축 전압에 전원 주파수의 1배 고조파가 발생하는 것을 알 수 있다.

윽셋 오차에 의해 발생한 동기 좌표계  $d$ 축 전압의 1배 고조파가 위상각에 미치는 영향을 살펴보기 위하여 PI 제어기의 적분기 출력만을 관찰함으로써 맥동 성분을 고려한 수식전개가 가능하며, 이는 식 (5)와 같이 나타낼 수 있다.

$$\begin{aligned}
 v_{d\_integ}^e &= K_i \int (v_{d\_error}^e) dt & (5) \\
 &= K_i \int (\alpha_o \cos \hat{\omega}_g t + \alpha_o \sin \hat{\omega}_g t) dt \\
 &= K_i \frac{\alpha_o}{\hat{\omega}_g} (\sin \hat{\omega}_g t - \cos \hat{\omega}_g t) \\
 &= \sqrt{2} K_i \frac{\alpha_o}{\hat{\omega}_g} \sin(\hat{\omega}_g t + 45^\circ)
 \end{aligned}$$

여기서  $\hat{\omega}_g$  는 추정된 각주파수를 나타낸다.

PI 제어기의 적분기 출력을 한차례 더 적분하여 추정된 위상각을 얻을 수 있으며 윽셋 오차에 의해 추정된 위상각에 포함된 맥동의 영향은 식 (6)과 같다.

$$\begin{aligned}
 \theta_{dis} &= \int (v_{d\_integ}^e) dt & (6) \\
 &= \sqrt{2} K_i \frac{\alpha_o}{\hat{\omega}_g} \int (\sin(\hat{\omega}_g t + 45^\circ)) dt \\
 &= -\sqrt{2} K_i \frac{\alpha_o}{\hat{\omega}_g^2} \cos(\hat{\omega}_g t + 45^\circ)
 \end{aligned}$$

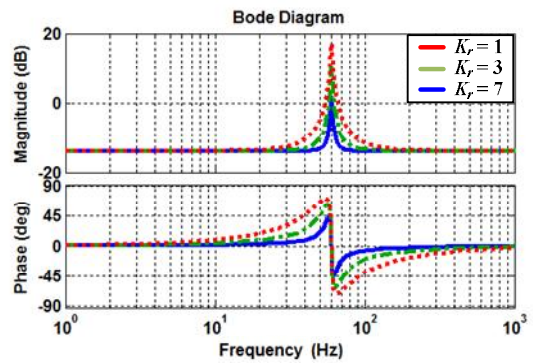
식 (6)에서 윽셋 오차에 의하여 추정된 위상각  $\theta_{dis}$  에 1배 고조파가 포함된 것을 확인할 수 있다.

### 2.3 제안된 맥동 저감 알고리즘

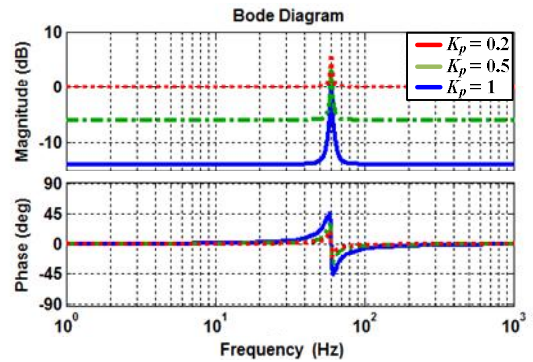
일반적으로 비례공진 제어기는 특정 주파수에서 이득이 무한대이며 위상지연이 없는 제어특성을 가진다. 따라서 맥동이 포함된 신호에 대하여 특정 차수의 고조파를 검출하여 출력할 수 있다[12]. 이러한 특성을 이용하여 윽셋 오차에 의한 동기 좌표계  $d$ 축 전압

의 1배 맥동성분을 저감할 경우 시스템의 응답특성에 영향을 주지 않고 윽셋 오차의 영향을 줄일 수 있다. 하지만 이상적인 비례공진 제어기는 무한대의 이득으로 인하여 시스템의 응답특성이 저하되는 단점이 있으며, 이를 보완하기 위하여 실제적인 비례공진 제어기를 사용하면 특정 주파수에서의 이득을 조절 가능하다. 실제적인 비례공진 제어기의 전달함수는 식 (7)과 같다.

$$G_{PR}(s) = K_p + \sum_n \frac{2K_r \omega_c s}{s^2 + 2\omega_c s + (n\omega_0)^2} \quad (7)$$



(a)



(b)

Fig. 4. Bode diagram of practical proportional resonant controller (a)  $K_p = 0.2$  (b)  $K_i = 1$

여기서  $K_p$  는 비례이득,  $K_r$  는 공진이득,  $n$  은 고조파의 차수,  $\omega_0$  는 계통 각주파수,  $\omega_c$  는 차단 각주파수를 각각 나타낸다.

비례이득  $K_p$  를 통해 제어기의 동특성을 변화할 수

있으며, 공진이득  $K_r$  은 대역폭과 이득의 크기를 조정할 수 있다. 그림 4는 비례이득과 공진이득을 각각 변화하였을 때의 보드선도를 나타낸다.

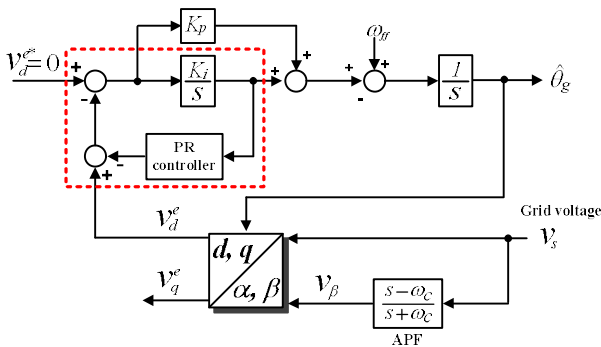


Fig. 5. Block diagram of ripple reduction algorithm using Proportional Resonant controller

그림 5는 SRF-PLL시스템에서 제안된 비례공진 제어기를 이용한 전압맥동 저감 알고리즘의 블록도를 나타낸다. 동기 좌표계  $d$ 축 전압에 포함된 윗셋 오차에 의한 1배 맥동을 저감하기 위하여 PI 제어기의 적분기 출력 신호를 맥동 성분을 검출을 위한 기준 신호로 선정하였다. 적분기 출력을 맥동 저감을 위한 기준 신호로 사용하면, 정상상태에서의 직류 성분이 '0'이며, 적분기 이득  $K_i$  를 증가시켜 맥동의 크기를 확대할 수 있는 장점이 있다. 따라서 비례공진 제어기를 통해 출력된 1배 고조파 성분을 동기 좌표계  $d$ 축 전압에 직접적으로 연결함으로써 윗셋 오차의 영향을 저감할 수 있다.

### 3. 시뮬레이션 결과

제안된 알고리즘의 효용성을 검증하기 위해 Matlab/Simulink를 이용하여 그림 6과 같이 계통연계형 단상 인버터 시스템을 구현하였다. 직류단 전압 제어기 및 전류 제어기는 동기 좌표계 PI 제어기를 기반으로 구성되어 있다. 또한 동기 좌표계  $d$ 축 전압에 포함된 윗셋 오차의 영향을 저감하기 위해 사용된 비례공진 제어기의 블록도를 그림 7에 나타내었다. 시뮬레이션을 위해 사용된 비례공진 제어기의 비례이득  $K_p$  는 0.1, 공진이득  $K_i$  는 1, 차단 각주파수  $\omega_c$  는 0.01로 각

각 사용되었다. 또한 계통연계의 방식에 있어서 인버터 출력전압의 크기와 위상이 계통전압과 동기가 되었을 경우, 다음 영전위에서 스위치가 턴-온되어 연계되도록 동작한다.

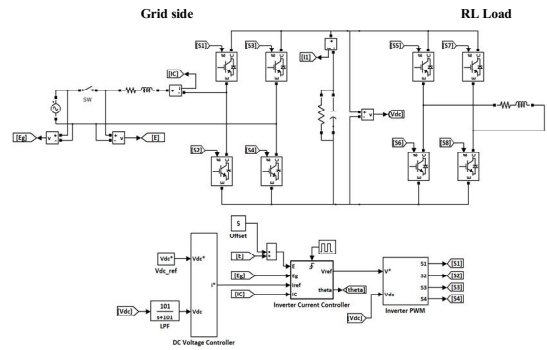


Fig. 6. Block diagram for simulation of single-phase grid-connected inverter

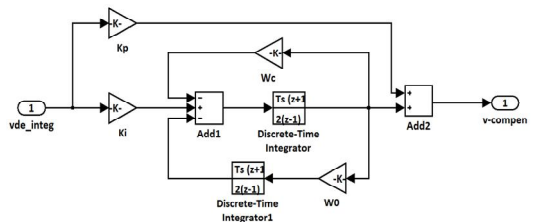


Fig. 7. Block diagram for simulation of proportional resonant controller

그림 8은 제안된 윗셋 오차의 영향 저감 알고리즘의 타당성을 확인하기 위한 시뮬레이션 결과이며, 계통전압의 1.5%에 해당하는 윗셋 오차를 인가한 뒤 제안된 알고리즘을 적용한 전후에 대해서 비교분석하였다. 그림 8 (d)는 상전류의 FFT 결과이다. FFT 결과로부터 윗셋 오차에 의해 상전류에 직류, 1배 및 2배 맥동 성분이 발생됨을 알 수 있으며, THD가 6.06%로 나타난다. 반면, 제안된 알고리즘을 적용한 결과 THD가 1.26%로 크게 향상됨을 확인할 수 있었다.

그림 9는 제안된 알고리즘을 적용한 전후와 제안된 알고리즘 적용후 부하가 변동하는 경우의 시뮬레이션 결과이다. 윗셋 오차 존재시 제안된 알고리즘을 사용하기 전인 (a) 구간에서는 동기 좌표계  $d$ 축 전압 및 추정된 주파수에 1배 맥동이 발생하는 것을 알 수 있다. 또한 제안된 알고리즘을 사용한 (b) 구간부터 윗셋 오

차의 영향이 줄어들음을 확인할 수 있으며, 부하 변동으로 인하여 전류가 2A로 증가한 (c) 구간에서도 마찬가지로 제안된 알고리즘이 잘 동작하는 것을 알 수 있다.

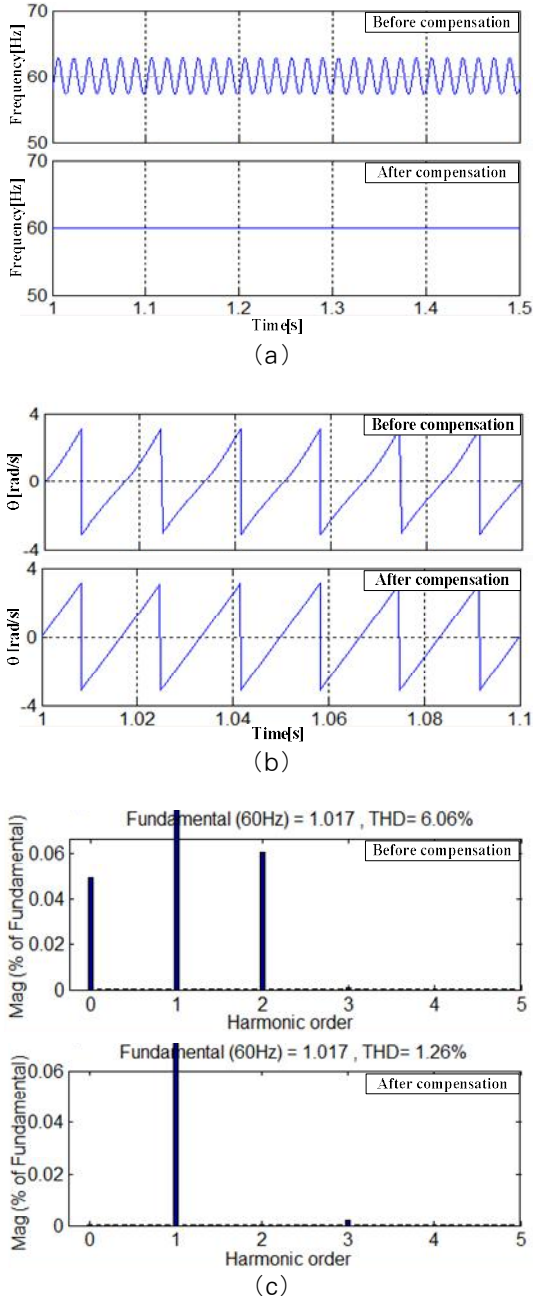


Fig. 8. Simulation result of before and after using proposed algorithm. (a) estimated grid frequency. (b) estimated phase angle. (c) FFT result of phase current

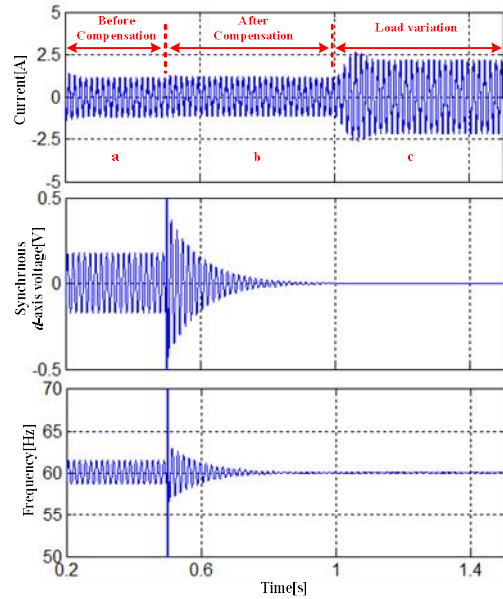


Fig. 9. Simulation result of before and after using proposed algorithm under load variation (a: before using proposed algorithm, b: after using proposed algorithm, c: after using proposed algorithm under load variation)

그림 10은 기존의 RMS 기법을 이용한 전압 윽셋 오차 보상 알고리즘을 적용한 경우, 동기 좌표계  $d$ 축 전압의 시뮬레이션 파형이다. 전압 윽셋 보상에 걸리는 시간은 약 3초로, 본 논문에서 제안한 윽셋 오차 저감 알고리즘과 비교하여 응답시간이 긴 것을 확인할 수 있다.

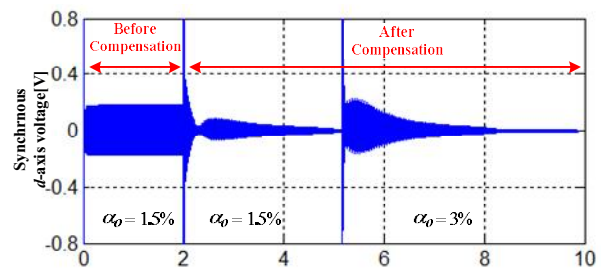


Fig. 10. Simulation result after compensating by RMS calculation according to voltage offset variation

#### 4. 실험결과

본 논문에서 제안한 계통연계형 단상 인버터의 비례

공진 제어기를 이용한 맥동 저감 알고리즘을 검증하기 위해 그림 11과 같이 시스템을 구성하여 실험을 수행하였으며, 기본 구성 및 시스템 파라미터는 표 1에 기술되어 있다.

스케일 및 옵셋 오차의 영향을 살펴보기 위하여 전원 전압의 0~3%에 해당하는 스케일 및 옵셋 오차를 인가하여 실험을 수행하였다.

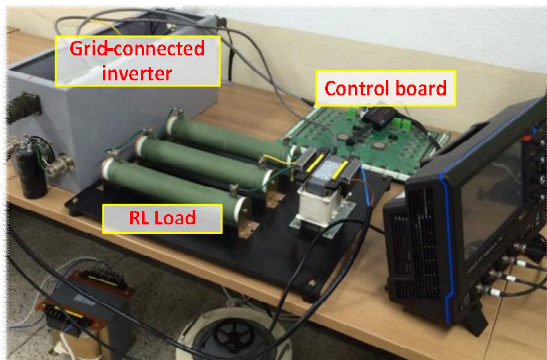


Fig. 11. Experimental setup of single-phase grid-connected inverter

Table 1. Specifications of single-phase grid-connected inverter

항 목	사 양
정격전력	3.0kW
입력전원	220V, 60Hz
직류단 커패시터	5240uF, 400V
입력 리액터	5mH
샘플링 주기	100us
PWM 주파수	10kHz
Kp (비례공진 제어기)	0.1
Kr (비례공진 제어기)	500

그림 12는 전원 전압의 5%에 해당하는 스케일 오차를 인가한 경우의 상전류 및 동기 좌표계  $d$ 축 전압의 실험결과를 나타낸다. 하지만 스케일 오차는 계산된 식 (3)의 결과와 마찬가지로 시스템의 성능에 영향을 주지 않는 것을 알 수 있다.

그림 13은 옵셋 오차에 의한 상전류 및 동기 좌표계  $d$ 축 전압을 보여주며, 옵셋 오차에 의하여 상전류에 직류, 1배 및 2배 고조파가 발생하며, 동기 좌표계  $d$ 축

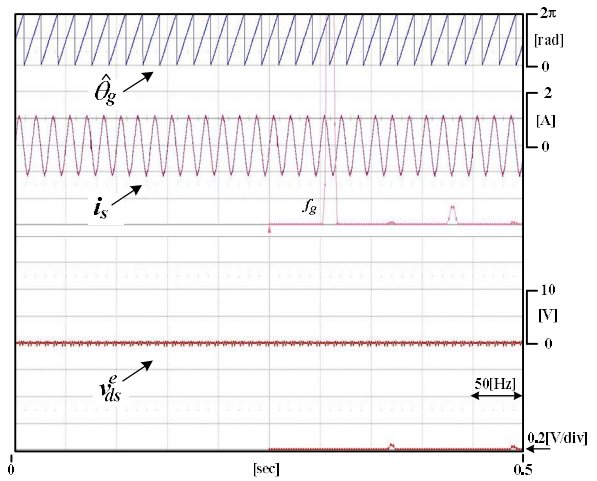


Fig. 12. Phase current and synchronous  $d$ -axis voltage waveform including scale error

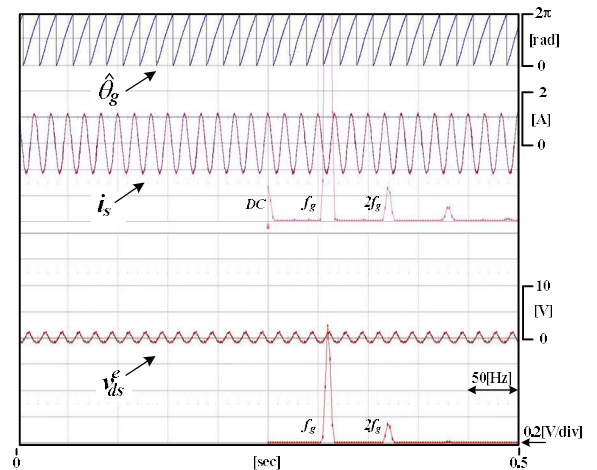


Fig. 13. Phase current and synchronous  $d$ -axis voltage waveform including offset error

전압에 1배 고조파가 나타난다. 따라서 이를 저감하기 위해 제안된 알고리즘을 적용한 결과, 그림 14와 같이 상전류 및 동기 좌표계  $d$ 축 전압에 포함된 옵셋 오차의 영향이 크게 저감됨을 알 수 있다.

그림 15와 그림 16은 제안한 알고리즘의 적용 전후에 대한 동기 좌표계  $dq$ 축 전류파형을 나타낸다. 그림 15로부터 옵셋 오차에 의해 동기 좌표계  $dq$ 축 전류에 전원 주파수의 1배 고조파가 발생되는 것을 알 수 있다. 이러한 전압 옵셋 오차의 영향을 저감하기 위해서 제안된 알고리즘을 사용한 결과, 그림 16에서 동기 좌

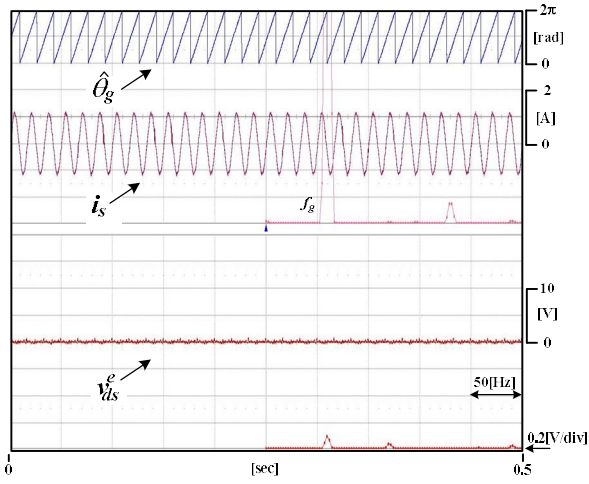


Fig. 14. Phase current and synchronous  $d$ -axis voltage waveform after using proposed algorithm

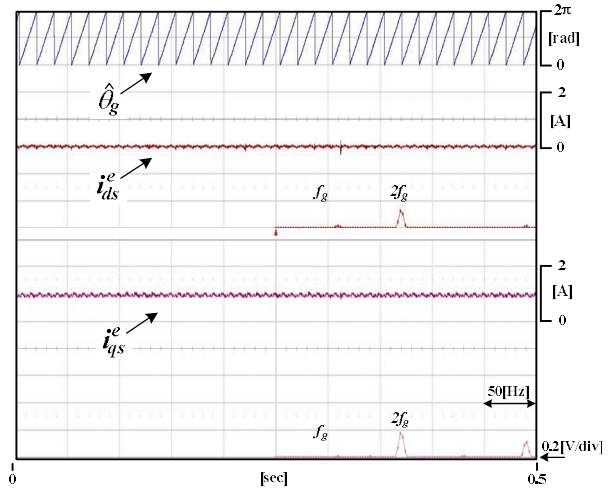


Fig. 16. Synchronous  $dq$ -axis current waveform after using proposed algorithm

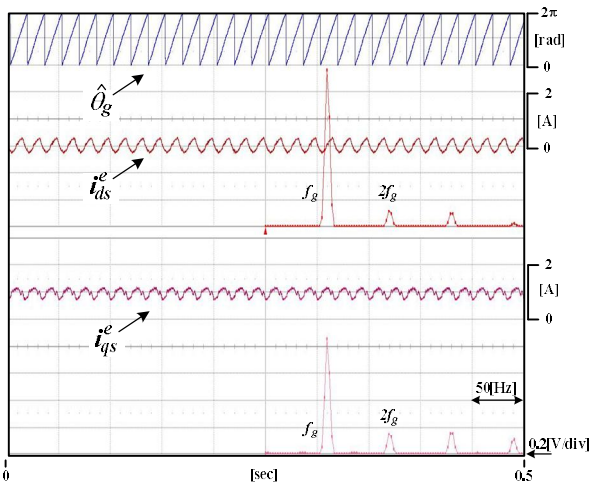


Fig. 15. Synchronous  $dq$ -axis current waveform including offset error

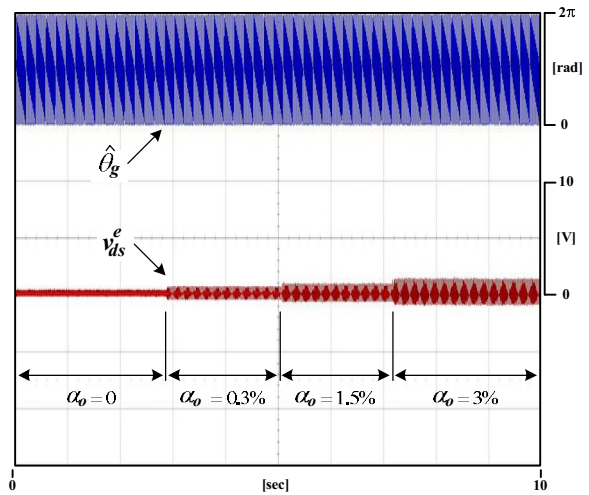


Fig. 17. Synchronous  $d$ -axis voltage waveform according to increasing offset error

표계  $dq$ 축 전류에 나타나는 옵셋 오차에 의한 영향이 감소하는 것을 확인할 수 있다.

그림 17과 그림 18은 옵셋 오차를 전원 전압의 0%에서 3%까지 증가시킨 후 제안한 알고리즘 적용 전후의 결과를 동기좌표계  $d$ 축 전압을 통해 비교한 파형이다. 그림 17에서 나타나는 옵셋 오차에 의한 1배 맥동 성분은 비례공진 제어를 이용한 맥동저감 알고리즘을 적용함으로써 그림 18과 같이 줄어들 수 있다.

그림 19는 동기 좌표계  $d$ 축 전압, 추정된 계통 주파수 및 추정된 위상각에 옵셋 오차 존재시 제안한 알고리즘 적용 전후에 대한 실험파형을 나타낸다. 우측의 파형은 제안한 알고리즘 사용전의 파형을 확대한 것을 보인다. 그림 20은 그림 19의 실험조건에 부하 변동에 의한 전류 증가 추가된 실험파형을 나타내며, 부하 변동에도 제안한 알고리즘이 여전히 잘 동작하는 것을 알 수 있다.



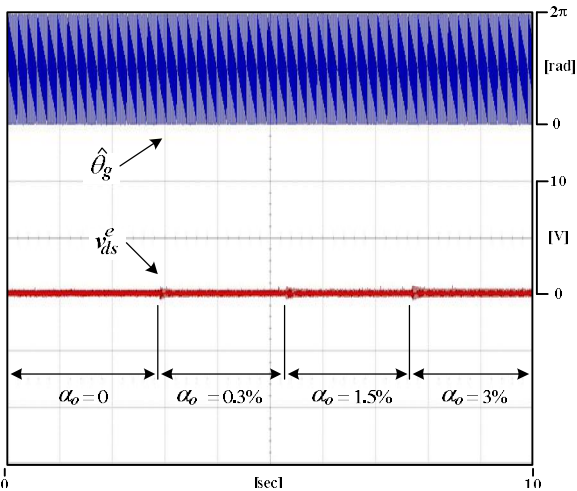


Fig. 18. Synchronous  $d$ -axis voltage waveform according to increasing offset error after using proposed algorithm

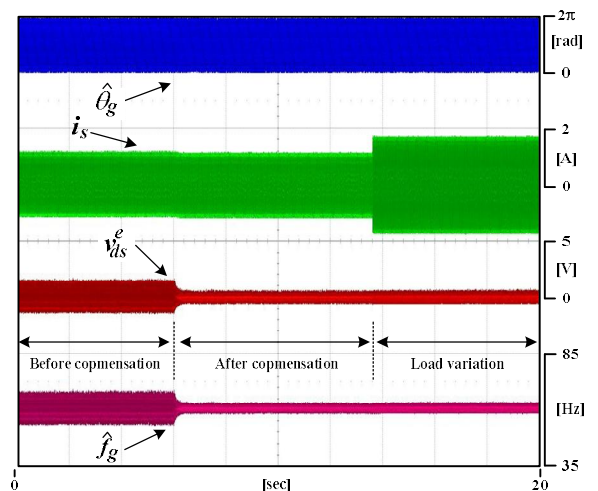


Fig. 20. Experimental waveform after using proposed algorithm under offset error and load variation

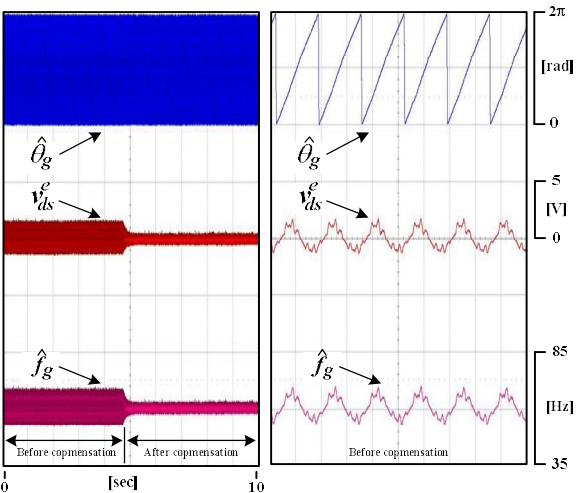


Fig. 19. Synchronous  $d$ -axis voltage, estimated phase angle and estimated grid frequency waveform after using proposed algorithm

### 5. 결론

본 논문에서는 계통연계형 단상 인버터에서 계통 전원과의 동기화를 위한 SRF-PLL시스템 적용시 전압 센서를 통한 전원전압 측정 과정에서 발생하는 옵셋 및 스케일 오차의 영향을 좌표계상에서 상세히 분석하였다. 그 결과 옵셋 오차에 의하여 동기 좌표계  $d$ 축 전압에 전원 주파수의 1배 맥동이 발생함을 수식적으

로 해석하였으며, 이에 따라 추정된 위상각이 왜곡됨을 알 수 있었다. 또한 왜곡된 추정된 위상각을 통해 동기 좌표계 PI 전류제어를 수행하는 경우 동기 좌표계  $dq$ 축 전류에 전원 주파수의 1배 맥동을 발생시키며 그 결과 출력 상전류에 직류, 1배 및 2배 고조파가 나타남을 확인하였다. 따라서 동기 좌표계  $d$ 축 전압에 포함된 1배 맥동성분을 저감하기 위하여 제안된 비례공진 제어를 이용한 맥동저감 알고리즘을 적용한 결과, 옵셋 오차에 의한 영향이 크게 줄어들음을 확인할 수 있었으며, 시뮬레이션 및 실험을 통하여 제안된 알고리즘의 유용성을 확인하였다. 향후 디젤엔진 등 분산전원형 발전 시스템의 출력제어와 계통연계시의 PLL을 이용한 동기각 추정과 전류 맥동 분석시에도 적용이 가능하다.

본 논문은 민·군 기술협력사업(Civil-Military Technology Cooperation Program)의 지원받았음.

### References

[1] H. E. Park, E. S. Kim, J. H. Song, "A SRF Power Flow Control Method for Grid-Connected Single-Phase Inverter Systems," *JIEE*, vol. 24, no. 5, pp. 129-135, May. 2010.

[2] J. S. Choi, J. S. Ko, D. H. Chung, "Development of Novel Algorithm for Anti-Islanding of Grid-Connected PV Inverter," *JIEE*, vol. 25, no. 10, pp. 76-86, Oct. 2011.

[3] T. V. Sreenivas, R. J. Niederjohn, "Zero-Crossing Based Spectral Analysis and SVD Spectral Analysis for Formant Frequency Estimation in Noise," *IEEE Trans. Signal Pro.*, vol. 40, no. 2, pp. 282-293, Feb. 1992.

[4] M. K. Ghartemani, M. R. Iravani, "A Method for Synchronization of Power Electronic Converters in Polluted and Variable-Frequency Environments," *IEEE Trans. Power Sys.*, vol. 19, no. 3, pp. 1263 - 1270, Aug. 2004.

[5] M. Ciobotaru, R. Teodorescu, and F. Blaabjerg, "A new single-phase PLL structure based on second order generalized integrator," in *Proc. PESC, 2006*, pp.1 - 6.

[6] M. Karimi-Ghartemani, S. A. Khajehoddin, P. K. Jain, A. Bakhshai, and M. Mojiri, "Addressing DC component in PLL and notch filter algorithms," *IEEE Trans. Power Electron.*, vol. 27, no. 1, pp. 78 - 86, Jan. 2012.

[7] S. Golestan, M. Monfared, F. D. Freijedo, J. M. Guerrero, "Performance Improvement of a Prefiltered Synchronous-Reference-Frame PLL by Using a PID-Type Loop Filter," *IEEE Trans. Ind. Electron.*, vol. 61, no. 7, pp. 3469-3479, Jul. 2014.

[8] M. K. Ghartemani, "A Unifying Approach to Single-Phase Synchronous Reference Frame PLLs," *IEEE Trans. Power Electron.*, vol. 28, no. 10, pp. 4550 - 4556, Oct. 2013.

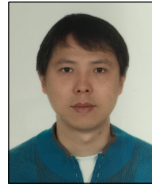
[9] S. H. Hwang, L. Liu, H. Li, J. M. Kim, "DC offset error compensation for synchronous reference frame PLL in single-phase grid-connected converters," *IEEE Trans. Power Electron.*, vol. 27, no. 8, pp. 3467-3471, April 2012.

[10] S. H. Hwang, Y. G. Hwang, S. K. Kwon, "A Study on Current Ripple Reduction Due to Offset Error in SRF-PLL for Single-phase Grid-connected Inverters," *JIEE*, vol. 28, no. 11, pp. 68-76, Nov. 2014.

[11] F. O. Martinez, K. C. M. D. Carvalho, N. R. N. Ama, W. Komatsu, Lourenco, "Optimized Tuning Method of Stationary Frame Proportional Resonant Current Controllers," in *Proc. IPEC, 2014*, pp. 2988 - 2995.

[12] H. Wang, W. Zhang, J. Hu, Y. He, "Design and Optimization of Proportional Resonant Controller for Rotor Current of a Wind Turbine Driven DFIG," in *Proc. ICEMS, 2008*, pp. 2502-2506.

◇ 저자소개 ◇



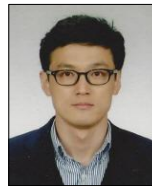
**권 영 (權 永)**

1976년 2월 1일생. 2006년 창원대학교 전자공학과 졸업(석사). 2014년 동 대학원 전자공학과 박사수료. 2001년~현재 (주)씨앤지 기술본부 선행개발팀 팀장.



**성의석 (成依席)**

1991년 2월 23일생. 2015년 경남대 전기공학과 졸업. 2015년~현재 동 대학원 첨단공학과 석사과정.



**황선환 (黃善煥)**

1978년 7월 15일생. 2004년 부산대 전기공학과 졸업. 2006년 동 대학원 전기공학과 졸업(석사). 2011년 동 대학원 전기공학과 졸업(박사). 2011~2012년 플로리다 주립대 CAPS 박사후연구원. 2012년~현재 경남대 전기공학과 조교수.