

Tutorial

RF 기술 튜토리얼 : 고속 패키지 설계

박 우 천 · 감 동 근
아주대학교 전자공학과

I. 들어가며

본 원고에서는 고속 패키지(package)의 신호 무결성(signal integrity)을 보장하기 위한 설계 기법들을 소개하고자 한다. 특정 패키지 구조를 예로 들었지만, 여기에 소개된 기법들과 기본 개념은 어떤 패키지나 인쇄회로기판(Printed Circuit Board; PCB) 설계에도 적용할 수 있을 것이다.

II. 고속 패키지의 불연속구조(Discontinuity)

[그림 1]은 wire-bond plastic ball grid array 패키지의 구조를 나타냈다. 패키지나 PCB에 microstrip이나 stripline으로 구현된 선로(trace)는 그것의 특성 임피던스(characteristic impedance)를 특정한 값으로 맞추기 위해 선평만 결정하고 나면 더 이상 설계자가 할 일이 없다. 이후에 선로에서 발생하는 손실은 오로지 어떤 유전체와 도체를 썼는지에 따라 결정되기 때문이다. 손실을 줄이려면 돈을 더 들여서 loss tangent가 작은 기판이나 smooth copper를 쓰는 수밖에 없다. 이와 달리 그림에 빨간 색으로 표시한 bonding wire, via, solder ball은 신호의 진행 방향에 따라 그 단면이 계속 변하는 3차원 불연속 구조(discontinuity)이다. 이러한 구조는 설계자가 어

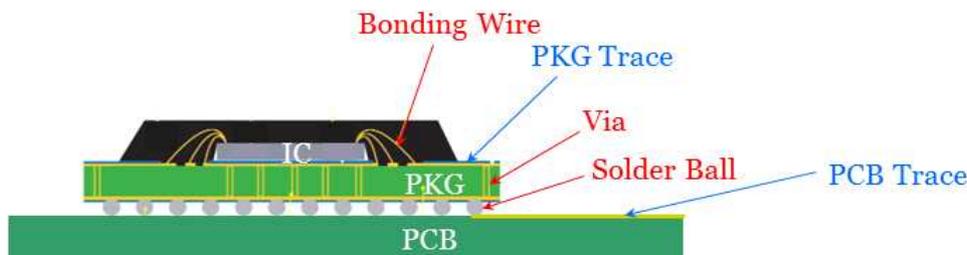
떻게 설계하느냐에 따라 같은 공정과 재료를 사용하더라도 막대한 성능 차이가 발생할 수 있다. 그런데 구조를 잘못 설계한 채로 공정이나 재료의 한계 때문에 특성이 잘 나오지 않는 것으로 생각해서 특성이 더 좋은(더 비싼) 공정이나 재료를 사용하려는 경우를 많이 본다.

2-1 단일 커패시턴스나 인덕턴스에 의한 반사

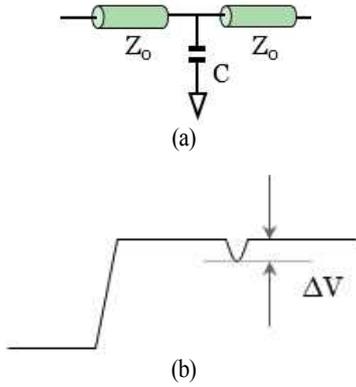
불연속구조는 과도한 커패시턴스(capacitance)나 인덕턴스(inductance)를 만들어내고, 디지털 신호가 커패시턴스나 인덕턴스를 만나면 반사된다. 신호를 Tx부터 Rx까지 최대한 원형 그대로 전달하려면 이러한 반사를 줄이는 것이 급선무이다.

[그림 2]는 상승 시간(rise time)이 t_r 이고, 크기가 V_0 인 계단 신호(step pulse)가 전송선로 중간에 병렬(shunt) 커패시턴스를 만났을 때의 반사파를 나타낸 것이다. 병렬 커패시턴스에서의 반사 계수(reflection coefficient)가 주파수의 함수이므로, 라플라스 변환을 이용하여 time-domain보다는 s-domain에서 반사파를 계산하는 것이 편리하다.

$$\Gamma(s) = \frac{Z_L - Z_0}{Z_L + Z_0} = \frac{(Z_0 // \frac{1}{sC}) - Z_0}{(Z_0 // \frac{1}{sC}) + Z_0} \tag{1}$$



[그림 1] Wire-bond plastic ball grid array



[그림 2] 디지털 신호가 병렬 커패시터를 만났을 때의 반사파

$$v_{in}(t) = \frac{V_o}{t_r} \cdot t \cdot u(t) - \frac{V_o}{t_r}(t-t_r) \cdot u(t-t_r)$$

$$\Rightarrow V_{in}(s) = \frac{V_o}{t_r} \cdot \left(\frac{1}{s^2} - \frac{e^{-t_r s}}{s^2} \right) \quad (2)$$

$$V_{Reflected}(s) = \Gamma(s) \cdot V_{in}(s)$$

$$= -\frac{V_o}{t_r} \left[\frac{\tau}{s} - \frac{\tau}{s+1/\tau} \right] \cdot (1-e^{-t_r s})$$

(where, $\tau = Z_0 C/2$) (3)

$$v_{Reflected}(t) = \begin{cases} -\frac{V_o}{t_r} [\tau - \tau \cdot e^{-t/\tau}] & (0 < t < t_r) \\ -\frac{V_o}{t_r} [\tau \cdot e^{-t/\tau} (e^{t_r/\tau} - 1)] & (t > t_r) \end{cases} \quad (4)$$

$$\frac{\Delta V}{V_0} \cong -\frac{\tau}{t_r} (1 - e^{-t_r/\tau}) \cong -\frac{\tau}{t_r}$$

$$\left(\tau = \frac{Z_0 C}{2} \ll t_r \right) \quad (5)$$

한편, 계단 신호가 직렬(series) 인덕터를 만나면 식 (6) 과 같이 양의 극성을 띠는 반사파가 생긴다.

$$\frac{\Delta V}{V_0} \cong +\frac{\tau}{t_r}, \left(\tau = \frac{L}{2Z_0} \ll t_r \right) \quad (6)$$

2-2 커패시턴스와 인덕턴스가 결합된 불연속구조에서의 반사

모든 불연속구조는 [그림 3]과 같이 커패시턴스와 인덕턴스를 동시에 갖는다. 앞에서 커패시턴스와 인덕턴스가 만들어내는 반사파의 극성이 반대였는데, 여기에 중첩의 원리를 적용하면, 이들이 동시에 존재할 때의 반사파는 둘 중 어느 것이 우세(dominant)하느냐에 따라 극성이 결정될 것임을 유추할 수 있다.

$$\frac{\Delta V}{V_0} \cong +\frac{\tau_L}{t_r} - \frac{\tau_C}{t_r} = \frac{1}{2t_r} \left(\frac{L_d}{Z_0} - Z_0 C_d \right) \quad (7)$$

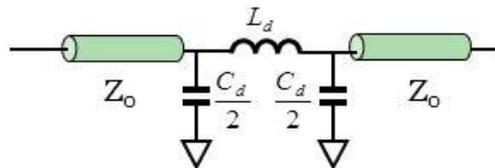
이것으로부터 불연속구조의 임피던스, Z_d 를 식 (8)과 같이 정의할 수 있다. Z_d 가 Z_0 와 같을 때는 불연속구조의 커패시턴스와 인덕턴스가 균형을 이뤄 이들 각각이 만들어내는 반사파가 상쇄되지만, 어느 한 쪽이 과도(excess)할 때는 반사파가 생긴다.

$$Z_d = \sqrt{\frac{L_d}{C_d}} \quad (8)$$

(i) $Z_d > Z_0$
 $L_{EXCESS} = L_d - C_d Z_0^2$
 Additional delay : $C_d Z_0$

(ii) $Z_d < Z_0$
 $C_{EXCESS} = C_d - L_d / Z_0^2$
 Additional delay : $\frac{L_d}{Z_0}$ (9)

예를 들어 [그림 4] (a)는 인덕턴스가 240 pH이고, 커패시턴스가 72 fF인 불연속구조를 Π 모델로 나타낸 것이다. 불연속구조의 임피던스는 약 58 Ω 으로 전송선(시스템) 임피던스 100 Ω 보다 작기 때문에 커패시턴스가 과도한 구조이다. 이

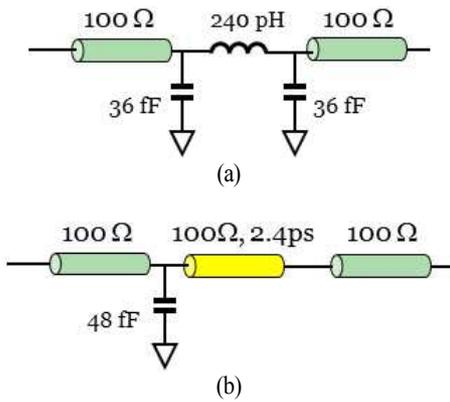


[그림 3] 커패시턴스와 인덕턴스를 동시에 갖는 불연속구조

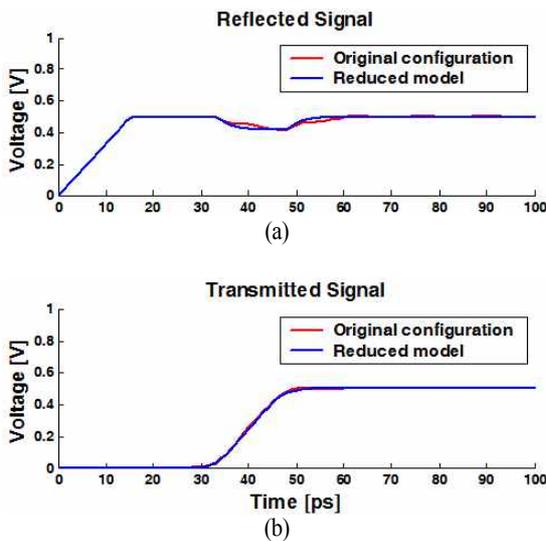
를 [그림 4] (b)와 같이 전체 커패시턴스 중 24 fF은 240 pH의 인덕턴스를 상쇄시켜 2.4 ps의 지연 시간을 갖는 100 Ω 전송선을 만들고, 나머지 48 fF이 과도 커패시턴스로 남는 구조로 볼 수 있다. [그림 4]의 두 가지 모델에 대해 반사파와 투과파를 시뮬레이션한 결과를 [그림 5]에 나타냈다.

2.3 과도 리액턴스 제거

이상으로부터 불연속구조에서의 반사를 줄이려면 커패시턴스와 인덕턴스의 균형을 맞춰 과도 리액턴스를 없애는



[그림 4] (a) 커패시턴스와 인덕턴스를 동시에 갖는 불연속구조의 예. (a), (b)의 등가회로모델

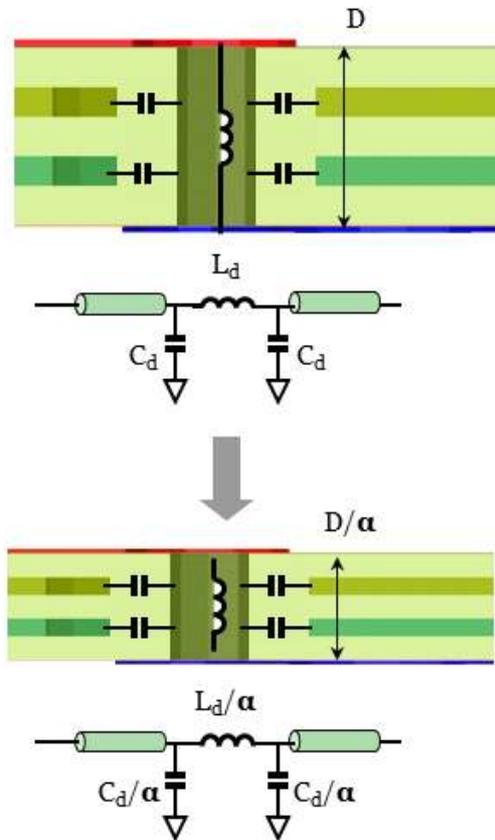


[그림 5] 그림 4의 두 가지 모델에 대한 반사파와 투과파 시뮬레이션 결과

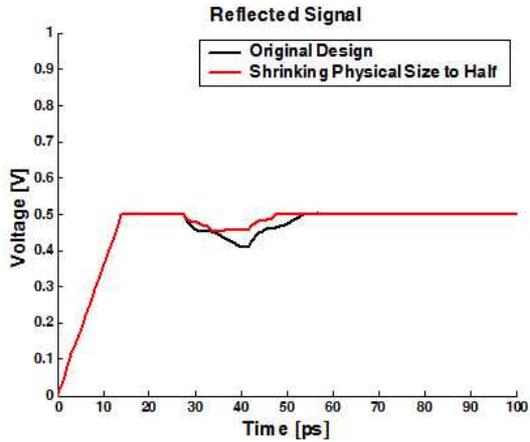
것이 관건임을 알 수 있다.

[그림 6]은 다층 PCB의 via 구조이다. 대부분의 via 구조는 via와 PCB 내층 사이, 즉 anti-pad에서 형성되는 커패시턴스가 via 자체의 인덕턴스보다 우세해서 임피던스가 작게 나타난다. 먼저 이 구조의 세로축을 일정한 배율(α)로 압축(*scaling*)하는 것을 생각해 보자. Via의 인덕턴스와 커패시턴스 모두 α 배율로 줄어들 것이다. α 가 2인 경우, 반사파는 [그림 7]에서 볼 수 있듯이, 여전히 커패시턴스가 우세한 형태를 띠지만, 크기는 약 1/2로 줄어들었다. 불연속구조의 길이를 줄이는 것만으로는 커패시턴스와 인덕턴스의 균형을 맞출 수 없다.

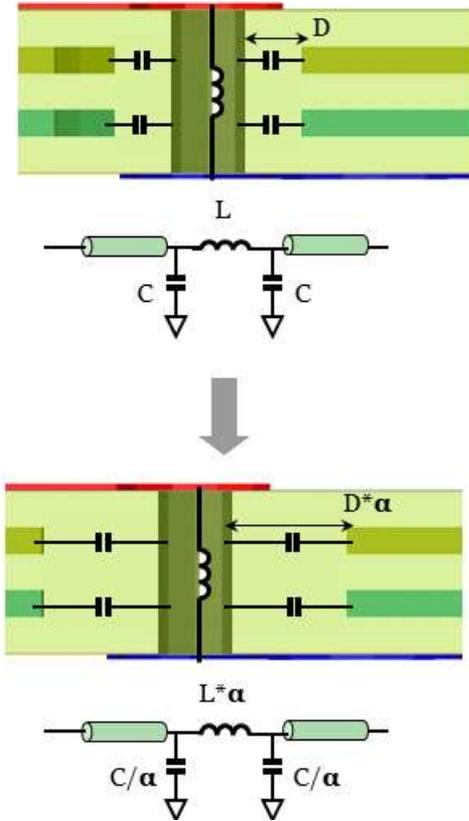
반면, [그림 8]과 같이 동일한 via 구조에 대해서 via와 내층의 거리를 α 배 늘리면, 그 배율만큼 인덕턴스는 증가하면서 커패시턴스는 감소한다. 적절한 배율을 선택하면, 즉 anti-pad의 직경을 적절히 결정하는 것으로 불연속구조의 임피던스를 전송선(시스템) 임피던스와 정합(*matching*)할 수 있다.



[그림 6] 불연속구조의 길이를 줄일 때



[그림 7] 불연속구조의 길이를 줄였을 때의 반사파 변화



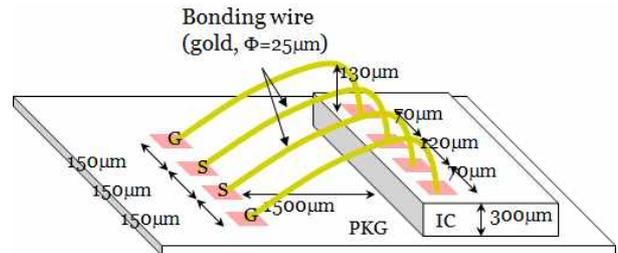
[그림 8] 불연속구조의 과도 리액턴스 제거

2.4 고속 패키지 설계 사례

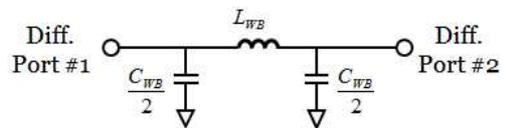
기존에 통용되던 방법으로 설계된 패키지가 40 Gb/s 신호 전송에 실패하여, 이상에서 소개한 개념을 적용하여 재설계

했더니 성공한 사례^[1]를 본 절에 소개한다. [그림 9]에 나타난 기존 패키지의 wire bond 구조를 3차원 전자기 해석 툴로 시뮬레이션하여 등가회로모델을 추출했더니 [그림 10]과 같았다. Wire bond는 얇고 길게 생겨 예상대로 인덕턴스가 매우 우세한 구조로 나타났다. 과도 인덕턴스를 없애려면 signal wire와 ground wire의 간격을 줄여야 하는데, 이미 기존 패키지도 공정에서 허용하는 bonding pad간 최소 피치(pitch)를 적용한 상태였다. 따라서 과도 인덕턴스를 완전히 없앨 수는 없었고, 그 크기라도 줄이기 위해 bonding pad를 최대한 칩 가까이 옮겼다. 칩 pad의 대부분이 ground나 power이기 때문에 설계를 쉽게 하기 위해서 상용 패키지 설계 시 ground, power ring을 칩 주위에 우선적으로 두르는 경우가 많다. 여기서는 그것을 끊더라도 bonding pad를 최대한 가까이 붙여서 과도 인덕턴스를 줄였다.

다음으로 살펴볼 구조는 [그림 12]의 via이다. 앞에서 설명한 대로, via는 [그림 13]과 같이 과도 커패시턴스를 가졌다. Anti-pad 직경에 따른 신호 전송 특성을 시뮬레이션한



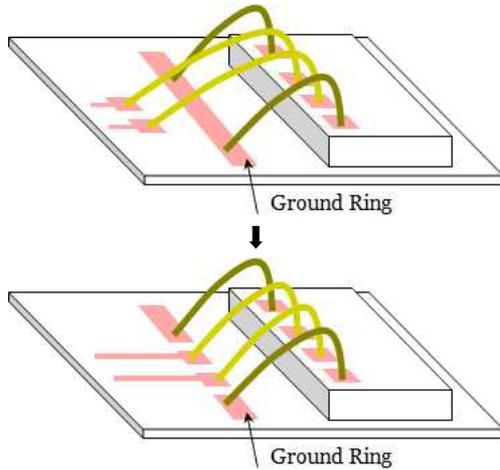
[그림 9] Wire bond 구조



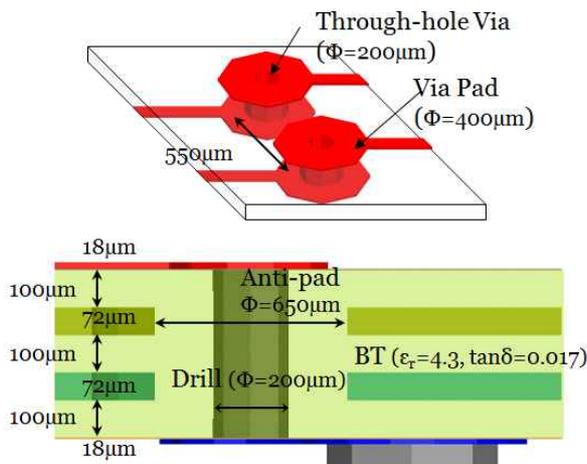
$$\begin{cases} L_{WB} = 1,280 \text{ pH} \\ C_{WB} = 43.7 \text{ fF} \\ Z_{WB} = \sqrt{\frac{L_{WB}}{C_{WB}}} = 171 \Omega \\ L_{EXCESS} = L_{WB} - C_{WB}Z_0^2 = 843 \text{ pH} \end{cases}$$

→ Bonding wire is highly inductive.

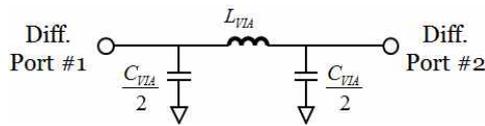
[그림 10] Wire bond의 등가회로모델



[그림 11] Wire bond 설계 방법



[그림 12] Via 구조



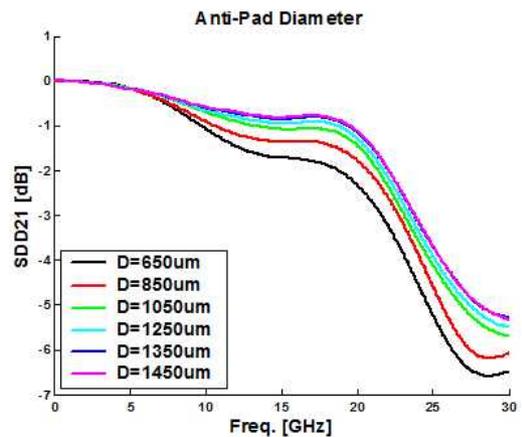
$$\begin{cases} L_{VIA} = 606 \text{ pH} \\ C_{VIA} = 96.6 \text{ fF} \\ Z_{VIA} = \sqrt{\frac{L_{VIA}}{C_{VIA}}} = 79.2 \Omega < 100 \Omega \\ C_{EXCESS} = C_{VIA} - L_{VIA} / Z_0^2 = 36.0 \text{ fF} \end{cases}$$

→ Via is slightly capacitive.

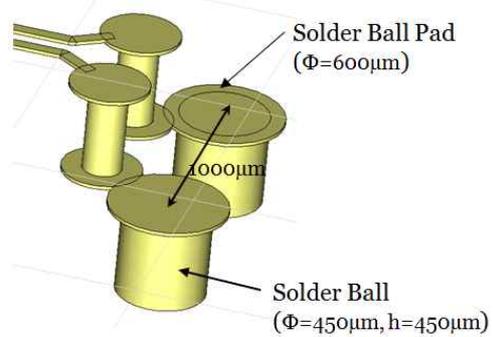
[그림 13] Via의 등가회로모델

결과를 [그림 14]에 보였다. 이를 근거로 anti-pad 직경을 기존 650 µm에서 1,450 µm로 늘려서 재설계하였다.

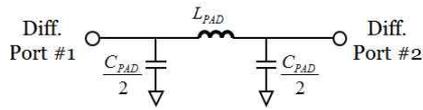
[그림 15]는 패키지 맨 아래 층(4층)의 solder ball pad를 나타냈다. [그림 16]의 등가회로모델 분석 결과, 이 구조는 커패시턴스가 과도한 것으로 나타났다. 커패시턴스를 줄이기 위해 pad 크기를 줄이거나, 유전체 두께를 늘리는데 한계가 있으므로, [그림 17]과 같이 위층의 도체를 일부 과대기로 했다. [그림 18]에서 3층의 도체를 파냈더니 전송 특성이 많이 향상되었다가 2층의 도체까지 파냈더니 특성이 오히려 나빠지는 것을 알 수 있다. 커패시턴스가 너무 줄어들어 오히려 과도 인덕턴스가 생겼기 때문인데, 시뮬레이션을 기반으로 파널 넓이를 적당히 선택할 수 있겠다. 자세한 층경 결과와는 참고문헌 [1]을 참고하기 바란다.



[그림 14] Via의 anti-pad 직경에 따른 신호의 전송 특성 시뮬레이션 결과



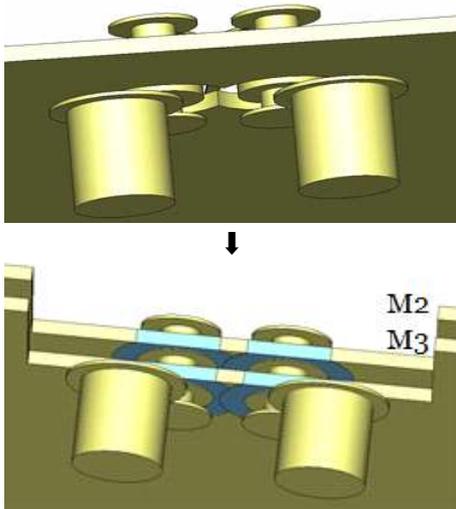
[그림 15] Solder ball pad 구조



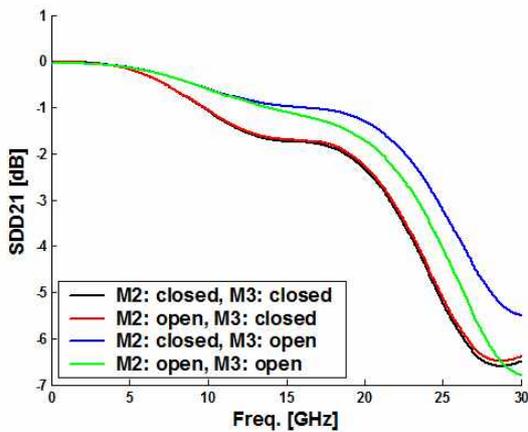
$$\begin{cases} L_{PAD} = 235 \text{ pH} \\ C_{PAD} = 71.7 \text{ fF} \\ Z_{PAD} = \sqrt{\frac{L_{PAD}}{C_{PAD}}} = 57.2 \Omega < 100 \Omega \\ C_{EXCESS} \equiv C_{PAD} - L_{PAD}/Z_0^2 = 48.2 \text{ fF} \end{cases}$$

→ Solder ball pad is highly capacitive.

[그림 16] Solder ball pad의 등가회로모델



[그림 17] Solder ball pad 설계 방법



[그림 18] Solder ball pad 주변 도체를 파낸 결과

Ⅲ. 마무리하며

지금까지 고속 패키지의 불연속구조에서 생기는 반사를 최소화하기 위한 설계 방법들을 살펴보았다. Wire-bond plastic ball grid array 설계 사례를 중심으로 설명했지만, 여기에 제시된 원리는 모든 종류의 패키지, PCB 및 커넥터 등을 설계하는데 적용할 수 있다. 비싼 공정과 재료에만 의존하기 전에 설계에 개선할 여지가 있는지를 살펴야겠고, 비싼 공정과 재료를 사용하더라도 방식은 금물이다. Wire bond 대신 flip chip을 사용했는데도 주파수가 60 GHz로 높아지니 설계 값에 따라 flip chip 구조의 삽입 손실이 2 dB씩 차이가 나는 결과²⁾도 있었다.

참 고 문 헌

- [1] D. G. Kam, J. Kim, "40-Gb/s package design using wire-bonded plastic ball grid array", *IEEE Trans. Advanced Packaging*, 31(2), pp. 258-266, May 2008.
- [2] 감동근, "60 GHz 대역 신호 무결성을 위한 플립 칩 구조 최적화", *한국전자과학회논문지*, 25(4), pp. 483-486, 2014년 4월.

≡ 필자소개 ≡

박 우 천



2013년 2월: 아주대학교 전자공학과 (공학사)
2013년 3월~현재: 아주대학교 전자공학과 석박
통합과정
[주 관심분야] Radio Frequency Interference

감 동 근



2000년 2월: 한국과학기술원 물리학과 (이학사)
2002년 2월: 한국과학기술원 전기및전자공학과
(공학석사)
2006년 8월: 한국과학기술원 전기및전자공학과
(공학박사)
2011년 9월~현재: 아주대학교 전자공학과 교수
[주 관심분야] Semiconductor Packaging, EMI/EMC