

## 단일 Floating Island 구조 Power MOSFET의 전기적 특성 향상과 설계 파라미터에 관한 연구

조유습<sup>1</sup>, 성만영<sup>2,a</sup>

<sup>1</sup> 국방기술품질원

<sup>2</sup> 고려대학교 전기공학과

### A Study on Electrical Characteristic Improvement & Design Parameters of Power MOSFET with Single Floating Island Structure

Yu Seup Cho<sup>1</sup> and Man Young Sung<sup>2,a</sup>

<sup>1</sup> Defence Agency for Technology and Quality, Jinju 660-031, Korea

<sup>2</sup> Department of Electrical Engineering, Korea University, Seoul 136-701, Korea

(Received November 27, 2014; Revised December 26, 2014; Accepted March 24, 2015)

**Abstract:** Power MOSFETs (metal oxide semiconductor field effect transistor) operate as energy control semiconductor switches. In order to reduce energy loss of the device, it is essential to increase its conductance. However, a trade-off relationship between the breakdown voltage and conductance of the device have been the critical difficulty to improve. In this paper, theoretical analysis of electrical benefits on single floating island power MOSFET is proposed. By the method, the optimization point has set defining the doping limit under single floating island structure. The numerical multiple 2.22 was obtained which indicates the doping limit of the original device, improving its ON state voltage drop by 45%.

**Keywords:** Power MOSFET, Breakdown voltage, Floating island, Critical electric field

### 1. 서론

파워 반도체는 고전압 고전류를 제어하는 전기적 스위치 역할을 하는 반도체 소자로서 전력전자산업이 발달함에 따라 그 중요성이 점점 높아지고 있다. 특히 에너지 절감이라는 이슈와 국방기술 발전에 힘입어 파워 반도체 분야에서도 관련 기술의 응용 방안이 연구되고 있다. 파

워 반도체는 높은 입력 임피던스 및 빠른 스위칭 특성으로 모바일기기, 가전제품, 사무기기뿐 아니라 미래 자동차인 전기 자동차 분야에서도 전기에너지 제어를 위해 필수적이다. 또한 국방기술 분야에서는 높은 전도도 특성을 이용하여 유도무기 신관에 이용되고 있다. 최근 in-line 시스템 형태의 전자식 유도무기 신관이 주류를 이룸에 따라 앞으로도 그 효용가치가 클 것으로 전망된다. 파워 반도체 소자의 에너지 절감과 높은 전도도를 위해서는 높은 항복전압을 확보하는 동시에 낮은 저항을 갖도록 소자를 설계해야 한다. 하지만 이 두 가지 특성은 이율배반적(trade-off) 관계를 가지므로 동시에 만족시키기 어렵다. 이러한 이유로 소자 설계의 최적화가 필수적이다 [1]. 항

a. Corresponding author; [semicad@korea.ac.kr](mailto:semicad@korea.ac.kr)

복전압-저항간 trade-off에 대한 근본적인 해결책으로 FLI (FLoating Island) 구조를 갖는 MOSFET이 N. Cezac 등에 의해 2000년도에 제안되었다 [2].

본 논문에서는 실리콘 소재 파워 반도체의 최대 임계점이 도핑 농도에 따라 달라지는 점에 착안하여 FLI power MOSFET의 전기적 특성을 미시적 관점에서 분석하였다. 이를 통해 단일 FLI 구조를 갖는 power MOSFET의 최대 도핑량을 기존 power MOSFET의 도핑량의 배수로 정의하고, FLI층의 설계 위치를 함께 제시하여 최적화된 소자설계 방안을 제안하였다. 제시한 결과는 TCAD를 이용한 2D simulator를 통해 600 V급 FLI power MOSFET에서 구현하였다.

## 2. 실험 방법

### 2.1 FLI 구조의 switch-on 상태 전도도 특성 개선 원리

#### 2.1.1 Power MOSFET의 저항 성분

Power MOSFET의 switch-on 상태에서의 전력 손실은 정격전류에서의 전압 강하량으로 정의할 수 있다. 전압 강하는 파워 MOSFET이 switch-on 상태에서 전류를 통할 때 반도체 소자 내의 저항에 의한 전압 강하이다. Switch-on 상태 전압 강하는 반도체 소자에서 각 영역의 저항 성분으로 분류할 수 있고, 그림 1과 같이 표현되며, 수식으로 쓰면 식 (1)과 같다.

$$R_{on} = R_{N+} + R_{CH} + R_A + R_J + R_D + R_S \quad (1)$$

위의 저항 중 switch-on 상태 전압 강하에 영향을 미치는 저항은  $R_J$ 와  $R_D$ 이다.  $R_J$ 는 JFET (junction field effect transistor)으로 불리는 영역의 저항으로, 플라나 게이트 MOSFET에서 P 베이스 사이의 전류 통과 영역이다. 이러한 JFET 영역은 on 상태에서 역방향 전압이 인가되어 P 베이스와 N-드리프트 접합에 형성되는 공핍층의 확장에 의해 면적이 변하게 된다.

$R_D$ 는 N-드리프트 영역의 저항이다. 이 저항 성분은 N-드리프트 영역의 저항과 관계된 저항으로, 영역의 도핑 농도에 의해 정해진다. N-드리프트 영역의 도핑 농도가 높을수록  $R_D$ 의 전도도 특성이 증가하여 소자의 스위칭간 에너지가 절감된다.

### 2.2 Power MOSFET의 항복 전압

항복전압은 파워 MOSFET의 오프 상태 유지 능력을

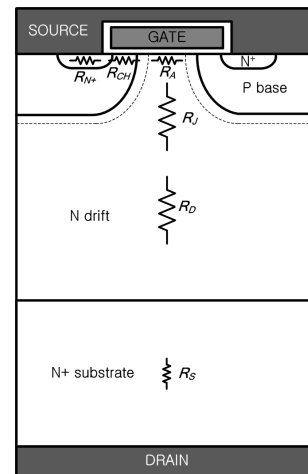


Fig. 1. Resistance components of power MOSFET.

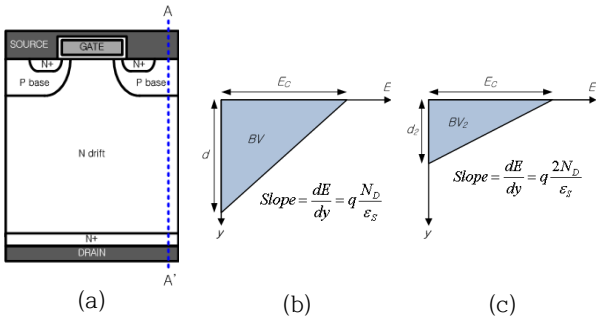
나타내는 중요한 전기적 특성으로, 그림 2(b)에서와 같이 switch-off된 MOSFET의 PN 접합에서 공핍층에 인가되는 전기장의 넓이로 정의될 수 있다. Poisson 방정식 (2)에 의해 소자 내부의 인가되는 전기장의 적분값이 소자가 절연시킬 수 있는 전압을 나타내기 때문이다. PN 접합에서의 공핍층의 길이는 N-드리프트 영역의 도핑 농도에 반비례하게 되므로 그림 1(c)와 같이 N-드리프트 영역의 도핑 농도가 높을수록 소자의 항복전압이 낮아짐을 알 수 있다. 따라서 파워 MOSFET의 항복전압과 전도도 특성은 서로 trade-off 관계이고, 항복전압 대비 최대 전도도 특성을 가지도록 설계하는 것이 효율적인 시스템 구축을 위해 중요하다 [3-5].

$$-\frac{\rho_{charge}}{\epsilon_s} = \frac{dE(y)}{dy} = \frac{d^2 V(y)}{dy^2} \quad (2)$$

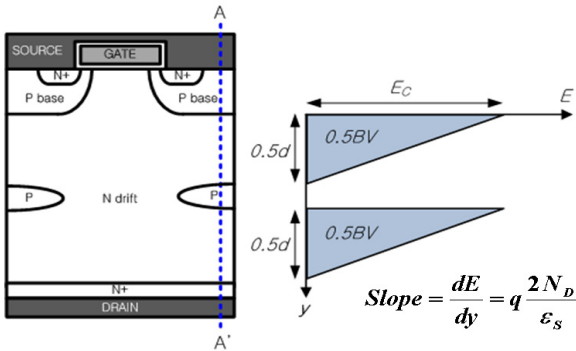
$$Breakdown Voltage = \int_0^d E(y) dy \quad (3)$$

### 2.3 FLI power MOSFET구조

FLI MOSFET은 N. Cezac 등에 의해 제안된 구조로서 N-드리프트 영역에 P FLI층을 삽입한 구조이다. 2.2절에서 확인한 바와 같이 MOSFET의 성능을 향상시키려면 N-드리프트 영역의 도핑 농도를 높이는 것이 중요하지만 결과적으로 항복전압 특성은 저하된다. 그러나 P FLI 층을 삽입하게 되면 N-드리프트 영역에서 또 다른 PN 접합 구조가 형성되어 인가된 전압을 견딜 수 있는 영역이 추가된다.



**Fig. 2.** (a) Conventional structure of power MOSFET and its electric field distribution with (b) normal doped, and (c) double doped drift region.



**Fig. 3.** Turn-off state electric field distribution of FLI MOSFET.

그림 3과 같이 도핑 농도를 높인 N-드리프트 영역에 P FLI층을 삽입함으로써 추가적인 삼각형의 전기장 분포가 생기게 되고, 추가된 삼각형의 전기장 분포가 기존 MOSFET에 인가된 전기장과 동일한 넓이를 갖게 해준다. 그러므로 FLI 구조의 항복전압은 기존 MOSFET의 항복전압과 동일해진다. 특히, Poisson 방정식 (2)에 의해 수식 (4)를 도출할 수 있다.

$$\frac{dE(y)}{dy} = \frac{qN_D}{\epsilon_s} \tag{4}$$

수식 (4)는 MOSFET에 인가되는 전기장의 미분값, 즉 기울기가 N-드리프트 영역의 도핑 농도인  $N_D$ 와 비례함을 나타낸다. 따라서 FLI MOSFET은 기존 MOSFET보다 높은 도핑 농도의 N-드리프트 영역을 갖게 되어 높은 전도도 특성으로 기존과 동일한 항복전압을 확보할 수 있게 되는 것이다 [6-9].

### 2.4 제안된 분석 방법

이처럼 FLI 구조의 MOSFET은 전도도 특성과 항복 전압의 특성의 trade-off 관계를 해결할 수 있는 구조이다. 그런데 기존에는 power MOSFET에 FLI 구조를 적용함에 있어 항복전압을 결정하는 최대 임계전계는 파워 반도체의 도핑 농도와 상관없다고 간주되어 졌다.

한 예로 1개의 FLI 층을 포함한 power MOSFET을 설계할 때, 기준이 되는 기존 구조에 단순히 도핑을 두 배로 늘리고 그림 3과 같이 FLI 층을 N-드리프트 영역 정 가운데에 삽입하여 그 위치에 따른 최적점을 찾는 방식을 사용하였다. 하지만 실제로 최대 임계전계는 N-드리프트 층의 도핑 농도를 높일수록 높아지게 된다. 이론적으로 공핍층이 생성되는 N-드리프트 층의 불순물의 농도가 높아질수록 scattering 현상이 강해져서 avalanche breakdown을 일으키기 위한 전자의 가속이 방해 받기 때문이다. 다시 말해, 불순물 농도가 높아진 소자에서는 외부에서 인가되는 전계가 기존보다 더 강해져야 반도체 내부의 전자가 이온화되는 avalanche breakdown 현상을 일으킬 수 있다.

결론적으로 항복전압은 소자의 N-드리프트 영역의 도핑 농도가 높아질수록 높아진다. Fulop의 실험식에 의해, 도핑 농도에 따른 실리콘 반도체의 최대 임계전계는 수식 (5)와 같이 표현된다.

$$E_C(Si) = 4010 N_D^{\frac{1}{8}} \tag{5}$$

이와 같은 도핑 농도와 최대 임계전계간 관계를 활용하여 FLI MOSFET을 설계 시 기존 MOSFET과 같은 항복전압을 갖기 위한 최대 도핑 농도와 FLI 층의 위치를 기존보다 최적화된 위치로 도출할 수 있게 된다.

앞서 그림 3은 FLI 구조의 적용 및 기존 해석 방법을 나타내는 것으로, 단일 FLI 층 삽입 시 앞서 언급한 최대 임계 전계 변화를 고려하지 않았다. 그러나 N-드리프트 층 도핑 농도에 따른 최대 임계 전계 변화를 고려하게 되면, 2배의 도핑 농도로 인해 식 (6)과 같이 9%의 임계 전계 향상으로 그림 4와 같이 기존 BV보다 넓이가 증가한다.

$$\begin{aligned} E_{C,modified}(Si) &= 4010(2N_D)^{\frac{1}{8}} \\ &= 1.09E_C(Si) \end{aligned} \tag{6}$$

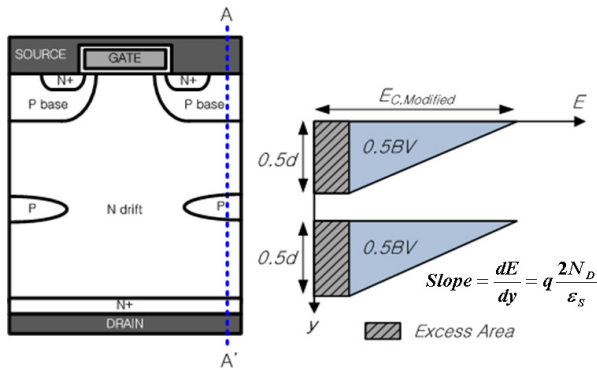


Fig. 4. Microscopic analysis of double doped single FLI MOSFET with conventional method.

한편, 그림 4에서 보이는 추가영역(excess area)은 항복전압을 다소 높여주는 역할을 하게 되지만, 인가된 전기장의 기울기 값을 더 크게 만들 수 있는 여지가 있다는 점에서 손실이다. 다시 말해 MOSFET에 도핑 농도를 더욱 높일 수 있는 margin을 갖고 있음을 알 수 있다. 따라서 더욱 높은 전도도 특성을 위한 효과적인 FLI 구조적 응용을 위해 그림 5와 같이 기존 전기장 분포와 같은 넓이로 더욱 가파른 전기장의 기울기를 확보하는 방법으로 기존보다 이론적으로 최적화된 FLI 구조를 설계할 수 있다.

본 방법은 항복전압을 유지한 채 도핑할 수 있는 최대 도핑 농도를 기존 MOSFET의 도핑 농도의 배수  $n$ 으로 정의한다. 수식 (7)과 같이 기존 MOSFET의 항복전압은 최대 임계 전계와 공핍층의 길이가 이루는 삼각형의 넓이인

$$BV = 0.5 \times E_C \times d \quad (7)$$

와 같이 나타낼 수 있다.

그림 5에서와 같이 단일 FLI 구조에서 이와 같은 항복전압을 갖도록 설계하려면 항복전압을 나타내는 삼각형의 넓이가  $0.5 BV$ 의 값을 가져야 한다. FLI 구조에 기존 구조 도핑량의  $n$ 배인  $nN_D$ 로 도핑했다면 최대 임계 전계는 Fulop의 실험식을 이용하여 수식 (8)과 같이

$$E_{C,n} = 4010 \times (nN_D)^{\frac{1}{8}} = E_C \times \sqrt[8]{n} \quad (8)$$

로 나타낼 수 있다. 전기장 분포가 형성하는 삼각형의 기울기는 Poisson 방정식 (2)에 의해  $qN_D/\epsilon$ 에서  $qnN_D/\epsilon$ 로  $n$ 배가 되었으므로 공핍층의 길이  $x$ 는 수식 (9)~(10)를 통하여

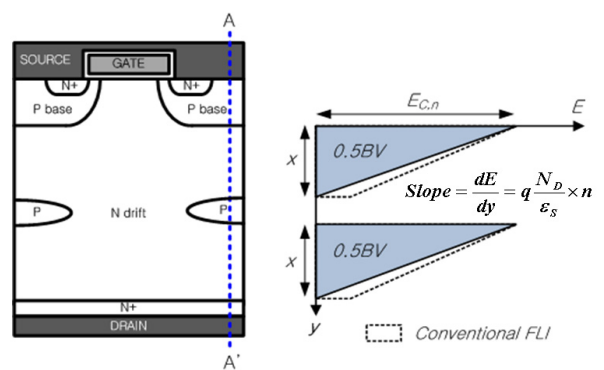


Fig. 5. Microscopic analysis of  $n$  times doped than conventional single FLI MOSFET with proposed method.

$$\frac{qN_D}{\epsilon} \times n = -\frac{\sqrt[8]{n} E_C}{x} = -\frac{E_C}{d} \times n \quad (9)$$

$$x = \frac{\sqrt[8]{n}}{n} d \quad (10)$$

와 같이 얻어진다. 삼각형 하나의 넓이는  $0.5 BV$  이므로,

$$0.5 BV = \frac{1}{2} \sqrt[8]{n} E_C \cdot \frac{\sqrt[8]{n}}{n} d = \frac{\sqrt[4]{n}}{2n} E_C d \quad (11)$$

$$\frac{\sqrt[4]{n}}{n} = \frac{1}{2} \quad (12)$$

$$\therefore n = 2.52 \quad (13)$$

와 같은 결과를 얻게 된다. 이와 더불어 공핍층의 길이는 식 (10)에 의해  $n = 2.52$ 일 때  $2x = 0.89 d$ 로, 공핍층의 수직 길이도 11% 줄어들어 N-드리프트 길이, 즉 저항을 줄이는 효과를 얻을 수 있다. 최종적으로, 단일 FLI 구조 MOSFET에서 동일한 항복전압을 유지하면서 도핑 가능한 최대 농도는 기존 MOSFET 도핑 농도  $N_D$ 의 2.52배인  $2.52N_D$ 로 도출되었다.

### 3. 결과 및 고찰

#### 3.1 600 V급 power MOSFET에의 적용

이론적 분석으로 도출한 결과를 이용하여 실제 파워 반도체 소자를 TCAD로 설계하고 전기적 특성에 대한 시뮬레이션을 수행하였다 [10,11]. 기준이 되는 소자는

**Table 1.** Design parameters of conventional MOSFET and FLI MOSFET.

Design Parameters	Conventional	Floating Island
Half Pitch	8.5 $\mu\text{m}$	
Gate Width	4 $\mu\text{m}$	
N-drift Length	55 $\mu\text{m}$	
P-base Dose	$3.5 \times 10^{13} \text{ cm}^{-2}$	
N+ Dose	$5.0 \times 10^{15} \text{ cm}^{-2}$	
N-drift Doping Level	$3 \times 10^{14} \text{ cm}^{-3}$	$7.56 \times 10^{14} \text{ cm}^{-3}$
FLI Dose	$1.0 \times 10^{18} \text{ cm}^{-2}$	
FLI Depth	24 $\mu\text{m}$	

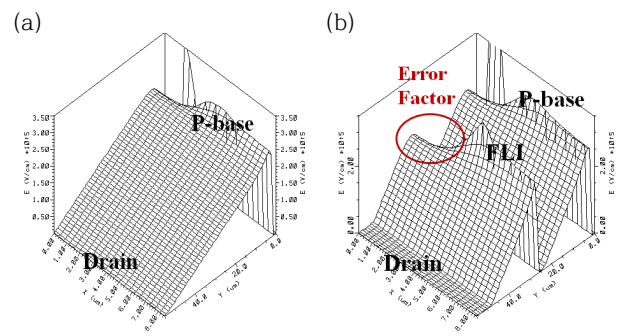
600 V급 항복전압을 갖는 power MOSFET으로, 이론적으로 MOSFET의 최대 항복전압을 갖는 모델을 사용하였다. N-드리프트 영역의 도핑 농도가  $3 \times 10^{14} \text{ cm}^{-3}$  이고, 길이는 55  $\mu\text{m}$ 이며 항복현상 발생 시 공핍층의 길이가 54  $\mu\text{m}$ 인 소자를 사용하였다.

표 1은 기존 구조의 MOSFET과 FLI MOSFET을 설계한 파라미터이다. 여기서 FLI 층의 도핑 농도가 매우 높도록 dose량을  $1.0 \times 10^{18} \text{ cm}^{-2}$ 로 설정한 것을 볼 수 있는데 이것은 N-드리프트 층의 폭을 차단하지 않는 수준에서 FLI의 두께가 최대가 되게 하기 위함이다. 만약 N-드리프트 층을 모두 덮게 되면 전류가 흐르는 통로가 차단되어 turn-on 상태에서 소자가 스위치 역할을 할 수 없게 되기 때문이다. 한편, 소자의 turn-off 상태에서는 역방향 바이어스로 P-base층에서 생성되기 시작한 공핍층이 FLI 층까지 확장하게 된다. 이때 FLI 층의 농도가 충분히 높아야 인가된 전압을 견딜 수 있어 P-base층에서 항복현상이 먼저 일어나지 않아 효율적인 전계 분산이 이루어진다. 따라서 FLI 층의 dose량은 FLI 층이 소자의 N-드리프트 폭을 차단하지 않는 수준에서 최대가 되어야한다.

2.4절에서 계산한 결과를 적용하여,  $n = 2.52$ 이므로 기존  $3 \times 10^{14} \text{ cm}^{-3}$ 의 2.52배인  $7.56 \times 10^{14} \text{ cm}^{-3}$ 로 FLI MOSFET의 N-드리프트 층의 도핑량을 결정하였다. 또한, 이때  $x = 0.445 d$ 로 FLI 층의 위치를 24  $\mu\text{m}$ 로 설정할 수 있게 된다. 기타 파라미터가 동일한 상태에서 각 디바이스의 항복전압 및 switch-on 상태 전압 강하 특성을 측정하기 위해 100 A/cm<sup>2</sup> 기준으로 시뮬레이션 하였다.

**Table 2.** Breakdown voltage and switch on state voltage drop of conventional and FLI MOSFET.

MOSFETs	Breakdown Voltage (V)	Switch-on Voltage Drop (V)
Conventional	651	15.6
Theoretical FLI	585	7.6

**Fig. 6.** 3D Electric field distribution of (a) conventional and (b) FLI MOSFET.

실험 결과, 표 2와 같이 기존 MOSFET은 15.6 V의 전압 강하를, 제안된 방법으로 설계된 FLI MOSFET은 7.6 V의 전압 강하를 보여 51%의 전도도 특성이 향상되었다. 그러나 항복전압은 각각 650 V, 585 V로 항복전압에서의 오차를 보였다. 이와 같은 오차의 원인은 그림 6에서와 같이 3D 전기장 분포에서 찾을 수 있다.

전반적으로 균일한 삼각기둥 형태의 전기장 분포를 보이는 보통의 MOSFET과 달리, FLI MOSFET의 전기장 분포는 FLI 층이 차지하지 못한 N-드리프트 영역에서 FLI 층에 준하는 전기장을 분배받지 못한 것을 알 수 있다. 이에 따라 FLI 층을 많이 삽입할수록 FLI 층만큼 전기장을 분배받지 못하는 N-드리프트 영역으로 인해 이와 같은 오차가 커질 것으로 예상된다.

10%의 오차 보정을 위해 기존에 0.5 BV로 계산되었던 FLI MOSFET이 견디는 전계의 넓이를 10% 정도 크다고 가정하여 0.55 BV로 수정하게 되면, 수식 (17)~(19)에 의해

$$\frac{\sqrt[n]{n}}{n} = \frac{1.1}{2} \quad (14)$$

$$\therefore n = 2.22 \quad (15)$$

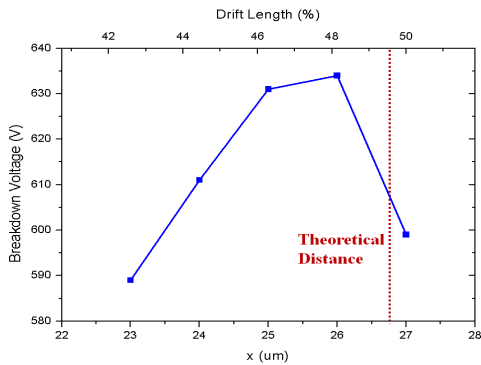


Fig. 7. Breakdown voltage of compensated FLI MOSFET vs FLI distance.

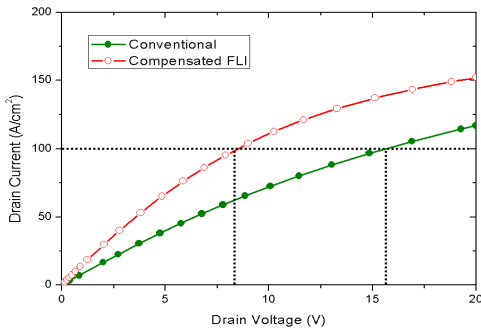


Fig. 8. Switch-on state voltage drop of conventional and compensated FLI MOSFET.

와 같이 새로운 최대 도핑 배수값을 얻게 된다.  $n = 2.22$ 일 때 새로운 N-드리프트 도핑 농도는  $6.66 \times 10^{14} \text{ cm}^{-3}$ 가 되고 FLI 층의 위치  $x = 26.87 \mu\text{m}$ 로 공핍층 길이의 정 중앙 부근에 근접해지므로 N-드리프트 길이의 활용이 기존보다 효율적으로 변하였다.

그림 7은 보정된 도핑 농도와 FLI 층의 설계 위치에 따른 항복전압을 나타낸다. 최대 항복전압은 634 V로, FLI 층의 위치는 26  $\mu\text{m}$ 에서 얻어지고 종전의 오차는 10%에서 2.5% 범위로 줄어들었다. 소자의 항복전압은 계산된  $x$  위치보다 다소 짧은 위치에서 나타나는데, 그 원인은 구해진  $x$ 의 길이가 FLI MOSFET의 전계 분포에서 두 삼각형 동시에 모두 최대 임계 전계에 도달했을 때를 가정한 길이이기 때문이다. 따라서 두 삼각형 중 하나라도 먼저 항복현상이 발생하는  $x$ 의 길이는 구해진  $x$ 의 길이보다 짧아진다. 따라서 보다 균일하고 효율적인 전계 분포를 위해서는 계산된 값보다 다소 짧은  $x$ 값으로 설계해야 할 것으로 생각된다.

Switch-on 상태 전압 강하 특성은 그림 8과 같다. 기존 구조의 MOSFET에서는 half pitch 당 15.6 V의 전압 강하가 일어나는 반면, 기존 대비 2.22배로 도핑 농도를 높인 FLI MOSFET은 8.5 V의 전압 강하를 보여 최종적으로 45%의 전도도가 향상되었다.

#### 4. 결론

본 논문은 power MOSFET의 전기적 특성 향상을 위한 단일 Floating Island 구조를 적용함에 있어, 항복전압 특성을 유지하면서 도핑 가능한 최대 농도와 FLI 층의 설계 위치를 얻는 방법을 제안하였다. 제안된 방법은 MOSFET의 N-드리프트 영역에서 가능한 최대 도핑량을 기존 MOSFET 도핑량의  $n$ 배로 정의하여 단일 FLI 구조에서  $n = 2.52$ 라는 값을 얻어내고 FLI 층의 위치를 N-드리프트 영역 내 44.5%의 위치로 설정하였다. 제안된 방법에 따라 600 V급 power MOSFET에 적용하고 설계하여 항복전압 특성과 switch-on 상태 전압 강하 특성을 TCAD를 통한 2D simulator로 분석하였다. 그 결과, 항복전압에서 10% 가량의 오차가 발생하였으나  $n = 2.22$ 로 보정하여 2.5% 범위 이내로 오차를 줄이고, 전도도 특성을 약 45% 이상 향상시켰음을 확인하였다. 결론적으로 제안된 분석 방법은 이론적으로 타당하고 향후 FLI 구조를 통해 성능을 향상시킬 수 있는 다른 반도체 소자의 이론적 토대가 될 수 있을 뿐 아니라 super junction MOSFET의 구조 분석에도 그 활용도가 매우 높을 것으로 사료된다.

#### REFERENCES

- [1] Y. I. Choi, J. KIEE, **46**, 1997
- [2] N. Cezac, F. Morancho, P. Rossel, H. Tranduc, and A. Peyre-Lavigne, *ISPSD* (Toulouse, France, 2000)
- [3] B. J. Baliga, *Modern Power Devices* (John Wiley and Sons, New York, 1987)
- [4] B. J. Baliga, *Power Semiconductor Devices* (PWS Publishing Company, 1996)
- [5] B. J. Baliga, *Fundamentals of Power Semiconductor Devices* (Springer, 2008) p. 91-107.
- [6] J. M. Yoon, *Magazine of IEEK*, **37**, 8 (2010).
- [7] Y. S. Cho, J. H. Oh, J. M. Geum, and M. Y. Sung, *Korean Conference on Semiconductors* (Seoul, Korea,

- 2012)
- [8] E. S. Jung, Y. S. Cho, E. G. Kang, and M. Y. Sung, *JEET*, **7**, 3 (2012).
- [9] A. Galadi, F. Morancho, and M. M. Hassani, *Semiconductor Science and Technology*, **23**, 8 (2008).
- [10] Taurus TSUPREM-4 User Guide(Ver. C-2009.06), *Synopsys* (2009).
- [11] Taurus Medici User Guide(Ver. C-2009.06), *Synopsys* (2009).