

MOS 모델을 이용한 그래핀 트랜지스터 모델링

Graphene Transistor Modeling Using MOS Model

임은재 · 김형근 · 양우석 · 유찬세

Eun-Jae Lim · Hyeongkeun Kim · Woo Seok Yang · Chan-Sei Yoo

요 약

그래핀은 한 원자 두께의 탄소재료로서 전자가 매우 빠른 속도로 이 층을 통과할 수 있기 때문에, 트랜지스터를 비롯한 다양한 디바이스 응용을 위한 연구가 수행되어 왔다. 높은 전하이동도 특성으로 인해 높은 주파수 대역이나 고속 스위치 등의 시스템 응용에 적합하다. 본 연구에서는 양산에 적합한 RT-CVD(Rapid Thermal Chemical Vapor Deposition) 공정을 이용하여 실리콘 기판 상에 그래핀 층을 형성하고, 다양한 공정조건 최적화를 통해 $7,800 \text{ cm}^2/\text{Vs}$ 의 전하이동도를 추출하였다. 이는 실리콘 기판의 7배 이상 되는 값이고, GaAs 기판보다도 높은 수치이다. 밴드갭이 존재하지 않는 그래핀 기반 트랜지스터 모델링을 위해 pMOS와 nMOS의 모델을 융합하여 적용하였고, 실험을 통해 추출된 전하이동도 값을 적용하였다. 추출된 모델을 이용하여 트랜지스터의 핵심 파라미터 중의 하나인 게이트의 길이와 폭 등에 따른 전기적 특성을 고찰하였다.

Abstract

Graphene is a single layer of carbon material which shows very high electron mobility, so many kinds of research on the devices using graphene layer have been performed so far. Graphene material is adequate for high frequency and fast operation devices due to its higher mobility. In this research, the actual graphene layer is evaluated using RT-CVD method which can be available for mass production. The mobility of $7,800 \text{ cm}^2/\text{Vs}$ was extracted, that is more than 7 times of that in silicon substrate. The graphene transistor model having no band gap is evaluated using both of pMOS and nMOS based on the measured mobility values. And then the response of graphene transistor model regarding to gate length and width is examined.

Key words: Graphene, Model, Mobility, RT-CVD, Gate Length, Gate Width

I. 서 론

그래핀은 한 원자 두께의 탄소재료로서 높은 전하이동도를 나타낼 수 있기 때문에, 다양한 전자기기 응용이 검토되어 왔다^[1]. 높은 전하이동도로 인해 높은 주파수 동작이 가능하고, 초고속 스위칭이 가능하기 때문에, 마이

크로파 대역뿐 아니라, 밀리미터파 대역에의 응용이 연구되어 왔고, 미국의 IBM, HRL 등의 기업 및 연구기관에서 연구 결과를 제시한 바 있다^{[2]-[4]}. 그래핀 층의 형성 방법은 mechanical exfoliation^[5], SiC 기판에서의 epitaxial growth^[6], CVD(Cheical Vapor Deposition)^[7] 등이 있고, 초기의 디바이스 구현은 epitaxial growth 방법을 통해 이루어져

「이 연구는 산업통상자원부 우수기술연구센터(ATC)사업의 연구비 지원으로 수행되었음(10048475).」

전자부품연구원 전자소재응용연구센터(Electronic Materials & Device Research Center, Korea Electronics Technology Institute)

· Manuscript received July 13, 2015 ; Revised August 24, 2015 ; Accepted September 17, 2015. (ID No. 20150713-11S)

· Corresponding Author: Chan-Sei Yoo (e-mail: ychs@keti.re.kr)

왔다. 이 방법을 통해 그래핀을 이용한 전자 디바이스 구현에의 가능성은 확인되었으나, 양산성 및 경제성 측면에서의 한계점이 있어 최근에는 CVD 기법에 의한 그래핀 형성이 연구되고 있다.

본 연구에서는 CVD 기법 및 이를 개선한 RT-CVD (Rapid Thermal-CVD) 공정을 이용하여 그래핀 층을 형성하고, 전자이동도를 추출하였다. 그래핀 기반 트랜지스터를 모델링을 하기 위해 pMOS와 nMOS 모델을 조합하여 적용하였고, 이 과정에서 추출된 전자이동도 값을 적용하고,

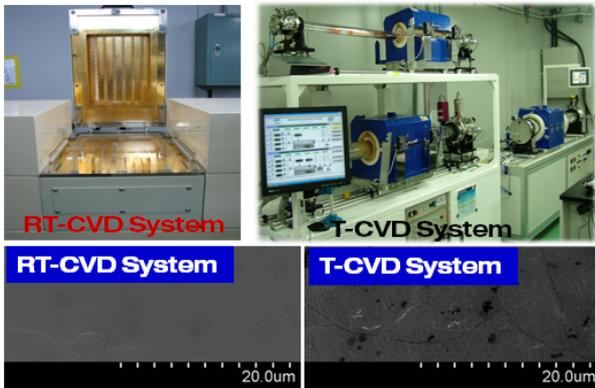
게이트 길이 및 폭에 따른 주파수 거동 등을 고찰하였다.

II. 그래핀 층 형성 실험

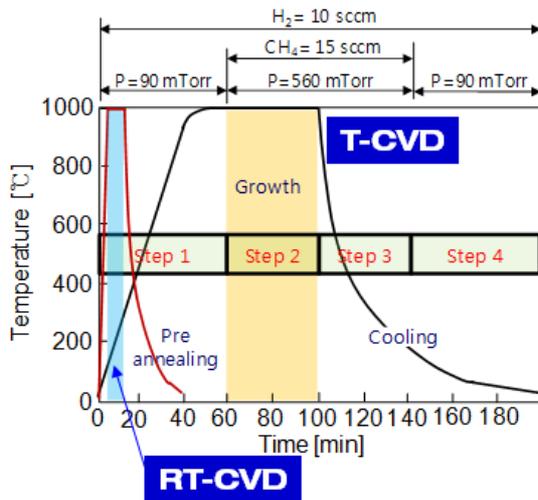
본 연구에서는 RT-CVD 공정을 적용하여 그래핀을 제조하였는데, 이 방법은 기존의 epitaxial growth 방법과 비교하여 저가의 공정으로 대면적 제조가 가능하기 때문에 양산성 및 경제성을 확보할 수 있는 기술이다. 자체 셋업된 장비 및 공정을 적용하여 그래핀을 제조하였는데, 제작에 적용된 장비 및 공정 조건이 그림 1에 나타나 있다. RT-CVD와 CVD 기법을 동시에 적용하여 고속 그래핀 제조가 가능하도록 하였다.

그림 1에 나타난 공정조건에서 전처리 온도를 조절하여 그래핀 특성을 최적화하였는데, 그림 2에 나타난 바와 같이 전처리 온도를 (I)~(VI)의 조건들에 대해 그래핀 층의 특성 전자이동도 등을 측정하였다.

전처리 온도에 따른 전자이동도를 추출하였는데, 이에 적용된 그래핀 트랜지스터 구조가 그림 3에 나타나 있고, 측정결과가 그림 4 및 표 1에 제시되어 있다. 그림 2에 제시된 전처리 조건 중 조건 (III)에 해당하는 300 °C의 경우, 최대 7,800 cm²/Vs의 값을 나타내었는데, 이는 실리콘 기판보다 7배 이상 높고, GaAs 기판보다도 높은 값이다.



(a) KETI가 보유한 RT-CVD 시스템
(a) RT-CVD system in KETI



(b) 고속 그래핀 제조 공정 조건
(b) Graphene fabrication condition

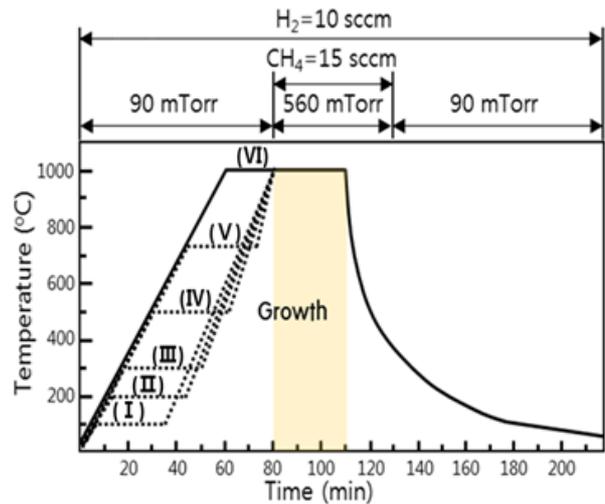
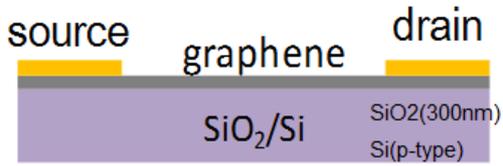


그림 2. 전처리 온도 조절을 포함한 그래핀 제조 공정
Fig. 2. Graphene fabrication controlling pretreatment temperature.

그림 1. 그래핀 제조 공정 셋업 및 조건
Fig. 1. Graphene fabrication set-up and conditions.



p-type (Boron dope), $R=0.01\sim0.02\text{ Ohm/cm}$

그림 3. 제작된 그래핀 트랜지스터 구조
Fig. 3. Structure of graphene transistor.

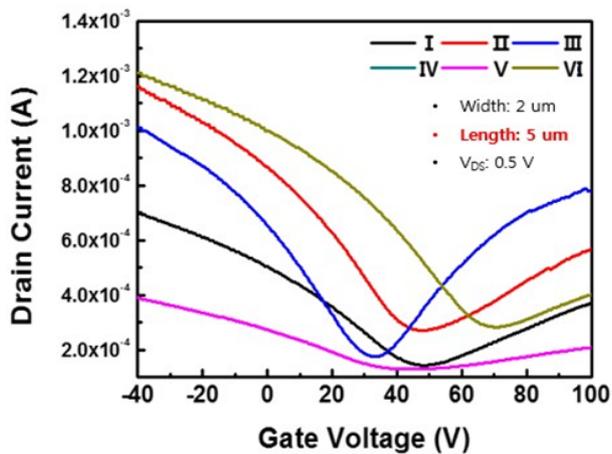


그림 4. 전처리 온도에 따른 그래핀 층의 DC 거동
Fig. 4. DC response of graphene layer according to pre-treatment temperature.

표 1. 전처리 온도에 따른 전자이동도
Table 1. Mobility according to pretreatment temperature.

	전처리 온도(°C)	Mobility(cm ² /Vs)
II	200	7,641
III	300	7,816
IV	500	1,647
V	750	2,013
VI	1,000	6,783

III. 그래핀 트랜지스터 모델링

그림 3에 제시된 트랜지스터의 경우, 드레인과 소스 전극을 그래핀 층에 형성하여 그래핀 층이 갖는 전자이동도를 추출하기 위한 구조이다. 이 구조의 경우, 게이트 패턴이 없기 때문에 바닥면에 게이트 전압을 인가하고, 전

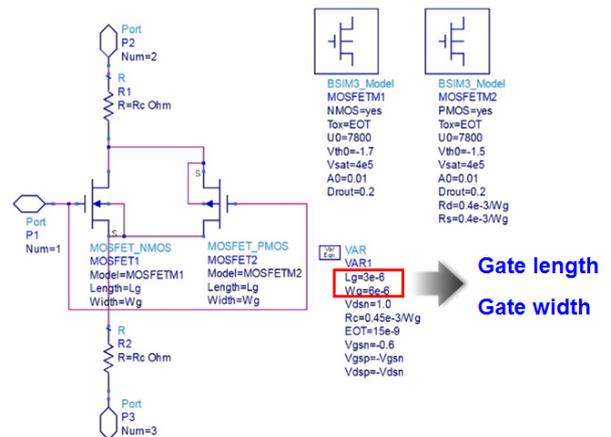
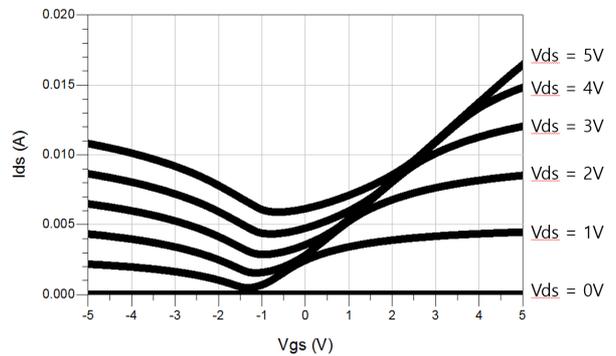
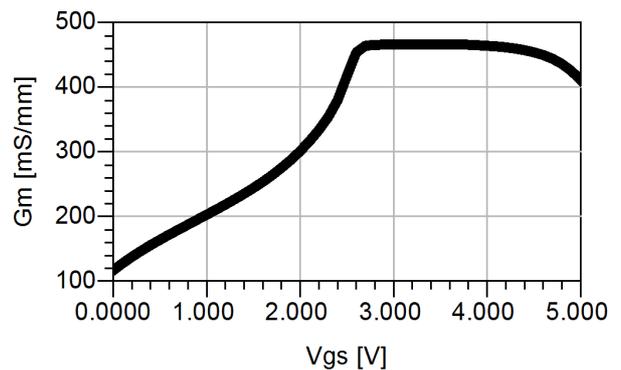


그림 5. 그래핀 트랜지스터 모델
Fig. 5. Graphene transistor model.



(a) 직류 전류-전압 특성
(a) DC-IV



(b) 상호 컨덕턴스
(b) Transconductance(gm)

그림 6. 그래핀 트랜지스터 모델의 DC 거동
Fig. 6. DC response of graphene transistor model.

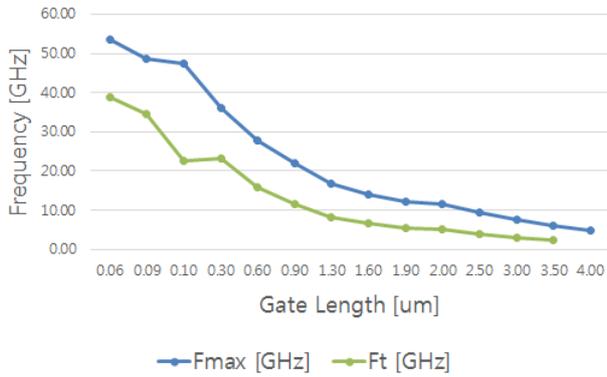


그림 7. 게이트 길이에 따른 주파수 특성
Fig. 7. Operation frequency according to gate length.

기적 특성을 추출하였다. 실제 디바이스에 적용하기 위해서는 그래핀 층에 게이트 금속이 형성되어야 하며, 이 게이트 패턴의 형상에 따라 트랜지스터의 주파수 거동 등 다양한 전기적 특성이 결정되게 된다. 이러한 그래핀 트랜지스터 거동을 예측하기 위해 pMOS와 nMOS의 모델을 병행 적용하여 모델링을 수행하였다. 앞서 추출된 전자이동도 중 전처리 300°C에서의 값인 7,800 cm²/Vs를 적용하고, 게이트 패턴의 형상에 따른 트랜지스터 거동을 고찰하였다.

그림 6에는 그래핀 트랜지스터 모델에 의한 dc 거동이 제시되어 있는데, pMOS와 nMOS의 조합으로 밴드갭이 존재하지 않는 그래핀 특성이 잘 묘사되고 있음을 알 수 있다. 부여된 게이트 폭으로 정규화한 transconductance (gm) 값은 250~300 mS/mm로 기존 반도체 소자에 상응하는 값을 나타낼 것으로 예측되었다.

그림 7에는 트랜지스터의 동작 주파수 범위를 나타내는 f_T, f_{max} 값 추출 결과가 나타나 있는데, 게이트 길이 1 μm를 형성할 경우 f_T 10 GHz, f_{max} 20 GHz의 값을 나타내었다. 기존 반도체 소자에서 적용되고 있는 0.2~0.5 μm의 게이트 패턴을 형성할 경우 마이크로파 대역뿐 아니라, 밀리미터파 대역까지의 적용도 가능할 것으로 예측된다.

IV. 결 론

본 논문에서는 대면적 제조를 통해 양산성이 확보되는 RT-CVD 공정을 이용하여 그래핀 층을 형성하였다. 전처리 조건 등 공정 조건 최적화를 통해 7,800 cm²/Vs의 전자이동도값을 추출하였고, 이를 모델 파라미터에 적용하여 그래핀 트랜지스터의 dc 및 주파수 거동을 예측하였다.

모델 기반 시뮬레이션 결과, 250 mS/mm 이상의 transconductance 값을 나타내었고, 1 μm 이하의 미세 게이트 패턴을 형성할 경우 밀리미터파 대역 디바이스 구현에 효과적으로 구현될 수 있을 것으로 기대된다.

References

- [1] Mircea Dragman, et al., "Graphene for microwaves", *Microwave Magazine*, pp. 81-86, Dec. 2010.
- [2] S. H. Han, et al., "Graphene radio frequency receiver integrated circuit", *Nature Communications*, 3086, pp. 1-6, Jan. 2014.
- [3] J. S. Moon, et al., "Epitaxial-graphene RF field-effect transistors on Si-Face 6H-SiC substrate", *IEEE Electronic Device Letters*, vol. 30, no. 6, pp. 650-652, May, 2009.
- [4] Han Wang, et al., "Graphene frequency multipliers", *IEEE Electronic Device Letters*, vol. 30, no. 5 pp. 547-549, May 2009.
- [5] K. S. Novoselov, et al., "Electric field effect in atomically thin carbon films", *Science*, vol. 306, no. 5696, pp. 666-669, Oct. 2004.
- [6] Victor W. Brar, et al., "Scanning tunneling spectroscopy of inhomogeneous electric structure in monolayer and bilayer graphene on SiC", *Applied Physics Letters*, vol. 91, 122102, 2007.
- [7] K. S. Kim, et al., "Large-scale pattern growth of graphene films for stretchable transparent electrodes", *Nature*, vol. 457, pp. 706-710, Feb. 2009.