ISSN 1975-8359(Print) / ISSN 2287-4364(Online)
The Transactions of the Korean Institute of Electrical Engineers Vol. 64, No. 4, pp. 592～597, 2015
http://dx.doi.org/10.5370/KIEE.2015.64.4.592

Eye 패턴을 사용한 비접촉 형태의 TSV 고장 검출 기법

TSV Fault Detection Technique using Eye Pattern Measurements Based on a Non-Contact Probing Method

김 영 규* · 한 상 민* · 안 진 호†
(Youngkyu Kim · Sang-Min Han · Jin-Ho Ahn)

Abstract - 3D-IC is a novel semiconductor packaging technique stacking dies to improve the performance as well as the overall size. TSV is ideal for 3D-IC because it is convenient for stacking and excellent in electrical characteristics. However, due to high-density and micro-size of TSVs, they should be tested with a non-invasive manner. Thus, we introduce a TSV test method on test prober without a direct contact in this paper. A capacitive coupling effect between a probe tip and TSV is used to discriminate small TSV faults like voids and pin-holes. Through EM simulation, we can verify the size of eye-patterns with various frequencies is good for TSV test tools and non-contact test will be promising.

Key Words : TSV Fault, 3D-IC, Non-Contact Test, Eye Pattern, Capacitive Coupling

1. 서 론

지난 2014년 8월 삼성전자는 세계 최초로 3차원 적층 TSV(Through Silicon Via) 기반 64GB DDR4 메모리 양산에 성공했다고 발표했다[1]. TSV란 반도체 다이들을 상하로 적층하고 이를 연결하기 위하여 각 다이에 생성한 수~수 십 마이크로 직경의 수직 비아를 가리킨다. 적층된 다이들은 TSV를 통하여 상호 데이터를 전달하며 전원 혹은 클럭같은 공통 신호 역시 TSV를 경유하여 공유된다. 이와 같이 TSV를 이용하여 여러 개의 다이를 적층하여 제작한 반도체를 3차원 IC(3-Dimensional IC: 3D-IC)라고하며 [1]에서 소개한 삼성전자의 64G 메모리는 4Gb 메모리를 4단으로 적층한 모듈 36개로 구성되었다. 3D-IC는 초미세공정 하에서 기존 무어의 법칙을 유지할 수 있는 반도체 스케일링 기술과 이종 기능 블록들의 원칩화 기술을 동시에 만족시킬 수 있는 최신 반도체 구조로서 이미 관련 산업체와 학계의 큰 주목을 받고 있다[2-3]. TSV 기반 3D-IC는 현존하는 그리고 예상되는 많은 난제들을 해결할 수 있는 강력한 장점을 가지고 있으며 정리하면 다음과 같다.

(1) 폼펙터

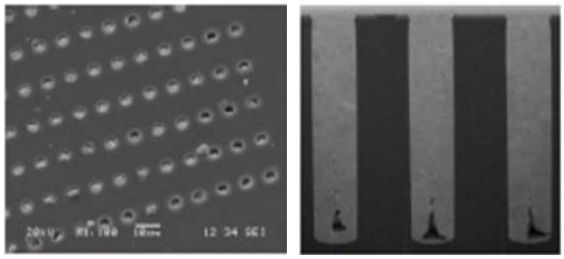
TSV는 다이를 직접 연결하는 통로이므로 기존 2D 수준의 반도체 레이아웃을 3D로 확장할 수 있다. 따라서 가용할 수 있는 실리콘 면적의 크기가 적층 수에 비례하여 증가한다. 즉 기존 IC를 단독주택에 비유한다면 3D-IC는 아파트와 같다고 할 수 있다.

(2) 전기적 특성

IC 회로의 연결선은 파워, 클럭신호, 그리고 각종 데이터가 전달되는 통로이다. 이러한 연결선의 길이가 길어지면 RC 성분으로 인한 신호 지연 및 전기적 기생 성분이 발생한다. TSV는 회로 사이의 연결선을 감소시켜 신호 속도 증가, 기생 성분 및 전력소모량 감소 등의 장점을 제공한다.

(3) 제작비용

3D-IC는 기존 IC 공정을 대부분 재활용할 수 있으며 TSV 제작 및 다이 적층 공정만 안정화된다면 스케일링으로 인한 칩 면



불완전 충전(Improper filling) 미세 공백(Micro-voids)

그림 1 TSV 결함 예(도금 오류)
Fig. 1 TSV plating defects(Courtesy: IMEC)

† Corresponding Author : Dept. of Electronic Engineering, Hoseo University, Korea.
E-mail: jhahn@hoseo.edu
* Dept. of Information and Communication Engineering, Soonchunhyang University, Korea.
Received : January 27, 2015; Accepted : March 26, 2015

Copyright ⓒ The Korean Institute of Electrical Engineers
This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (http://creativecommons.org/licenses/by-nc/3.0/)which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

적 감소로 제작 비용을 크게 줄일 수 있다.

상기와 같이 장점에도 불구하고 아직은 TSV 공정 자체가 불완전하여 그림 1과 같은 다양한 결함이 발생하고 있으며, 이로 인한 칩 전체적인 수율 및 신뢰성이 크게 부족한 상황이다[4]. 이에 TSV의 물리적 결함들을 조기에 검출하여 전체적인 생산 비용을 줄일 수 있는 테스트 장비 개발이 폭넓게 요구되고 있으며, 그 중 최초 웨이퍼 수준에서 고장 여부를 검출하기 위한 웨이퍼 테스트 푸루버(prober) 및 관련 기술 개발이 시급하다. 이에 본 연구에서는 반도체 장비 중 TSV를 이용한 3D-IC 제작 공정에서 발생하는 결함을 검출할 수 있는 비접촉 방식의 웨이퍼 테스터용 푸루빙(probing) 기술을 제안한다. 제안하는 방식은 푸루브 팁과 TSV간에 형성되는 커패시티브 커플링 효과를 통해서 전송되는 신호의 유효성을 주파수 별 아이 패턴을 통해서 검출하고자 했으며 EM 시뮬레이션을 통하여 그 효과를 확인하였다.

2. 웨이퍼 푸루버(Wafer Prober) 기반 TSV 테스트

웨이퍼 테스트용 푸루버는 박화 웨이퍼를 대상으로 노출된 TSV를 접촉(contact)한 상태에서 각종 전기적 특성을 측정하여 결함 여부를 검사하는 장비이다. 웨이퍼 푸루브를 이용한 TSV 테스트가 어려운 이유는 무엇보다 테스트 대상인 TSV의 높은 밀도 때문이다. 현재 미세 접촉이 가능한 캔틸레버(cantilever)형 푸루브의 경우 최소 35μm 이상의 피치가 보장되어야하지만 TSV 푸루빙을 위해서는 수 μm 단위의 피치 컨택이 가능해야한다[5]. 그렇지 않을 경우 개별 TSV 컨택 테스트가 불가능하며 경우에 따라서는 거대한 푸루브 패드가 추가적으로 설치되어야 한다. 또한 TSV별 마이크로범프의 planarity 또한 일정하지 않기에 컨택 포스에 따라 발생하는 컨택 고장도 유발할 수 있다(그림 2 참조). 현재까지 알려진 바로는 컨택 저항이 최대 13Ω을 초과한다면 웨이퍼나 마이크로범프에서 데미지가 발생한다. 마이크로범프 없이 직접 TSV를 푸루빙하기 위해서는 더욱 더 많은 난제가 발생한다. TSV Via-Last 공정의 경우 직경이 10-50μm, 피치는 40-50μm 정도이며, Via-First의 경우 직경은 1-10μm, 피치는 10-20μm로 알려져 있으나 이 수치는 앞으로 더욱 더 줄어들 것이다. 따라서 푸루브 스테이션 기반 3D-IC 웨이퍼 및 TSV 테스트가 안정화되기 위해서는 많은 시간과 개발 비용이 소요될 것으로 추정된다. 최근 발표된 웨이퍼 푸루버 기반 TSV 테스트 기법을 분야별로 소개하면 다음과 같다.

먼저 TSV에 근접한 위치에 푸루브 팁 크기에 맞는 테스트용 패드를 설치하는 방식이 있다[7]. 그러나 푸루브 패드 방식은 패드가 요구하는 높은 다이 면적과 TSV 근거리에 있어야 하는 패드 위치 설정문제로 레이아웃이 복잡해지는 문제가 있다. 한편 3D-IC 설계 단계에서 테스트 로직을 삽입하는 Design For Testability(DFT) 방식은 웨이퍼 프루버의 테스트 접근을 용이하게 할 수 있다[8-10]. 특히 박화 이전에 TSV는 한 쪽만 외부에 노출되어있기 때문에 테스트 관측성(observability)이 낮은데 이때 온칩 테스트 로직을 이용하여 이를 향상시킬 수 있다. 그러나 다이 내 TSV의 높은 밀도를 고려할 때 개별 TSV 단위로 별도의 테스트 로직을 삽입하는 것은 하드웨어 오버헤드로 인하여 실제 적용 가능성이 낮다. 또한 기존 기능 로직을 재활용하고자 하여도 3D-IC의 각 다이가 전체 기능 로직의 일부만을 포함할 경우 본딩 이후에만 사용할 수 있다. 미세 접촉이 가능한 푸루브를 이용한 접촉식 테스트는 기존 테스트 인프라를 그대로 사용할 수 있기 때문에 호환성이나 실용성 측면에서 가장 우수하다[6,11]. 특히 Form Factor사에서는 나노 크기의 금속섬유를 이용하여 40x50μm 공간에 1100여 포인트의 접촉이 가능한 NanoPierce Contactor를 개발하였다[6]. 그러나 미세 구조의 탐침 이외에도 해당 소자의 내구성, 스케일링 가능성, 접촉 힘의 조절 및 균일성, 접촉저항의 감소, 그리고 실시간 테스트를 위한 접촉 시 인덕턴스와 커패시턴스 문제 등 아직 해결해야할 현안들이 많이 남아있으며 TSV 제작 공정의 발전 속도와 비교하면 크게 더딘 것으로 판단된다. 그러나, 비접촉 형태의 테스트 기법들은 접촉 시 발생하는 긁힌 자국(scrub mark), 웨이퍼 변형(deformation) 등을 예방할 수 있으며 장비의 수명이 크게 늘어나는 효과도 얻을 수 있다. 물리적인 탐침 접촉이 어려운 TSV의 경우 비접촉 테스트 방식이 가장 이상적이며 궁극적인 TSV 테스트 기술이 될 것이다[12]. 비접촉 방식 TSV 테스트, 즉 접촉없이 TSV로 데이터를 보내고 해당 결과를 읽는 것은 결국 근접거리를 무선으로 통신하는 것을 의미한다. 무선통신을 위해서는 송신기와 수신기, 그리고 내장 안테나 등의 기능 블록들이 필요하다. 그러나 무수히 많은 TSV에 대하여 일일이 통신 로직을 삽입할 수는 없다. 또한 테스트에 필요한 전력 역시 무선으로 보내는 것이 요구된다. 따라서 아직까지는 미래기술 범주에 속하지만 다양한 관련 연구들이 활발히 진행되고 있으며 데이터 송수신 방식에 따라 하기와 같이 크게 3가지로 분류할 수 있다.

(1) RF 방식

RF 방식은 기본적으로 안테나를 포함한 전송기와 수신기, 그리고 간섭을 피하기 위한 변조기와 복조기 등이 요구된다[12,13]. 비록 전송 거리가 길다는 장점은 있지만 다이별 TSV의

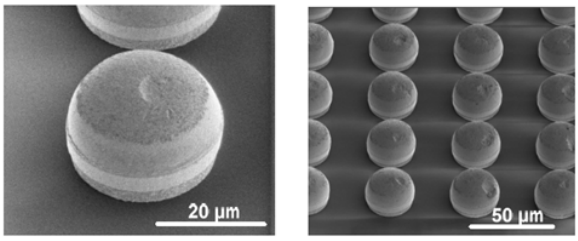


그림 2 마이크로범프에서 발생한 푸루브 컨택 데미지
Fig. 2 Probe contact damages[6]

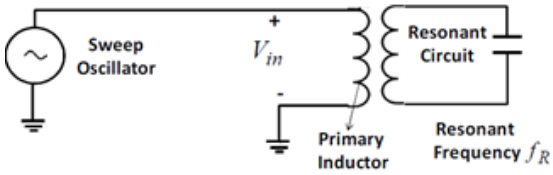


그림 3 공진형 인터티브 커플링
Fig. 3 Resonant inductive coupling[13]

높은 밀도를 고려하면 RF통신 회로 크기에 대한 부담이 클 것으로 예상된다.

(2) 인덕티브 커플링(Inductive Coupling) 방식

본 방식은 상호 커플링된 인덕터 간에 에너지를 전송하는 무선근접통신(Near Field Communication: NFC) 기술 중 하나로 그림 3에 공진형 인덕티브 커플링 원리를 소개하였다[12,13]. 이를 위하여 TSV별로 인덕터와 커패시터만 추가로 삽입하면 되므로 하드웨어 오버헤드가 크지 않고 공진주파수 설정 자체가 자유롭기 때문에 구현이 쉽다. 그리고 전송거리는 송신단 자기장의 세기와 수신단의 전압 변화 감지 능력에 따라 좌우되기 때문에

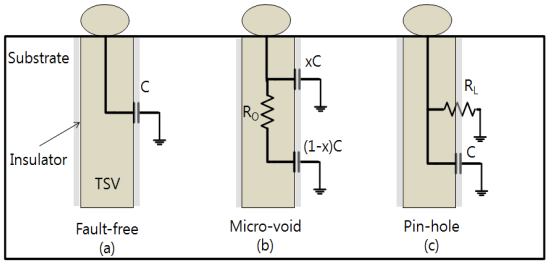


그림 4 TSV 등가회로
Fig. 4 TSV equivalent circuits

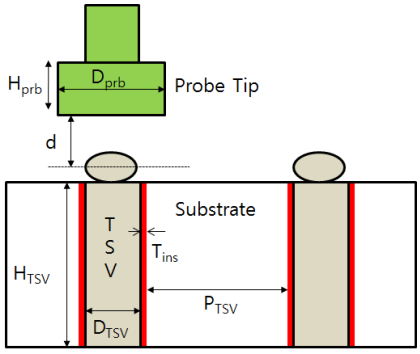


그림 5 비접촉 TSV 테스트 기본 구성도
Fig. 5 Non-contact TSV test structure

표 1 변수별 최대/최소 범위
Table 1 Min/Max ranges of TSV test variables

	Typical(um)	min(um)	max(um)
H_{TSV}	50	9	100
D_{TSV}	5	3	25
P_{TSV}	10	5	40
H_{prb}	3	NA	NA
D_{prb}	>5	NA	NA
d	1	NA	NA
T_{ins}	0.1	0.025	2

3D-IC의 특성에 따라 결정 가능하다. 최근 인덕티브 방식을 사용하여 TSV의 크랙(open fault)을 검출하는 구조가 제안되었다[14]. 그러나 테스트 데이터 송수신에 필요한 코일의 크기와 코일 간 거리 제약으로 TSV 테스트 용도로 활용하기 위해서는 많은 개선이 필요하다.

(3) 커패시티브 커플링(Capacitive Coupling) 방식

커패시티브 커플링 방식은 인덕티브 방식에 비해 전력소모량이 크고 푸루브 팁과 TSV간의 거리, 입력전압, 그리고 팁의 재료나 크기 등 여러 면에서 제약사항이 많다[12]. 그러나 푸루브 팁과 TSV간에 형성되는 커패시턴스를 측정하는 방식이므로 추가 로직에 대한 부담이 적고 구현이 쉽다. 커플링 커패시턴스 양은 팁과 TSV간 거리에 따라 크게 좌우되므로[13] 푸루브 근접 위치 제어와 같은 관련 기술 개발이 요구되나 프리본딩 박화 전후나 포스트본딩 이후에도 적용 가능하므로 실용성 측면에서는 가장 우수하다.

상기에서 언급한 방식 외에도 TSV를 통하여 전류를 흘리고 이로 인해 발생한 열의 분포도를 열상 카메라를 이용하여 무고장 상태와 비교하고 결함 여부를 검출하는 방식이 제안되었다[15]. 비록 결함위치와 정확한 수까지 예측하기 위해서는 많은 제약이 따르지만 고밀도 푸루버와 같은 3D-IC 테스트장비가 개발되지 않은 상태에서는 효과적으로 사용될 수 있을 것으로 생각된다.

3. 커패시티브 커플링 기반 비접촉 TSV 테스트

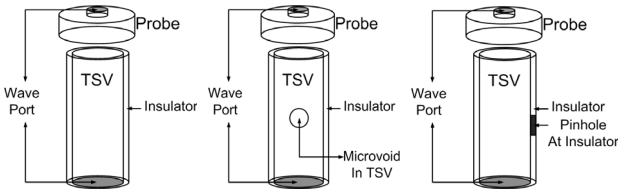
본 연구에서는 프리본드 단계에서 커패시티브 커플링 기법을 응용한 비접촉 형태의 TSV 고장 검출 기법을 소개한다. 프리본드 단계에서 검출 가능한 고장을 등가회로 형태로 모델링한 것을 그림 4에서 나타내었다. 먼저 그림 4 (a)는 무고장 상태를 나타내며 TSV 도체와 기판 사이에 절연층으로 인하여 커패시터와 같은 동작을 한다. 그러나 그림 4 (b)와 같이 TSV 내부에 void가 발생하면 이로 인하여 저항 성분이 증가하며 void 위치 전후로 두 개의 커패시터가 병렬 연결된 것으로 생각할 수 있다. 그림 4 (c)는 절연층의 미세 결함(pin-hole)으로 누설전류가 발생한 것으로 이는 TSV와 기판 사이에 저항이 연결된 것과 같은 효과이다. 이러한 TSV 결함 회로 모델링을 통하여 우리는 무고장 회로와 고장회로를 비접촉 형태로 판별할 수 있는 새로운 테스트 기법을 개발하고자 하였다.

그림 5는 커패시티브 커플링 효과를 이용한 비접촉 TSV 테스트 기본 구성도이다. 그림에서 H_{prb}는 푸루버 팁의 높이, D_{prb}는 푸루브 팁의 직경, d는 푸루버 팁과 TSV(또는 TSV의 마이크로범프)까지의 거리, H_{TSV}는 TSV의 높이, D_{TSV}는 TSV의 직경, P_{TSV}는 TSV간의 거리, T_{ins}는 절연체의 두께를 각각 가리킨다. 그림에서 볼 수 있듯이 본 연구에서 제안하는 비접촉 방식은 박화된 이후 TSV의 양면이 외부에 노출된 것을 전제로 하며 TSV 한 쪽 끝에는 푸루브 팁이, 다른 한 쪽은 전원 또는 접지가 된 것으로 가정한다. 문헌상에서 발표된 각 수치의 최대, 최소, 평균 값은 표 1과 같다. 푸루브 팁과 TSV의 높이와 크기는 커패시턴스의

크기에 직결되며, TSV 간의 거리는 커플링 효과에 의한 간섭문제와 연관된다.

4. 아이 패턴을 사용한 TSV 특성 비교

본 장에서는 앞서 모델링된 TSV의 Fault 모델에 대한 해석과 모의실험을 통한 오류 검출 방식을 검증하였다. 본 실험의 목적은 커패시티브 커플링에 의한 TSV의 프루빙 모델을 정립하고, 오류 검출이 유효하게 수행될 수 있는지를 검증하는 것이다. 본 실험에서는 커패시티브 커플링을 이용한 푸루브와 TSV에 의한 신호 전달 특성을 EM 시뮬레이션을 통해 얻었다. 모델은 AnSys 사의 HFSS(High Frequency Structure Simulator)를 사용하였고, 아래 그림 6에서 보이는 바와 같이 각각의 TSV 실측 모델을 구축하였다. EM 시뮬레이션에 사용된 전송 구간은 TSV 윗면에 접촉되는 푸루브의 입력단과 TSV의 아랫면에 웨이브 포트 (wave port)를 설정함으로써 푸루브와 커플링 특성 및 TSV 특성 모두를 포함하도록 설정되었다. TSV를 둘러싸고 있는 절연체(Insulator)는 Teflon으로 설정하였다. 그림 6 (b)의 micro-void는 TSV 정 중앙에 반지름 r의 구(球) 형태 빈 공간이 존재하는 구조이며, 그림 6 (c)의 pin-hole은 TSV를 둘러싸고 있는 절연체에 손상이 발생한 것으로 반지름 r의 원형 홀이 발생한 것으로 설정되었다.



(a) Fault-Free (b) Micro-void (c) Pin-hole

그림 6 EM 시뮬레이션을 위한 TSV 오류 모델
Fig. 6 TSV Fault models for EM Simulation

EM 시뮬레이션에 의한 결과는 각 포트별 진폭과 위상 변화 정보를 포함하는 S-parameter 형태로 추출되었으며, 이를 디지털 랜덤 펄스를 전송 성능을 측정할 수 있는 아이 패턴으로 분석하였다. EM 시뮬레이션에 의한 TSV의 특성은 양단 포트의 임피던스를 50옴으로 설정하여 측정되었기 때문에 높은 입력 임피던스를 갖는 푸루브에 의한 전압 이득 특성에 비해 손실 지수가 매우 높게 나타난다. 이는 측정에 사용된 푸루브와 TSV가 50옴 특성 임피던스로 설계되지 않아 임피던스 부정합에 의한 결과이다. 따라서 TSV의 특성 검증을 위해 신호의 형성(shaping) 및 증폭 과정을 거치는 측정 셋업 구성하였다.

그림 7은 아이 패턴 측정을 위한 회로 시뮬레이터 셋업 구성도를 나타내고 있다. EM 시뮬레이션에 의해 추출된 커패시티브 푸루브와 TSV 특성을 DUT로 설정하여 s2p 파일 형태로 삽입되었으며, 푸루브 입력단에 랜덤 디지털 펄스 (PRBS: Pseudo Random Bit Sequence)를 입력하였으며, TSV를 통과한 특성을 1차 검증하였다. 랜덤 신호는 LFSR (Linear Feedback Shift Register)로 발생된 28-1 길이의 시퀀스로 2Gbps의 데이터율과 10psec의 상승시간(rising time) 하강시간(falling time)을 갖는다. 디지털 펄스의 TSV 통과 결과 직렬 커패시턴스 성분에 의한 디지털 펄스 왜곡이 발생하여 펄스 복원 (pulse shaping)을 위한 미분기 (differentiator)를 삽입하였으며, 신호 감쇄에 의한 신호 손실분을 복원하기 위해 증폭기를 추가하였다. 출력단 임피던스(RL)는 50옴으로 설정하였으며, 아이 패턴을 측정할 오실로스코프를 배치하여 아이 패턴 추출을 수행하였다. 각 오류의 반응 주파수 응답 특성이 다르기 때문에 오류의 종류와 크기에 따라 다른 데이터율의 디지털 신호를 사용하였다. 실험에 사용한 회로 시뮬레이터는 Agilent Technologies사의 ADS(Advanced Design Simulator)를 사용하였다.

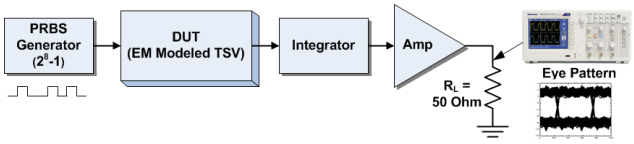


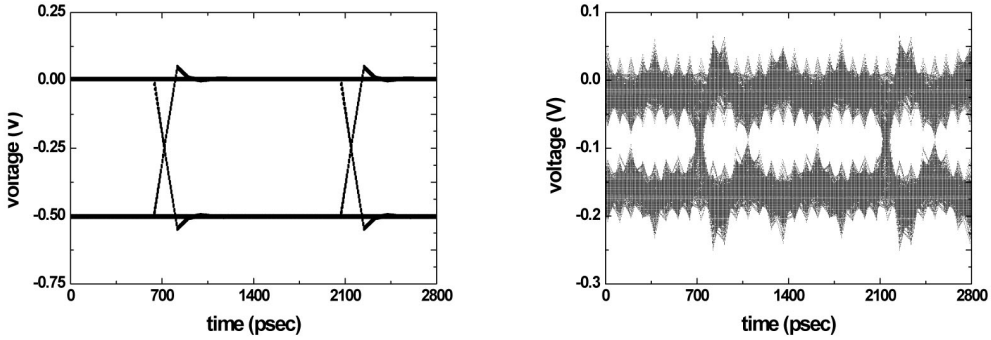
그림 7 Eye pattern 측정 실험 셋업
Fig. 7 Measurement setup for eye pattern

그림 8은 micro-void를 포함한 TSV의 700Mbps의 랜덤 데이터에 대한 아이 패턴 측정 결과를 나타내고 있다. 그림 8 (a)는 정상의 무결점 TSV 아이 패턴을 보이고 있으며, 그림 8 (b)는 r=2um의 micro-void가 있는 결점 TSV의 실험 결과이다. 무결점 상태에서는 이상적인 아이 패턴의 특성을 보이며, 오류와 jitter가 거의 없으며, 눈(eye)의 크기도 거의 100%를 보임을 알 수 있는 반면, micro-void가 있는 TSV의 아이 패턴에서는 200psec의 jitter와 눈의 크기가 최대 크기 대비 약 16.7%가 작아지는 것을 확인할 수 있다.

그림 9는 2Gbps 랜덤 데이터에 대한 pin-hole 결점 TSV의 특성 비교이다. 그림 9 (b)는 r=1um의 pin-hole이 있는 결점 TSV의 아이 패턴을 나타내고 있다. 무결점의 아이 패턴에서는 좌우 폭과 눈의 크기가 선명하게 나타나는 것을 확인할 수 있다. Pin-hole의 경우는 약 70psec의 jitter를 보이며, 눈의 크기는 최대 크기 대비 58.3% 작아지는 오류 증가 특성을 보이고 있다. 이는 pin-hole의 경우 절연층의 미세 결함으로 인해 생겨나는 저항으로 인해 발생하는 누설 전류로 인한 것으로 판단할 수 있다. 출력 전압 레벨은 증폭기 이득에 따라 다르게 나타난 것으로 상대적인 특성 열화를 판단하는 것이 적합하다. 따라서 무결함 상태에 비해 jitter와 눈의 크기가 줄어드는 아이 패턴의 열화증상을 확인할 수 있으며, 이와 같은 측정에 의해 TSV의 오류를 검출할 수 있음을 확인하였다.

5. 활용방안 및 향후 연구

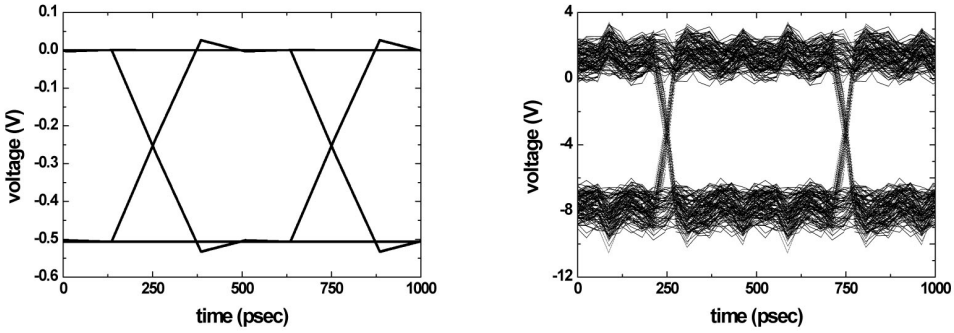
비접촉 테스트는 결국 무고장 회로와 고장 회로의 차이를 non-invasive 방식으로 구분할 수 있는가의 문제로 귀결된다. 본 논문에서는 푸루브 팁과 TSV 사이에서 발생하는 커패시티브 커플링 효과를 이용한 비접촉 방식의 TSV 테스트 기법으로 void나



(a) 무결함 TSV (b) Micro-void가 있는 TSV

그림 8 700Mbps 데이터에서 micro-void가 있는 TSV의 아이 패턴 비교

Fig. 8 Eye patterns of TSVs with micro-void fault and fault-free at 700Mbps



(a) 무결함 TSV (b) Pin-hole이 있는 TSV

그림 9 2Gbps 데이터에서 pin-hole이 있는 TSV의 아이 패턴 비교

Fig. 9 Eye patterns of TSVs with pin-hole fault and fault-free at 2Gbps

pin-hole 같은 미세 TSV 결함 특성을 EM 시뮬레이션을 통하여 분석하고, 주파수별 아이 패턴의 크기를 기준으로 일정 크기 이상의 결함은 검출 가능함을 확인할 수 있었다. 향후 연구로는 자동화된 방식으로 아이 패턴을 실시간 분석할 수 있는 회로를 테스트 장비용 또는 온칩 수준에서 구현하고자 한다.

감사의 글

본 연구는 정부(교육과학기술부)의 재원으로 한국연구재단의 기초연구사업(NRF-2011-0023879) 지원을 받아 수행되었으며, 검증을 위한 CAD 툴은 IDEC의 지원을 받았음

References

[1] Internet Article, http://www.samsung.com/global/business/semiconductor/news-events/press-releases/printer?newsId=13602

[2] YOLE Development, “3DIC & TSV Technologies: Evolution of the market drivers and development of the infrastructure”, Presentation Slide, SemiconWest. July 2011.

[3] W. W. Shen, “3DIC System Design Impact, Challenge and Solutions”, Presentation Slide, International Symposium on Physical design Mar. 2014.

[4] E. J. Marinissen, “Challenges and Emerging Solutions in Testing TSV-Based $2\frac{1}{2}$D- and 3D-Stacked ICs”, Proc. of DATE, pp. 377-382, July 2012.

[5] B. Noia, S. Panth, K. Chakrabarty, and S.K. Lim, “Scan Test of Die Logic in 3-D ICs Using TSV Probing”, IEEE Trans. on Very Large Scale Integration (VLSI) Systems, accepted for publication.

[6] O. Yaglioglu and B. Eldridge, “Direct Connection and Testing of TSV and Microbump Devices using NanoPierceTMTM Contactor for 3D-IC Integration”, Proc. of VTS, pp. 96-101, April 2012.

[7] D. L. Lewis and H.-H. S. Lee, “A Scan Island Based Design Enabling Pre-bond Testability in Die-Stacked Microprocessors”, Proc. of ITC, pp. 1-8, Oct. 2007.

[8] B. Noia and K. Chakrabarty, "Pre-Bond Probing of Through-Silicon Vias in 3D Stacked ICs," IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems, Vol. 32, No. 4, pp. 547-558, April 2013.
[9] C.-Y. Kuo, C.-J. Shih, Y.-C. Lu, J. C.-M. Li, and K. Chakrabarty, "Testing of TSV-Induced Small Delay Faults for 3-D Integrated Circuits", IEEE Trans. on VLSI Systems, Vol. 22, No. 3, pp. 667-674, Mar. 2014.
[10] S. Deutsch and K. Chakrabarty, "Non-invasive pre-bond TSV test using ring oscillators and multiple voltage levels", Proc. of DATE, pp. 1065-1070, Mar. 2013.
[11] N. Kandalaft, R. Rashidzadeh, and M. Ahmadi, "Testing 3-D IC Through-Silicon-Vias(TSVs) by Direct Probing," IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems, Vol. 32, No. 4, pp. 538-546, April 2013.
[12] E. J. Marinissen, D. Y. Lee, J. P. Hayes, C. Sellathamby, B. Moore, S. Slupsky, and L. Pujol, "Contactless testing: Possibility or pipe-dream?", Proc. of DATE, pp. 676-681, April 2009.
[13] R. Rashidzadeh, "Contactless Test Access Mechanism for TSV Based 3D ICs", Proc. of VTS, pp. 1-6, April 2013.
[14] J. J. Kim, H. Kim, S. Kim, B. Bae. D. H. Jung, S. Kong, J. Kim, J. Lee, and K. Park, "Non-Contact Wafer-Level TSV Connectivity Test Methodology Using Magnetic Coupling", Proc. of 3DIC, pp. 1-4, Oct. 2013.
[15] K. Dev, G. Woods, and S. Reda, "High-Throughput TSV Testing and Characterization for 3D Integration Using Thermal Mapping", Proc. of DAC, pp. 1-6, May 2013.
[16] H. Kim, J. Cho, J. J. Kim, D. H. Jung, S. Choi, J. Kim, J. Lee, and K. Park, "Eye-diagram simulation and analysis of a high-speed TSV-based channel", Proc. of 3DIC, pp. 1-7, Oct. 2013.

저 자 소 개

김 영 규(Youngkyu Kim)

2014년 2월: 순천향대학교 정보통신공학과 (공학사)
2014년 3월 ~ 현재 : 순천향대학교 대학원 정보통신공학과 석사과정
관심분야 : RF Systems, Measurement Method.

한 상 민(Sang-Min Han)

1996년 고려대 전파공학과 졸업(공학사).
1998년 동대학원 전파공학과 (공학석사)
2003년 동대학원 전파공학과 (공학박사)
2003년 10월~2004년 11월 미국 UCLA Post Doc. Research Fellow
2005년 1월~2007년 8월 삼성종합기술원 전문연구원
2013년 8월~2014년 7월 미국 조지아텍 (GIT) 연구교수
2007년 9월~현재 순천향대학교 정보통신공학과 교수
관심분야 : RF System, Spectrum Sensing, Active Antennas, Measurement Methods.

안 진 호(Jin-Ho Ahn)

1995년 2월: 연세대학교 전기공학과(공학사)
1997년 2월: 연세대학교 전기공학과(공학석사)
2002년 8월: 엘지전자 DTV연구소 연구원
2006년 8월 : 연세대학교 전기전자공학과 (공학박사)
2007년 3월 ~ 현재 : 호서대학교 전자공학과 교수
관심분야 : SOC 설계 및 응용, 반도체 테스트